

相变存储器失效机理的研究进展*

高丹^{1,2} 刘波^{1,3,†}

- (1 中国科学院上海微系统与信息技术研究所 信息功能材料国家重点实验室 上海 200050)
 (2 中国科学院大学 北京 100049)
 (3 苏州科技大学 化学生物与材料工程学院 苏州 215009)

2017-02-24收到

† email: liubo@mail.sim.ac.cn

DOI: 10.7693/wl20180303

The failure mechanism of phase change memories

GAO Dan^{1,2} LIU Bo^{1,3,†}

- (1 State Key Laboratory of Functional Materials for Informatics, Shanghai Institute of Micro-System and Information Technology, Chinese Academy of Sciences, Shanghai 200050, China)
 (2 University of Chinese Academy of Sciences, Beijing 100049, China)
 (3 School of Chemical Biology and Materials Engineering, Suzhou University of Science and Technology, Suzhou 215009, China)

摘要 相变存储器由于具有非易失性、高速度、低功耗等优点被认为是最有可能成为下一代存储器的主流产品之一。然而存储器芯片的良率、密度和操作速度受制于性能最差的单元，因此研究相变存储器的失效机理对于存储器芯片成本的降低以及性能的提升至关重要。文章综述了相变存储器失效机理的研究进展，主要讨论和归纳了电性操作和工艺制程所导致的相变存储器失效模型和失效机理，包括电迁移、热动力学效应、相变应力和热应力、电压极性、结晶引发的偏析、浓度梯度、电极材料以及制造工艺引起的失效。

关键词 相变存储器，失效机理，电迁移，应力，制造工艺

Abstract The phase change memory (PCM) is considered a major candidate for next generation memories due to its nonvolatility, fast program access, and low consumption power. However, the yield, density and operation speed of PCM chips are limited by the cell that has the worst performance. To improve the performance and reduce their cost, it is essential to investigate their failure mechanism. This paper presents an overview of the failure mode and failure mechanism of PCMs induced by electrical operation and manufacture processes, focusing on the issues of electro-migration, thermodynamic effects, phase change stress and thermal stress, voltage polarity, crystallization induced segregation, concentration distribution, heater materials, and the manufacture process.

Keywords phase change memory, failure mechanism, electro-migration, stress, manufacture process

* 中国科学院战略性先导科技专项(批准号: XDA09020402), 国家集成电路重大专项(批准号: 2009ZX02023-003), 国家自然科学基金(批准号: 61401444)资助项目

1 引言

如今计算机系统的性能越来越依赖存储系统的特性。众所周知,存储器的架构主要包含静态随机存储器(SRAM)、动态随机存储器(DRAM)和闪存(NAND FLASH)这些主流的存储器,分别作为存储系统架构的缓存、内存和硬盘。存储系统向上往缓存的方向,其写、读的功耗低且寿命更长;向下往硬盘存储的方向,其存储容量越来越大。对于新兴存储器来说,这是一个极好的机会来填补缓存和硬盘之间日益增大的性能沟壑。这些主流存储技术主要基于电荷存储机理,而基于电荷存储类型的存储器在 10 nm 及以下面临很大的挑战,因为纳米尺度区域存储的电荷数量大大减少,且电荷易于丢失,导致可靠性下降及产生噪声等问题。相变存储器(PCM)作为一种新兴的存储器,它的存储机制是依赖于相变单元中的硫系材料在晶态和非晶态之间稳定并可逆的相变来进行数据的存储,具有非易失性、高速度、高密度、低功耗、长寿命、数据保持力好、可微缩性好且与现有互补金属氧化物半导体工艺相兼容等优点,最有可能取代目前的 DRAM 和 NAND FLASH 而成为主流的半导体存储器件之一^[1-3]。

相变存储器的相变是一个高热场和电场的过程,因此会引起很多可靠性的问题,存储器芯片的良率、密度和操作速度受制于性能最差的单元,因此研究相变存储器的失效模型和失效机理,并以此为依据提出改进的方案,对存储器芯片成本的降低以及性能的提升至关重要。本文综述了相变存储器失效机理的研究进展,主要讨论

和归纳了电性操作和工艺制程所导致的相变存储器的失效模型和失效机理。

2 相变存储器存储机理和失效模型

2.1 相变存储器的存储机理

图 1 为一个典型的相变存储器核心存储单元的结构示意图和相变单元操作原理^[2],相变存储器的工作原理是利用相变材料在焦耳热的作用下产生电阻率的变化,也就是低阻晶态和高阻非晶态的可逆转换实现的。Reset 的操作过程是通过施加一个高而窄的脉冲,熔化相变材料并快速冷却至高阻的非晶状态;Set 的操作过程是通过施加一个低而长的脉冲,使相变材料充分结晶至低阻态;数据的读取过程是通过施加一个很低的读脉冲,测量器件单元的阻值变化实现的,读脉冲必须满足不能改变相变材料状态这一前提条件(即无损读出)。Ge₂Sb₂Te₃(GST) 材料是一种最常用的相变材料。

2.2 相变存储器的失效模型

相变存储器的失效主要包括电性操作引起的失效和制造工艺引起的失效。电性操作引起的失效有 Reset—Stuck, Set—Stuck^[4] 和不完整的相变^[5-7]。Reset—Stuck 是指单元的电阻始终滞留于高阻值而无法通过任何 Set 操作转变为低阻值;Set—Stuck 与 Reset—Stuck 恰好相反,指的是单元的阻值始终保持在低阻态而无法通过任何 Reset 操作

转变为高阻态;图 2 为相变单元 Reset 操作和 Set 操作的电阻阻值与操作次数的关系,其中图 2(a), (b) 分别表示 Reset—Stuck 和 Set—Stuck 的操作失效情况说明图,这两种失效现象的最终结果都是无法继续实现相变单元的阻值在高阻和低阻之间可逆转变,丧失存储功能;不完整的相变指的是相变单元的相变过程不完整,主要有

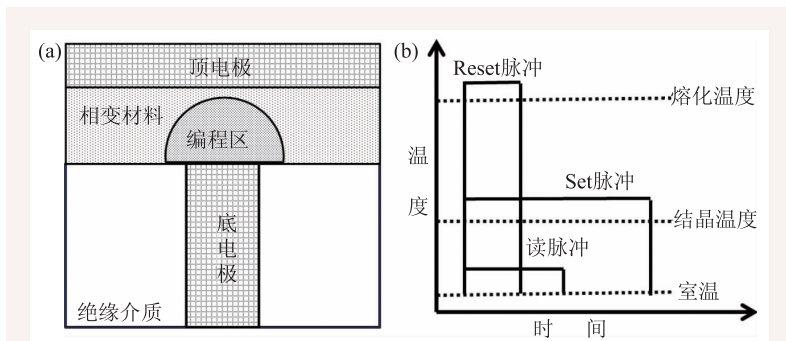


图 1 (a)典型相变存储器存储单元结构示意图;(b)相变单元操作原理

部分 Set 操作、部分 Reset 操作和过操作情况, 这些不完整的相变减小了高低阻值之间的区分窗口, 通过优化操作参数可减少不完整相变的程度。

Kim 和 Ahn^[4]在多次操作后失效的器件中发现, Reset—Stuck 是由于电极上方产生了孔洞, 而 Set—Stuck 是由于 GST 相变材料组分的偏析造成在电极上方形成了贫 Ge 区域。Park^[8]等研究了蘑菇型相变存储器单元在进行一次操作后, 相变材料在靠近底电极处发生了偏析, 形成了富 Sb 和贫 Te 的非计量的 GST 组分。Yoon^[9]等和 Lee^[10]等通过透射电子显微镜(TEM)和电子衍射能谱仪(EDS)发现, 在 Set—Stuck 操作失效的单元中, 器件操作的区域组分分别出现了富 Sb 和贫 Ge 现象。Do^[11]和 Hong^[12]等人研究发现在反复的加热和快速冷却过程中相变材料中形成了孔洞, 且这些孔洞会互相结合, 如果这些孔洞出现在电极上面, 则会引起 Reset—Stuck 的失效。EDS 分析结果表明, 这些孔洞的形成过程中也伴随着组分的变化。

制造工艺引起的相变单元的失效主要是由于在制造过程中, GST 材料会受到刻蚀损伤^[13], GST 与电极的界面的污染^[14], 电极本身被氧化^[15, 16]以及高温的介质沉积工艺^[17]和金属化工艺, 这一系列的工艺缺陷都会引起最终的相变存储器的性能退化。

3 相变存储器失效机理

相变存储器的失效机理主要涉及电迁移、热动力学效应、相变应力和热应力、电压极性、结晶引发的偏析、浓度梯度、电极材料以及制造工艺等因素, 本节还分析了不同程度的相变过程对应的晶态和非晶态相的分布。这些因素会造成组分偏析、孔洞的形成、阻值的分散性等问题, 无论是相的偏析还是孔洞的形成, 它们都不是单独存在的, 相偏析的过程必然伴随着孔洞的形成, 相反的, 孔洞区域的相组分也不再符合化学计量比。

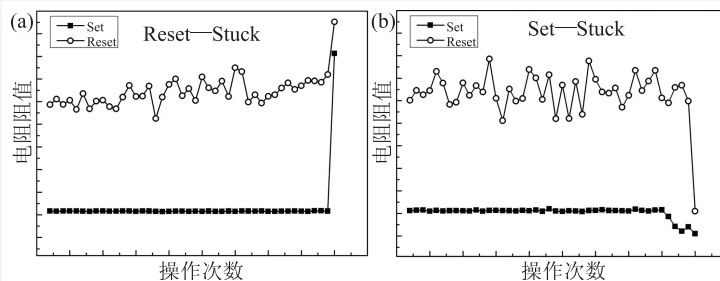


图2 相变单元 Reset 操作和 Set 操作的电阻阻值与操作次数的关系, 其中(a)和(b)分别表示 Reset—Stuck 和 Set—Stuck 的操作失效情况说明图

3.1 电迁移和热动力学效应引起失效的机理

相变材料是发生相变的核心, 相变的过程是一个热和电的过程, 因此研究相变存储器的失效机理首先要讨论相变材料本身在热场和电场下的表现。电迁移现象包括静电力和空穴力。正是电迁移和热动力学效应共同的作用, 使得元素在操作过程中发生迁移, 在单次的操作过程中, 元素的扩散长度是非常有限的, 因此相的偏析是在操作过程中慢慢发生的, 使得相变材料发生偏析, 并形成了孔洞, 最后导致了器件的失效。

Nam^[18]等人研究了在热动力的作用下, 不一致的熔融区域促使 GST 材料偏析为 Sb, Te 液态相和 Ge 的固态相。因为在伪二元的相图上, GST 会在 630—650 °C 之间发生相的偏析形成 Sb, Te 液态相和 Ge 的固态相。这一研究仅仅讨论了热效应, 并未涉及到电场应力对于相变材料的影响。随后他们又研究了电场($>10^6$ A/cm²)引发的 GST 的迁移现象^[19]。为了单纯研究 GST 材料本身的退化而不受电极的影响, 他们采用了“瓶颈型”的线性结构, 发现在高电场的应力作用下, Sb 分布在阴极, 而 Te 分布在阳极, 这是由于 GST 材料具有离子特性, 在高温下, 也就是在液相时, 由于静电力的作用, Te 作为阴离子向阳极迁移而 Sb 作为阳离子向阴极迁移。Sb 和 Te 偏析会造成器件的 Set—Stuck 失效, 这种过程是热动力效应和电场应力共同作用的结果, 不一致熔融区域也就是热动力效应为两相的偏析提供了驱动力, 同时在高电场下, 由于静电力的作用, 使得 Sb 和 Te 发生

跟电场方向相关的迁移。

然而Nam的研究并没有给出Ge原子在电场作用下的分布情况,为了排除电极材料对于相变材料退化的影响, Kim^[20]等人制作了线性的结构,发现Ge和Sb都富集于阴极处, Te则向阳极处累积。同时, Kang^[21]等人通过TEM和EDS进行组分分析,在电场的作用下, Te向阳极偏析,而Ge和Sb在阴极聚集,不同的是Ge和Sb在阴极处又相互偏析,固态和液体的界面位于编程区域的边界处, Ge固态相的迁移率小于Sb, Sb受到静电力和热动力的共同作用向阴极处迁移。因此,阴极附近形成了富Sb和贫Ge的相。

以上的研究都是基于GST材料在熔融状态下电迁移现象。我们知道GST在熔融状态下比结晶状态下具有更高的迁移率,因此电迁移的现象在熔融状态和晶态应该具有不同的电特性。Yang^[22]等人研究了GST在熔化和结晶状态下的原子迁移现象:在熔化状态下, GST中各原子的迁移方向与上述研究是一致的, Te向阳极偏析,而Ge和Sb在阴极聚集,这是由于GST材料各个原子的离子特性决定的,也就是说这种电迁移行为是静电力作用的结果;而在结晶状态下, GST材料中各个原子均统一向阴极的方向迁移,因为GST是一种空穴类型的半导体材料,在电场存在的情况下,会受到空穴力的作用使得所有原子向阴极迁移。Park^[23]等人在直流电流的偏压下发现,在较低的电流密度下,原子的电迁移主要是由空穴力作用引起,而在高电流密度下,原子的电迁移主要是静电力引起的。并在电流测试过程中发现,由于孔洞的产生造成阻值的上升,其中贫Ge和富Sb的孔洞区域是熔化状态下相偏析的结果。

Novielli^[24]等人研究了线性结构、刀片电极结构和孔型结构下GST中原子的迁移,并提出了统一的原子迁移扩散模型,该模型仿真的结果与实验的结果完全吻合。GST原子迁移作用是电场力和热动力驱动力(F_{seg})共同作用的结果, F_{seg} 主要是在固体和液体界面处促使Sb/Ge偏析的驱动力,该驱动力是热动力效应的结果。由于在实际的操作过程中,编程区域靠近电极处的温度最

高,因此固态和液体的界面位于编程区域的边界处。对于Ge元素来说,受到的 F_{seg} 与电场力的方向是相反的,而Sb原子受到的 F_{seg} 和电场力的方向是一致的。仿真和实验的结果也显示,在线性结构中,由于温度梯度的作用比较小,所以Ge和Sb趋于分布在阴极附近,且Sb比Ge更靠近阴极;在刀片结构中,由于 F_{seg} 大于电场力, F_{seg} 促使Ge原子克服电场力作用从液态区域向固态区域迁移;在孔型结构中, Sb原子主要分布在靠近电极的地方,而Ge在Sb之外的边缘处, Te的分布靠近阳极。

3.2 相变应力和热应力导致失效的机理

相变过程伴随着应力的产生,该应力包括相变应力和热应力:(1)GST材料在相变过程中不仅电阻率会发生变化,同时材料的密度也会发生变化,从非晶态向面心立方结构(FCC)转变时体积缩小约7%,从FCC到六方相(HEX)时材料的体积缩小约2.4%,这种在操作过程中大的密度变化引起的应力称为相变应力^[25];(2)GST材料在晶态和非晶态的热膨胀系数(CTE)分别是 $(13.3 \pm 1.39) \times 10^{-6} \text{ K}^{-1}$ 和 $(17.4 \pm 1.21) \times 10^{-6} \text{ K}^{-1}$,且GST材料的热膨胀系数与周围电极材料和介质材料也不同^[26]。而热膨胀系数不一样会引起热应力。相变材料在晶态与非晶态进行多次可逆转换时,由于密度不一样以及热膨胀系数的差异产生应力,产生小的孔洞,这些小的孔洞不断长大融合,覆盖了电极表面,使相变材料与电极材料脱离,造成了Reset—Stuck失效。Krusin—Elbaum^[27]等人通过应力测试发现,在非晶态到晶态的转变时应力突然变大,在随后的结晶过程中,这种应力才得到释放,并通过TEM发现在晶界处存在Te的偏析以及孔洞的形成,说明在相变过程中,产生的应力是通过相的偏析和孔洞的形成才得到释放。Park^[26]等人认为热应力和相变应力均会引起相变存储器件的不可修复的失效现象,这两种应力促使孔洞的形成,并且应力的梯度大小影响着孔洞的生长速度;通过有限元仿真发现,热应力的幅值大约为

相变应力的两倍，在GST和底电极的界面处，相变应力的梯度大于热应力，这种应力梯度不管是相变应力还是热应力都使得在GST和底电极界面处更容易形成大的孔洞。

3.3 电压极性引起失效的机理

图3为电压极性的示意图。Lee^[28]等人研究了Set操作和Reset操作的电压极性对于器件的寿命的影响，当Reset操作和Set操作电压的极性均为反向时，器件很快变成了高阻态，器件的寿命比正向Reset和Set操作降低了4个数量级，TEM和EDS显示，在电极和GST表面形成了孔洞。而正向Set反向Reset操作的器件的阻值分布噪声小于反向Set正向Reset的操作，这说明在反向偏压下，空穴力引发的电迁移使得原子整体向阴极上电极的方向运动，导致了在GST和电极界面处形成孔洞，且Set操作的迁移作用大于Reset操作。Padilla^[29]等人同样发现了Set操作和Reset操作均反向的电压极性操作会加速器件的失效。Lee^[10]等人在Set—Stuck失效的单元上施加反向的Reset操作电压后重新延长了器件的寿命，这是因为Set—Stuck失效的单元组分发生了偏析，而少量的几次反向Reset操作由于熔化了编程区域，产生的原子迁移方向与之前相反，因此修复了相的分布。

3.4 结晶引发元素偏析产生失效的机理

到目前为止，我们所讨论的相偏析都是在高电场和高温(630—650 °C)下发生的。Debunne^[30]等人研究发现，在熔化温度(350 °C)以下且没有电场的条件时，富Te的GST材料会产生热引发的运动和材料的偏析，并伴随着孔洞的形成，这种现象称为结晶引发的偏析。这是由于富Te的GST材料本身的熔点较低，在350 °C的时候，虽然还没到达熔化状态，但是已经开始流动，在冷却时，趋向于形成一个结晶速度更快的组分，因此会造成元素的偏析。Gourvest^[31]等人通过拉曼散射的方法研究发现，富Ge的GeTe相变材料在结晶过程发生了立方Ge相的偏析，使得该材料存在两种明显的

相；Cabral^[32]等人发现Sb-15 at. % Ge在非晶状态下是非常稳定的共熔物，但在350 °C时通过TEM发现了Ge单晶的快速析出，造成了相的偏析。

3.5 相变材料浓度梯度造成失效的机理

Zhu^[33]等人研究了TST材料在操作过程中也会发生相的偏析，形成富Te的相和贫Te和Sb的相，Sb和Te组分的变化是同步的，因此TST材料发生相的偏析并不是电迁移的结果。Ji^[34]等人进一步研究了TST相变纳米桥器件的原子迁移机理，提出了物理模型，认为Sb和Te一致的偏析并不是电迁移的结果，而是由于在非晶—晶态的结构转变中密度变化了3.5%，非晶态区域的密度小于晶态区域，这种浓度的差异为原子的迁移提供了动力，从而形成一个稳定的晶态相，造成了相的偏析。

3.6 电极材料与相变材料相互扩散导致失效的机理

硫系材料的组成原子具有相对低的熔化温度和高迁移率，因此和GST直接接触的电极材料的选择极其重要。Cabral^[35]和Chen^[36]等人发现一个

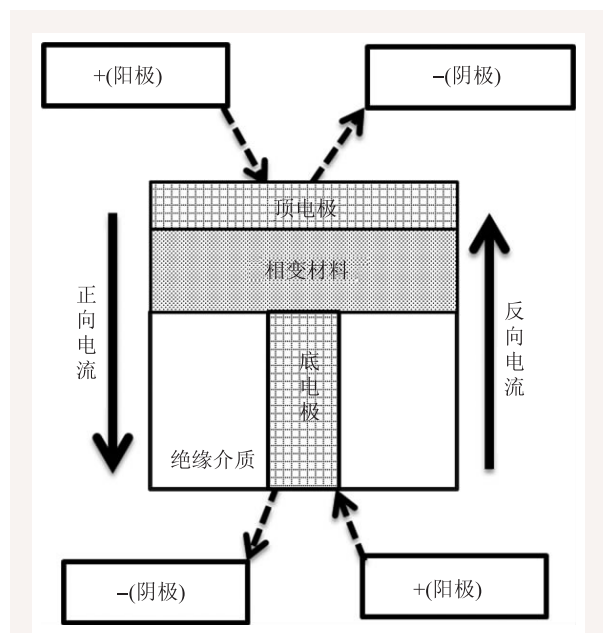


图3 电压极性示意图

很薄 Ti 的粘附层材料会引起 GST 材料相的改变, Te 原子在 325 °C 以上时开始发生偏析并与 Ti 反应形成 Ti—Te 相, 说明 Ti 的存在为 Te 原子的扩散以及 Te 和 Ti 的相互反应提供了一个驱动力。Kim^[37] 等人通过 TEM 和俄歇电子谱(AES)的方法研究了 Ti/GST/Ti 薄膜样品在退火前后的特性, 发现 Ti 与 GST 的界面是不稳定的, 在经过 400 °C 的退火之后, Ti 向 GST 中扩散而 Sb 和 Te 向 Ti 中扩散。Alberici^[38] 等人通过飞行时间质谱方法发现, Ti 与 GST 发生了相互扩散并形成 TiTe₂ 相。Gao^[39] 等人研究了富 Ti 的 TiN 层由于存在六方的 Ti 原子相, 因此在退火后, 也会与 GST 发生相互扩散并形成了 TiTe₂ 的相, 从而改变了 GST 的组分, 造成相变存储单元无法进行 Reset 操作, 而当 TiN_x 中的 x 值的范围在 0.6—1.2 之间时, TiN 与 GST 界面比较稳定, 不会发生相的相互扩散和反应。

3.7 制造工艺引起的失效现象及其机理

在研究 4 Mb 相变存储器芯片时, Mantegazza^[6, 14]

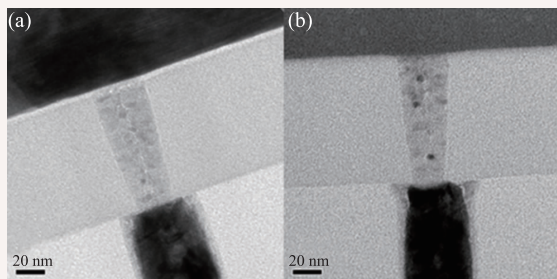


图4 相变单元电极的 TEM 截面图 (a)工艺改进前; (b)工艺改进后

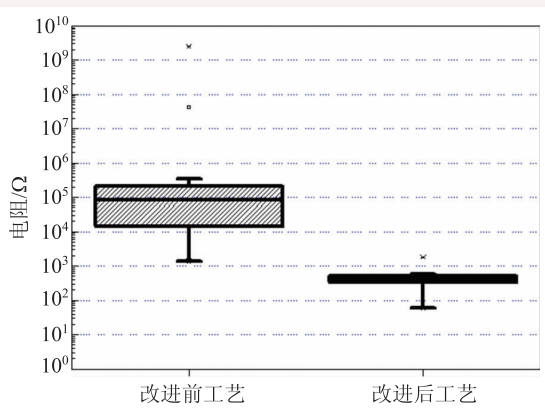


图5 工艺改进前后纯电极阻值分布图

等发现有两种异常的单元导致了 Reset 电阻分布的尾巴。其中一种异常单元可以通过使用更大的 Reset 操作电流恢复到正常的阻值, 或者用更短的冷却时间获得更高的电阻。另一种异常单元其阻值即使用较大的 Reset 操作电流去操作, 也无法达到较高的阻值。在阈值电压和阻值的关系中, 这些异常的单元具有更高的斜率, Mantegazza 等认为这些异常单元存在一个和非晶区域并联的导电通路, 来源于工艺过程中相变材料操作区域的污染或者界面处的污染, 最后通过改善工艺, 包括减小污染源, 给相变材料增加保护层以及清洁 GST 和加热电极的界面等方法降低了这些异常单元的发生率。

Kim 和 Ahn^[4] 等人研究 64 Mb 相变存储器芯片可靠性时发现, 存储器单元的激活能只有 2.1 eV, 比沉积的薄膜的激活能 2.46 eV 低。我们知道相变材料的稳定性与非晶状态的稳定性(也就是数据保持力)直接相关, 激活能越高, 非晶态越稳定, 意味着数据保持力越好。经过完整工艺的存储器单元之所以激活能变小, 是由于在工艺过程中造成 GST 材料的损伤或者界面的缺陷, 这些缺陷和损伤增加了成核结晶的可能性, 因此降低了存储器单元的数据保持时间。

Gao^[15] 等人研究了氧等离子灰化工艺对相变存储器电极阻值的影响, 认为氧等离子灰化工艺会使 TiN 电极表面被氧化(图 4(a)), 使得其阻值增加, 且阻值分布非常宽, 而这种纯电极阻值的增加使得器件在操作后高低阻值无法分开, 为了获得良好的 GST 和电极的接触, 采用两步化学机械抛光(CMP)的方法, 使得 TiN 电极表面未被氧化(图 4(b)), 并且 TiN 电极的阻值分布收敛性大为改善, 单个纯电极阻值大约为 600 Ω, 如图 5 所示。

Li^[40] 等人发现相变存储器单元的钨电极在 CMP 过程中受到腐蚀, 研究表明在酸性抛光液中, 由于形成了具有腐蚀作用的 WO_4^{2-} , 所以造成 W 电极被腐蚀, 而在碱性抛光液中, 形成的 WO_3 会保护 W 电极而不被腐蚀。电极在抛光过程中被腐蚀, 会导致相变单元直接失效。

为了进一步降低相变存储单元的功耗, 减小

相变材料和电极的接触面积，刀片结构的加热电极被广泛采用。Gao^[16]等人发现在刀片电极的制作过程中，如果在沉积 TiN 电极之后直接用高深宽比工艺(HARP, High Aspect Ratio Process)生长一层 20 nm SiO₂，通过 TEM 和 EDS 分析发现，TiN 刀片电极的侧壁被氧化 2—4 nm 左右，而这种侧壁不均匀的氧化导致纯电极的阻值分布的分散性，此外，随着电极厚度的进一步降低，可能整个 TiN 的电极都被 HARP 生长 SiO₂ 时所氧化，为了得到一个稳定 TiN 电极，我们提出用 HARP 生长的薄层来代替 SiO₂，从而彻底解决了这一难题。

随着相变单元尺寸的不断降低，相变材料的刻蚀工艺越来越重要，降低刻蚀损伤，避免刻蚀工艺对相变材料损伤以及组分的改变对于可靠的相变存储单元非常重要。Park^[13]等人研究了 NH₃ 和 HBr 刻蚀气体对于 CGST 的影响，发现 HBr 刻蚀气体在刻蚀过程中溴离子会扩散进入 CGST 中至约 17 nm 深度，并与 Ge, Sb 和 Te 三种元素形成溴化物，这些溴化物在后面的高温工艺中易挥发，从而在 CGST 材料边界处留下孔洞。而 NH₃ 则是一个比较优化的刻蚀气体，不会形成对 CGST 的刻蚀损伤，TEM 结果显示，NH₃ 刻蚀的 CGST 边缘整齐且没有孔洞的出现。器件测试的结果显示，NH₃ 刻蚀的 CGST 器件的 Set 操作寿命达到了 10⁸ 次，比 HBr 刻蚀的 CGST 器件的 Set 寿命高了两个数量级。

在相变存储器的制造过程中，高温热工艺是不可避免的，而众所周知的是相变材料在高温下会发生非晶到晶态的变化，从而容易在电极的界面处产生孔洞。为了减小在制作过程中产生的孔洞，Li^[17]等人提出了相变材料的热腔工艺，也就是采用较高的温度生长相变材料，从而在沉积的时候就让相变材料发生结晶。另外 TEM 结果显示，采用低温的金属层间介质层生长工艺，降低温度对于相变材料的影响，可以有效减缓高温对于相变存储器单元的影响。

3.8 相变单元中晶态相和非晶态相分布的差异性产生失效的机理

相变单元在操作过程中由于操作条件的差异而会产生不一样的晶态相(C-GST)和非晶态相(A-GST)的分布，完全 Reset 操作和完全 Set 操作的相的分布如图 6(a)和(b)所示，部分 Set 操作和部分 Reset 操作如图 7(a)和(b-1), (b-2)所示，图 7(c)为过操作的相的分布。

Mantegazza^[7]研究了相变存储器阵列中部分 Set 操作状态和部分 Reset 操作状态的相分布，部分 Reset 操作状态所形成的非晶区域较小，因此阻值也较低，部分 Set 操作状态中结晶的晶粒被非晶包围着，晶态相和非晶态相是串联的关系^[5]。Rizzi^[41]认为这是由于 Set 操作过程不充分引起的，因为如果 Set 操作条件使得编程区域和非操作区域的界面温度不够高，晶粒无法从非晶和晶态的边界生长，而只能在非晶内部产生晶粒并长大，造成了晶粒和非晶层并联的情况，使得 Set 操作的阻值变大。Meister^[42]等人 and Jung^[43]等人分别通过直接的 TEM 观察到还有一种部分非晶态的相分布，就是在非晶的编程区域中存在晶粒，这

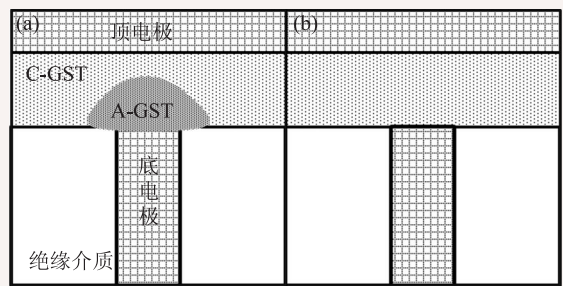


图6 相变单元中晶态和非晶态相的分布示意图 (a)完全 Reset 操作状态; (b)完全 Set 操作状态

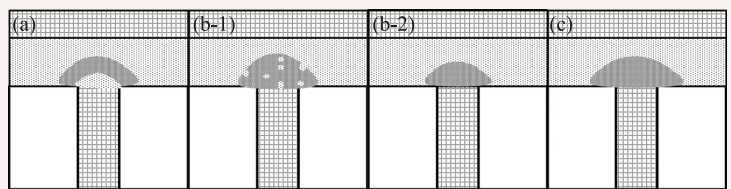


图7 相变单元中晶态和非晶态相的分布示意图 (a)部分 set 操作状态; (b-1)和(b-2)为部分 Reset 操作状态; (c)过操作状态

是由于在非晶操作中快速冷却的速率不够快,使得非晶中又再结晶出新的晶粒,因此这种部分 Reset 操作的单元可能会导致其阻值降低。Kim 等人通过高分辨的 TEM 发现, Reset 操作过程中会导致 GST 非晶态相中产生六方的 GST 晶粒和 GeTe 晶粒^[44],而这些六方的晶粒虽然很小,但是在后续的操作中不容易变为非晶态。Calderoni^[45]等人研究了过非晶化(over-reset)的情况,如果给相变单元加一个比正常 Reset 操作(完全非晶化)更高的电流,会使得 Reset 操作的阻值比完全 Reset 操作的阻值更低,这是由于上电极散热的缘故,过大的 Reset 操作电流不会产生更厚的非晶区域,而会让非晶区域趋向于椭圆的形状。

综上所述可知,由于不同器件单元之间不可避免地存在结构、尺寸以及材料本身激活能的差异,同样的操作条件会产生不一样的阻值分布,使得 Set 态阻值分布中会存在阻值较高的部分,Reset 态阻值分布中会存在阻值较低的部分,从而减小了 Reset 和 Set 阻值分布的窗口。在实际应用中,可通过优化操作条件并改进制备工艺来有效改善阻值分散性的问题。

参考文献

- [1] Yu S, Chen P Y. IEEE Solid-State Circuits Magazine, 2016, 8(2): 43
- [2] Wong H S P, Raoux S, Kim S B *et al.* Proceedings of the IEEE, 2010, 98(12):2201
- [3] Cappelletti P. Non volatile memory evolution and revolution. IEEE International Electron Devices Meeting, 2015. 10.1.1—10.1.4
- [4] Kim K, Ahn S J. Reliability investigations for manufacturable high density PRAM. IEEE International Reliability Physics Symposium, 2005. In: Proceedings.43rd Annual. IEEE, 2005. 157—162
- [5] Ielmini D, Lacaíta A L, Pirovano A *et al.* IEEE Electron Device Letters, 2004, 25(7):507
- [6] Mantegazza D, Ielmini D, Pirovano A *et al.* IEEE Electron Device Letters, 2007, 28(10):865
- [7] Mantegazza D, Ielmini D, Pirovano A *et al.* IEEE Electron Device Letters, 2010, 31(4):341
- [8] Park J B, Park G S, Baik H S *et al.* Journal of The Electrochemical Society, 2007, 154(3):H139
- [9] Yoon S M, Choi K J, Lee N Y *et al.* Applied Surface Science, 2007, 254(1):316
- [10] Lee S, Jeong J, Lee T S *et al.* IEEE Electron Device Letters, 2009, 30(5):448
- [11] Do K, Lee D, Ko D H *et al.* Electrochemical and Solid-State Letters, 2010, 13(8):H284
- [12] Hong S H, Lee H. Japanese Journal of Applied Physics, 2008, 47(5R):3372
- [13] Park J H, Kim J H, Ko D H *et al.* Thin Solid Films, 2016, 616: 502
- [14] Mantegazza D, Ielmini D, Pirovano A *et al.* Electrical characterization of anomalous cells in phase change memory arrays. IEEE International Electron Devices Meeting, 2006. 1—4
- [15] Gao D, Liu B, Li Y *et al.* Journal of Semiconductor, 2015, (5): 181

4 结束语

本文细致系统地研究了相变存储器的失效模型和失效机理。从失效机理出发,提出相应的改进的方案,对存储器芯片成本的降低以及性能的提升至关重要;从单个器件的失效机理来看,主要集中在相的偏析以及密度变化形成的孔洞,因此可以从结构和材料的掺杂改性方面入手,一方面降低电迁移速率,另一方面减小相变过程中密度的改变;而大阵列的相变存储器芯片的失效模式主要表现为 Set 操作和 Reset 操作的阻值分布比较分散,且存在阻值分布的尾巴形态,极大地减小了高阻态和低阻态的窗口。针对这些问题,可以通过改善工艺,减小对 GST 材料的污染,降低刻蚀损伤,清洁 GST 与电极的界面以及保护电极的稳定性等;另一方面,优化 Reset 和 Set 操作的条件对于提高阻值分布的收敛性以及寿命极其重要。随着相变存储器单元的尺寸进一步缩小,发展高密度和高可靠性的相变存储器需要更进一步开展失效机理的研究,本文针对目前失效机理的归纳总结将为高性能相变存储器研发和产业化提供有益的借鉴作用。

- [16] Gao D, Liu B, Xu Z *et al.* Influence of silicon oxide on the performance of TiN bottom electrode in phase change memory. *Proc. of SPIE*, 2016, 9818: 981801
- [17] Li J T, Liu B, Song Z T *et al.* *Chinese Physics B*, 2014, 23(8): 087804
- [18] Nam S W, Kim C, Kwon M H *et al.* *Applied Physics Letters*, 2008, 92(11): 111913
- [19] Nam S W, Lee D, Kwon M H *et al.* *Electrochemical and Solid-State Letters*, 2009, 12(4): H155
- [20] Kim C, Kang D, Lee T Y *et al.* *Applied Physics Letters*, 2009, 94(19): 193504
- [21] Kang D, Lee D, Kim H M *et al.* *Applied Physics Letters*, 2009, 95(1): 011904
- [22] Yang T Y, Park I M, Kim B J *et al.* *Applied Physics Letters*, 2009, 95(3): 032104
- [23] Park Y J, Yang T Y, Cho J Y *et al.* *Applied Physics Letters*, 2013, 103(7): 073503
- [24] Novielli G, Ghetti A, Varesi E *et al.* *IEEE International Electron Devices Meeting*, 2013. 22.3.1—22.3.4
- [25] Chen C F, Schrott A, Lee M H *et al.* *IEEE International Memory Workshop*, 2009. 1—2
- [26] Park I M, Jung J K, Ryu S O *et al.* *Thin Solid Films*, 2008, 517(2): 848
- [27] Krusin-Elbaum L, Cabral C, Chen K N *et al.* *Applied Physics Letters*, 2007, 90(14): 141902
- [28] Lee M H, Cheek R, Chen C F *et al.* The impact of hole-induced electromigration on the cycling endurance of phase change memory. *IEEE International Electron Devices Meeting*, 2010. 28.6.1—28.6.4
- [29] Padilla A, Burr G W, Virwani K *et al.* Voltage polarity effects in GST-based phase change memory: physical origins and implications. *IEEE International Electron Devices Meeting*, 2010. 29.4.1—29.4.4
- [30] DeBunne A, Virwani K, Padilla A *et al.* *Journal of The Electrochemical Society*, 2011, 158(10): H965
- [31] Gourvest E, Lhostis S, Kreisel J *et al.* *Applied Physics Letters*, 2009, 95(3): 031908
- [32] Cabral Jr C, Krusin-Elbaum L, Bruley J *et al.* *Applied Physics Letters*, 2008, 93(7): 071906
- [33] Zhu M, Wu L, Rao F *et al.* *Applied Physics Letters*, 2014, 104(6): 063105
- [34] Ji X, Wu L, Lv S *et al.* *Acta Materialia*, 2014, 73: 48
- [35] Cabral C, Chen K N, Krusin-Elbaum L *et al.* *Applied Physics Letters*, 2007, 90(5): 051908
- [36] Chen K N, Cabral C, Krusin-Elbaum L. *Microelectronic Engineering*, 2008, 85(12): 2346
- [37] Kim S Y, Lee H S, Chung I S *et al.* *Applied Surface Science*, 2007, 253(8): 4041
- [38] Alberici S G, Zonca R, Pashmakov B. *Applied Surface Science*, 2004, 231: 821
- [39] Gao D, Liu B, Xu Z *et al.* *ECS Journal of Solid State Science and Technology*, 2016, 5(5): P245
- [40] Li Y, Song Z, Liu B *et al.* *IEEE Transactions on Semiconductor Manufacturing*, 2014, 27(1): 38
- [41] Rizzi M, Ciocchini N, Caravati S *et al.* Statistics of set transition in phase change memory (PCM) arrays. *IEEE International Electron Devices Meeting*, 2014. 29.6.1—29.6.4
- [42] Meister S, Kim S B, Cha J J *et al.* *ACS Nano*, 2011, 5(4): 2742
- [43] Jung Y, Nam S W, Agarwal R. *Nano letters*, 2011, 11(3): 1364
- [44] Kim Y T, Kim Y H. *Physica Status Solidi B*, 2014, 251(2): 435
- [45] Calderoni A, Ferro M, Varesi E *et al.* Investigation of over-reset programming in phase change memory. *IEEE International Memory Workshop*, 2012. 1—4

读者和编者

《物理》有奖征集 封面素材

为充分体现物理科学的独特之美，本刊编辑部欢迎广大读者和作者踊跃投寄与物理学相关的封面素材。要求图片清晰，色泽饱满，富有较强的视觉冲击力和很好的物理科学内涵。

一经选用，均有稿酬并赠阅该年度《物理》杂志。

请将封面素材以附件形式发至：physics@iphy.ac.cn；联系电话：010-82649470；82649029

《物理》编辑部