

# 超导量子计算系统中的容错技术\*

陈子杰<sup>1</sup> 孙麓岩<sup>2,3,†</sup> 邹长铃<sup>1,3,††</sup>

(1 中国科学技术大学 中国科学院量子信息重点实验室 合肥 230026)

(2 清华大学交叉信息研究院 北京 100084)

(3 合肥国家实验室 合肥 230088)

2023-10-23收到

† email: luyansun@tsinghua.edu.cn

†† email: clzou321@ustc.edu.cn

DOI: 10.7693/wl20231103

## Quantum fault tolerance technology based on superconducting quantum systems

CHEN Zi-Jie<sup>1</sup> SUN Lu-Yan<sup>2,3,†</sup> ZOU Chang-Ling<sup>1,3,††</sup>

(1 CAS Key Laboratory of Quantum Information, University of Science and Technology of China, Hefei 230026, China)

(2 Institute for Interdisciplinary Information Sciences, Tsinghua University, Beijing 100084, China)

(3 Hefei National Laboratory, Hefei 230088, China)

**摘要** 随着超导系统中的量子控制技术日益成熟,量子纠错技术也在不断发展。最近,已有一些平台实现了超越量子纠错盈亏平衡点的里程碑式突破。然而,要实现最终目标——容错量子计算,仍需要拓展系统的维度并进一步压制噪声。文章以超导量子系统为例,首先介绍了四种实现容错错误症状测量的思路;以此为基础,讨论了实现容错量子计算的三个关键阶段以及各阶段所面临的挑战,包括超越盈亏平衡点、达到容错阈值和实现完备逻辑门操作。为了实现这些目标,将按照连通性从低到高归纳三种可能的拓展系统规模的方案。此外,还总结了实验上纠错技术的进展以及对连通性的探索,最后讨论当前关键的研究问题。

**关键词** 量子纠错,量子容错计算,超导量子系统,量子控制

**Abstract** With the improvement of quantum control technology in superconducting systems, quantum error correction has seen rapid development. Recently, significant breakthroughs have been achieved on various platforms, even surpassing the break-even point of quantum error correction. However, to reach the final goal of fault tolerant quantum computation, it is crucial to further suppress the error through scaling up quantum systems. In this article we focus on superconducting quantum systems and present four approaches for implementing fault-tolerant error syndrome measurements. We then discuss the three key stages in achieving fault-tolerant quantum computation and the corresponding challenges at each stage. These challenges include surpassing the break-even point, reaching the fault-tolerant threshold, and implementing universal logical gates. To accomplish these goals, we classify three potential scaling-up schemes based on different forms of connectivity. We then summarize the experimental progress in quantum error correction and the exploration of connectivity. Finally, we address three key problems in this field.

**Keywords** quantum error correction, fault-tolerant quantum computation, superconducting quantum system, quantum control

## 1 引言

在过去四十年中,利用量子特性进行计算、通信、传感、模拟等信息处理的潜力得到充分肯定,各种量子信息处理平台的操控水平也在逐渐发展<sup>[1]</sup>。包括超导电路<sup>[2-10]</sup>、冷原子<sup>[11, 12]</sup>、离子阱<sup>[13-15]</sup>以及光学<sup>[16]</sup>在内的各种物理平台的系统规模以及控制精度都得到了巨大的提升。然而,在实际实验中,系统与环境之间的耦合以及控制的不完美等因素都会引入各种噪声,这成为当前系统性能提升的瓶颈。为了克服这些噪声的影响, Peter Shor 在 1995 年借鉴了经典纠错码的思想,提出了利用冗余空间抵抗量子噪声的量子纠错码<sup>[17]</sup>。此后,量子纠错技术得到了广泛的关注和研究。随着纠错技术的不断进步,各种实验进展表明我们正进入纠错量子时代<sup>[18]</sup>。

不同物理平台所面临的噪声种类和强度存在差异。当前超导系统的噪声一般可以分为两种<sup>[19]</sup>。第一种是非相干噪声,它通常来源于系统与外界环境的耦合。例如,在系统测量和操控过程中与外界电路的耦合、在超导电路制备过程中不可避免引入的缺陷以及由杂散红外线或是高能射线激发的准粒子(quasi-particle)<sup>[20]</sup>等。对于超导电路而言,这种类型的噪声通常引起超导比特的衰减(decay)和退相位(dephasing),常用  $T_1$  以及  $T_2$  来描述;第二种噪声是相干噪声,它通常由系统中不同元件之间的串扰<sup>[21]</sup>、系统参数标定的误差以及系统控制过程的失真引起。

为了提升量子系统的性能,需要在硬件和软件的各个层次对噪声进行压制<sup>[22]</sup>。在硬件层面,可以通过超导芯片的设计、制备、材料<sup>[23]</sup>等方面减少与外界环境的耦合。而在软件层面,可以通过在控制脉冲的设计<sup>[24]</sup>、门操作的编译<sup>[25]</sup>以及算法<sup>[26]</sup>等方面对噪声进行容忍。在这些优化方法的基础上,量子纠错技术可以进一步提供通用且可拓展的错误压制能力,从而增强量子系统的性能。

\* 国家重点基础研究发展计划(批准号: 2021YFA1402004)、国家自然科学基金(批准号: 92265210; 92165209; 11925404; 12061131011)资助项目, 科技创新 2030 “量子通信与量子计算机”重大项目(批准号: 2021ZD0300203)

量子纠错技术的通用性体现在其思路适用于绝大部分的物理系统。而根据具体物理体系的不同,量子纠错所需的拓展方式会有所差异。以超导系统为例,目前存在两种常见的架构。第一种是基于 transmon 比特阵列的架构<sup>[7]</sup>,第二种是基于高品质三维谐振腔的架构。第一种架构使用 transmon 中能量最低的两个能级进行物理比特的编码,单个物理比特态空间的拓展性有限,因而只能通过增加比特数量的方式进行拓展<sup>[27, 28]</sup>。对于这种架构,目前常见的编码包括表面码(surface code)<sup>[7, 29]</sup>、颜色码(color code)<sup>[30]</sup>、重复码(repetition code)、双轨码(dual-rail code)<sup>[31]</sup>、完美码(perfect code)<sup>[32]</sup>以及 LDPC 编码(low density parity check code)<sup>[33]</sup>等。这些编码都可以用稳定子的形式进行描述<sup>[34, 35]</sup>,因而均为稳定子码(stabilizer code)。其中表面码、颜色码等在实现编码和纠错的过程中需要实现某种形式的相互作用。这种相互作用可以等价于放置在一些拓扑结构之上的物理比特之间的近邻相互作用。如表面码的物理比特之间的相互作用就可以等价于在平面上放置的物理比特之间的近邻相互作用。因此,这些编码也被称作拓扑编码<sup>[36]</sup>。第二种是基于三维谐振腔的架构,不仅可以通过增加腔的数目进行拓展,还由于单个腔就具有无穷大的希尔伯特空间,因而可以有效使用单个腔的维度进行拓展。目前常见的编码为玻色编码(bosonic code)<sup>[37]</sup>,包括猫态编码(cat code)<sup>[38]</sup>、二项式编码(binomial code)<sup>[39, 40]</sup>以及 GKP 编码(Gottesman—Kitaev—Preskill code)<sup>[41]</sup>等。这类玻色编码也适用于离子阱的运动模式的编码<sup>[42]</sup>。此外,这些编码之间还可以相互级联,如两能级物理比特或者是逻辑比特(qubit)可以编码成高维量子比特(qudit)<sup>[43]</sup>,而玻色编码也可以级联表面码等编码<sup>[44]</sup>。

量子纠错技术的拓展性在于,当错误率足够低时,通过扩大纠错码的规模,理论上可以将错误压制到任意低的水平。尽管实际的纠错过程带有噪声,但是如果能够合理地设计纠错线路,使得过程中的错误不会扩散或被放大成为不可纠正的错误,则这些错误能在后续的纠错操作中得以纠正,即量子容错<sup>[45]</sup>。具体来看,若一个操作中

的某个元件发生噪声，而操作最后输出的每一个逻辑编码比特中至多只有一个错误，则这种操作是容错的<sup>[34]</sup>。量子容错的实现需要每一轮纠错操作中噪声低于一定的阈值，而这个阈值就是所谓的容错阈值。容错阈值极度依赖于编码、纠错操作以及噪声模型。目前，比较乐观的估计是在去极化噪声作用下基于表面码的容错阈值约为1%<sup>[46]</sup>，当前门操作水平已经超过这一阈值。

## 2 容错错误诊断

完整的纠错过程需要先进行错误症状测量。对于稳定子码而言，错误诊断就是在不破坏系统量子态的情况下对其稳定子的值进行测量。然后，根据测量结果推断系统所遭受的噪声，最后再进行纠正操作。因此，实现容错量子计算的前提条件之一是实现容错错误诊断<sup>[34]</sup>。根据所选取的编码以及系统连通性不同，图1总结了常见的四种容错错误诊断的思路。如图1(a)所示，对于表面码这一类拓扑编码而言，其具有强大的纠错能力，而且其稳定子只涉及编码中局部的少数几个物理比特。因此，在一轮错误症状测量的过程中，错误所能传播的范围有限。所以，一个稳定子的测量只需要一个辅助比特与其近邻的物理比特相互作用即可<sup>[47]</sup>。除此之外，表面码还有一个好处，就是在作用非 Clifford 门操作之前可以不进行纠错操作，只需记录其错误即可<sup>[28]</sup>。

但是，对于一般的编码而言，尤其是稳

定子涉及多个非局域物理比特的情况，错误诊断中发生的错误将产生严重扩散，因而需要使用额外的辅助资源。如图1(b)所示，目前有三种基于横向门的容错错误诊断思路<sup>[48]</sup>，分别由Shor<sup>[45]</sup>、Knill<sup>[49]</sup>、Steane<sup>[50]</sup>等人提出。这些方案都需要额外的资源用于制备特定的纠缠态。其中，Shor的方式需要制备多比特的GHZ态(Greenberger—Horne—Zeilinger)，而且要求一次测量只能实现单个稳定子的测量。后两种方案则需要制备逻辑编码初态，而且一次测量就可以得到所有稳定子的测量结果，即实现所谓的Single-shot测量。Knill的纠错方案也被称为传态纠错(telecorrection)<sup>[51]</sup>，因为其可以看作是逻辑态的隐形传态(teleportation)，若可以与特定的逻辑态的容错初态制备相结合，则能实现对应的门操作(详情见后文)。相较于拓扑编码的错误症状测量方案，基于横向门的方案需要的连通性更高。在不考虑编码内部的连接且不考虑优化线路的情况下，单个物理比特至少还需要与一个辅助比特相连接。实验

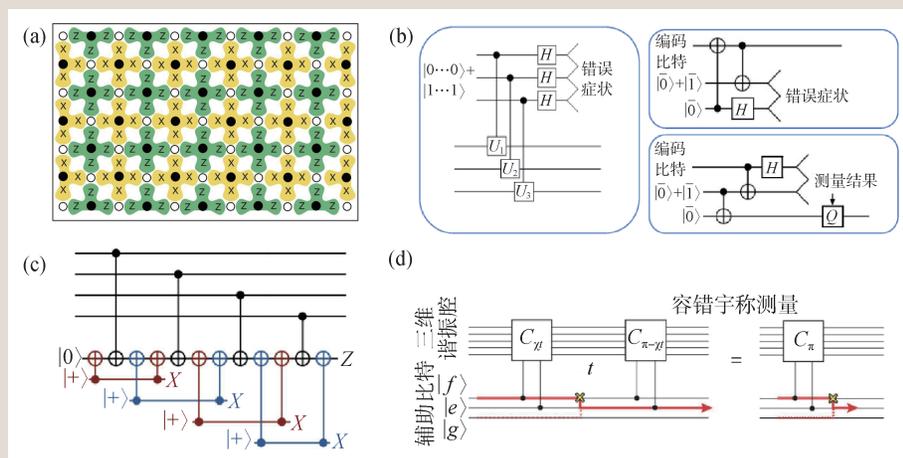


图1 常见的四种容错错误诊断的方式 (a)对于表面码等拓扑编码，可以直接测量。图中一个绿色花瓣或黄色花瓣分别代表一个Z类型或X类型的稳定子。花瓣连接的白点是稳定子所包括的物理比特，而黑点则是用于测量稳定子的辅助比特<sup>[47]</sup>；(b)利用横向门实现容错错误诊断的三种方案：左侧是Shor方案，右上为Steane方案，右下为Knill方案。其中，Shor方案中的 $U_1U_2U_3\dots$ 是待测的稳定子。图中的测量是针对Z算符的测量，H为Hadamard门操作，而Q则是根据测量结果对量子态作用的特定门操作<sup>[48]</sup>；(c)旗帜比特技术实现错误诊断，两条红线与两条蓝线分别代表一个旗帜比特，都与辅助比特相连。图中X和Z分别代表对物理比特进行X算符和Z算符测量。测量后可以将旗帜比特重新初始化，即可以通过比特复用节省资源<sup>[52]</sup>；(d)基于硬件方式实现玻色编码的容错宇称测量。图中的 $C_{y_i}, C_{\pi-y_i}, C_{\pi}$ 为受控相位门，即当辅助比特处于 $|e\rangle$ 态以及 $|f\rangle$ 态时，谐振腔得到大小不同的相位<sup>[54]</sup>

上, 编码内部的连接可以集成在单个芯片平面上, 而逻辑编码之间的连接可以通过多个芯片平面在三维空间中堆叠实现。

当系统的连通性进一步增加时, 还可以使用如图 1(c)所示的旗帜比特(flag qubit)技术进行容错错误症状测量<sup>[52, 53]</sup>。此方案的核心思想是使用额外的比特, 即所谓的旗帜比特, 对原本错误症状检测中的辅助比特进行检测。测量过程中, 逻辑比特或辅助比特出现的错误都将传播到旗帜比特中, 引起旗帜比特最终测量结果的变化。此方案一个显著的优点是所需要的辅助比特资源很少, 甚至只需要增加两个旗帜比特即可<sup>[53]</sup>。然而, 此方案中的辅助比特除了需要与待测编码中的每个物理比特都相连外, 还需要与至少两个旗帜比特相连接, 因而需要更高的连通性。

除了上述的基于稳定子编码的容错错误症状测量外, 对于玻色编码而言还有如图 1(d)所示的方案。此方案在考虑底层硬件物理性质的情况下, 可以实现容忍一阶错误的宇称测量<sup>[54]</sup>。对于二项式编码或者是猫态编码而言, 这就意味着可以容错地检测出系统是否发生光子丢失噪声或者是实现逻辑 Z 算符的容错测量。这一方案的核心思想是在硬件层面利用辅助 transmon 比特的第三个能级  $|f\rangle$ , 并使得辅助比特的错误空间能级  $|e\rangle$  和逻辑空间能级  $|f\rangle$  与编码系统都有耦合, 且耦合强度一致。此时, 不管 transmon 比特处于  $|f\rangle$  态还是发生衰减错误变成了  $|e\rangle$  态, 系统积累相位的速

率是一致的, 即系统无法“感知”比特是否发生了衰减错误。因而, 在过程中辅助比特中的错误无法传播到系统中, 测量过程是容错的。尽管这种方案需要构造特定的相互作用, 但可以极大地减少测量所需的辅助资源。

总结来看, 目前有多种思路防止纠错过程中错误的扩散。拓扑编码的思路是将稳定子局域化, 即限制稳定子涉及的物理比特的范围。三种横向门的思路都是从线路层面限制错误的扩散。旗帜比特的思路则是监控诊断过程中错误的产生。而玻色编码的思路则是巧妙地设计辅助比特的冗余空间, 从底层硬件角度防止错误的扩散。

### 3 容错的三个阶段

如图 2 所示, 从实现难度以及对应的纠错效果来看, 要实现最终容错量子计算需要经历以下三个阶段。

#### 3.1 超越盈亏平衡点

第一个阶段是对盈亏平衡点(break-even point)的超越。在量子纠错中, 盈亏平衡点是指系统中经过编码的逻辑态的相干时间等于参与编码的子系统中最长的相干时间, 而超越盈亏平衡点则意味着量子纠错真正开始起作用。当前大部分主流量子信息处理平台都十分接近这一阶段。其中, 基于三维谐振腔的超导平台利用猫态编码<sup>[55]</sup>、二项式编码<sup>[6]</sup>以及 GKP 编码<sup>[56]</sup>率先超越了盈亏平衡点。基于二维 transmon 比特阵列架构的平台也实现了码距为 5 的表面码的逻辑错误率略低于码距为 3 的表面码<sup>[7]</sup>。在这一阶段, 系统性能的微小提升将给纠错效果带来巨大的增益。以文献[7]为例, 当前阶段的超导系统中需要进一步压制的噪声主要是低关联噪声, 包括衰减(decay)、退相位(dephasing)、泄漏(leakage)、串扰(crosstalk)以及读出过程中的经典噪声。其中, 泄漏噪声意味着量子态向非计算空间发生了跃迁, 例如  $|f\rangle$  态或者是其他更高的能级。这种噪声主要来源于环境热噪声、CZ 门过程中的相位错误以及耦合器的激

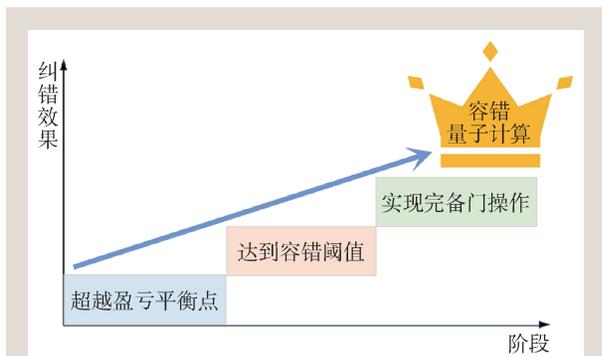


图2 容错三个阶段的示意图。按照实现难度来看, 实现容错量子计算需要先超越盈亏平衡点, 然后达到容错阈值, 最后实现完备的容错逻辑门操作。每个阶段的实现都意味着量子纠错的效果上升到新的台阶

发等等。而串扰主要来源于相邻比特间未彻底关断的耦合以及次近邻比特的耦合，即所谓的对角电容耦合。

### 3.2 实现纠错阈值

第二阶段是纠错阈值的实现。在这个阶段，不仅需要进一步优化系统性能使得错误率低于纠错阈值，还需要实现编码的拓展，进而达到相干寿命无穷长的单个甚至是多个逻辑比特。在实验方面，近期的一个里程碑是通过编码使相干寿命提升1000倍以上。目前看来，这一阶段不仅需要强力压制低关联错误，随着系统规模的扩大，还需要进一步考虑高关联错误的影响。例如，由于比特衬底对于伽马射线以及其他宇宙射线的吸收会导致电路中出现电荷波动，这种波动可以直接影响的尺度超过600 μm，并导致毫米甚至是厘米尺度内的比特相干寿命下降<sup>[7, 57-59]</sup>。相较而言，当前 transmon 比特的尺度约为百微米，因此这种电荷波动将有可能影响10—100个比特。尽管在当前的系统规模以及操控水平下，这种噪声仍可忽略，但当编码进行拓展之后，这将是巨大的挑战。具体来说，近期物理比特寿命可以达到约500 μs<sup>[23]</sup>，在进一步优化的情况下，一轮编码时间内错误率估计可以达到 $10^{-3}$ — $10^{-4}$ 。作为参考，文献[7]中码距为5的表面码当前每一轮的逻辑错误约为 $10^{-2}$ 的量级。文献中进一步以码距为25的重复码进行了实验，实验证实，以最乐观的估计当每一轮纠错的逻辑错误降到 $10^{-6}$ — $10^{-7}$ 量级时，即相干寿命至少提升一千倍时，高关联噪声就会对系统有明显的影响。从实用层面来看，逻辑编码的错误至少需要达到 $10^{-14}$ 的量级<sup>[47]</sup>，因此当相干寿命提升一千倍时，如果想进一步降低逻辑错误，高关联噪声的压制就需要纳入考虑范围了。目前已经有一些相关的讨论，见文献[60—62]。

此外，由于系统希尔伯特空间的增加，对错误症状检测、解码、纠错过程有着更高的要求，

1) 不同文献中对T门的定义略有不同，以文献[34]为例， $T = \begin{pmatrix} 1 & 0 \\ 0 & e^{-i\pi/4} \end{pmatrix}$ ，而T态为 $|T\rangle = (|0_L\rangle + \exp(i\pi/4)|1_L\rangle)/\sqrt{2}$ 。

尤其是需要低延迟、高并行、高准确率的反馈控制系统。例如，按照文献[63]的统计，对于码距为11的表面码而言，多种解码算法<sup>[64, 65]</sup>一轮纠错的解码时间已经达到了100 μs量级，这已经与当前物理比特寿命相当。

另外，随着比特数目的增加，芯片上的控制线将出现互连拥挤，且加工成品率将会降低。一方面，需要从软件角度改进存在不良比特时的编码方案<sup>[62]</sup>，另一方面需要从芯片物理结构层面进行优化。例如，可以使用倒装芯片(flip-chip)技术<sup>[66]</sup>将芯片平面进行堆叠，通过通硅孔(through-silicon via, TSV)实现芯片间的连接，这减少了单个芯片上的线路复杂度，提高了集成度。此举不仅可以将控制模块与比特模块单独加工、表征、优化，提高模块的成品率和质量，还可以减少比特与控制线路之间的串扰。

### 3.3 实现完备逻辑门

第三阶段是实现完备的逻辑门操作。受限於 Eastin—Knill 的不可行定理<sup>[67]</sup>，所有的编码至少都有一个逻辑门操作不可以横向地实现，因而不可以实现完备的通用逻辑门操作。有多种方式可以绕过这一限制，包括妙态蒸馏(magic state distillation)、规范固定(gauge fixing)、旗帜比特技术等。相对于前一个阶段，本阶段所需要的连通性或者是物理比特数资源也会更多。

以妙态制备为例，其思路是先制备某个特定的逻辑态，然后通过量子态传输的方式，实现主线路的某个门操作。这种方式与前面 Knill 的纠错方式是可以兼容的。以 Steane 编码这一类自对偶的 CSS 编码(self-dual Calderbank—Shor—Steane code)为例<sup>[34]</sup>，其可以横向地实现包括 Hadamard 门和 CNOT 门在内的 Clifford 门操作，即 Clifford 门是容错的。但是，其需要容错地实现一个非 Clifford 的门操作才可以实现完备的通用逻辑门操作集合。一般来说可以选择 T 门(也被称为  $\pi/8$  门)，因而需要制备相应的资源态，如 T 态<sup>1)</sup>。这些资源态的制备方法最早由文献[68]提出，其思想是先

制备保真度较低的资源态，然后选取合适的纠错码，通过只包含 Clifford 门操作的错误症状检测将错误态排除，最后得到保真度更高的资源态。这个过程与纠缠蒸馏类似，故称之为妙态蒸馏。妙态蒸馏需要的资源较多，以文献[47]中的估算为例，考虑初始资源态的错误率是 0.5% 的情况下，需要进行两轮妙态蒸馏才能达到  $10^{-15}$  量级。假定每轮纠错过程中物理比特的错误率为  $10^{-3}$ ，则第一轮蒸馏需要码距为 17 的表面码，而第二轮需要码距为 34 的表面码。换算下来总共需要  $2 \times 10^5$  个物理比特进行约 500 轮纠错。考虑到妙态蒸馏的资源消耗巨大，已有相关研究考虑优化方案<sup>[69, 70]</sup>，但仍需进一步探索。

除了妙态蒸馏外，还可以通过规范固定的方式实现完备的通用逻辑门操作<sup>[71]</sup>。其核心思想是逻辑编码中除了存储信息的逻辑比特外还有其余的自由度。这些自由度可以认为是一些额外的规范比特(gauge qubit)，逻辑门操作可以在“牺牲”规范比特的情况下横向实现。具体来说，可以参考文献[72]中的方案，文献中使用了[[15, 7, 3]]编码，即利用 15 个物理比特编码 7 个比特，码距为 3，其中一个编码比特为逻辑比特，剩余 6 个为规范比特。当 6 个规范比特处于  $|0\rangle$  态时，此时编码等价于一个[[15, 1, 3]]稳定子码，即 15 个物理比特编码 1 个逻辑比特且码距为 3 的稳定子码。此时，逻辑比特的 CCZ 门操作可以横向实现。而横向的 H 门可以实现逻辑比特的 H 门操作，但会改变规范比特的状态。随后，可以利用上一节中的错误症状测量方式对规范比特进行容错 Z 测量，并根据测量结果将所有的规范比特重置成  $|0\rangle$  态即

可。这种规范固定技术相当于实现了不同编码之间的转换，并通过不同编码的容错形式实现完备的逻辑门操作。但由于这一方案对编码有一定的限制，因而相比于妙态蒸馏并不一定减少资源，但是这一方案能与妙态蒸馏结合使用，减少制备妙态的资源。

而旗帜比特技术与容错错误诊断中的描述一样，通过合理设计线路利用辅助比特检测错误的扩散。例如，文献[52]中以 15 比特的 Hamming 码为逻辑编码，利用额外两个旗帜比特就可以容错地实现任意的 Clifford 门操作，而若额外利用四个旗帜比特则就可以实现容错的 CCZ 门，从而可以容错地实现完备的逻辑门集合。此外旗帜比特技术也可以用于高保真的妙态制备<sup>[73]</sup>，从而节省比特资源。

## 4 近期容错路线

随着各个物理平台性能的提升，可以预见的是未来几年内，将有大量平台突破量子纠错盈亏平衡点，达到容错的第一阶段。纠错码的拓展性将是下一阶段的最重要研究课题之一。对于逻辑比特而言，不同编码的拓展所需要的连通性也有差异。如图 3 所示，目前大体来说可以分成三种：第一种所需连通性较低，一般来说都是拓扑编码，包括表面码<sup>[47]</sup>、颜色码<sup>[30]</sup>以及子系统编码(subsystemcode)<sup>[74]</sup>；第二种需要的连通性稍高，需要使用分布式的架构<sup>[75]</sup>；第三种是高度连通方案，包括级联编码、旗帜比特技术等。值得注意的是，这三种方案只是提供了三种思路，并不是严格区分的路线，而且各自的技术可以相互借鉴，相得益彰。

### 4.1 低连通性方案

低连通性方案的典型例子是拓扑编码。对于包括表面码在内的大部分拓扑编码而言，在物理比特足够多且只需要近邻相互作用的情况下，就可以实现任意码距的逻辑比特编码。因此，基于拓扑编码的单个逻辑比特的扩大将会是未来五年

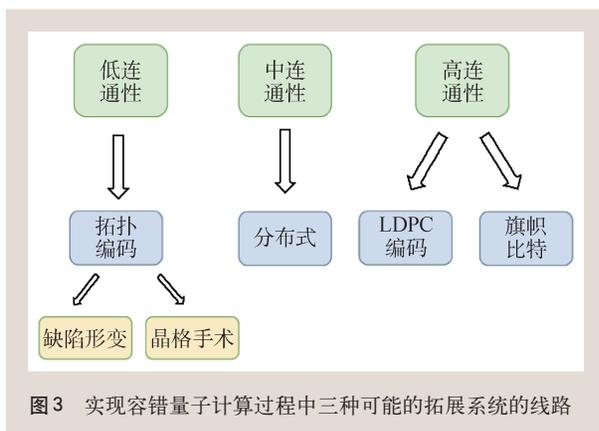


图 3 实现容错量子计算过程中三种可能的拓展系统的线路

内大多数平台的探索重点。然而，对于这种方案而言，想要实现多个逻辑比特之间的纠缠操作，如两比特门操作，则充满挑战。以表面码为例，不同逻辑比特之间的两比特门虽然可以通过横向的方式实现，但是对连通性提出了更高的要求。这意味着，对于除了边界之外的大多数物理比特而言，除了与逻辑比特内部的四个辅助比特相连接外，还需要与另一个逻辑比特中的物理比特相连，从而等价于形成两个平面的比特阵列在三维空间中的堆叠结构。对于冷原子系统而言<sup>[76]</sup>，这种堆叠较好实现，但是对于超导芯片，目前这种 flip-chip 架构仍处于探索阶段<sup>[66]</sup>。为了减少设计、加工、控制等工程方面的难度，目前至少有两种方式可以通过编码形变来降低系统所需要的连通性。

第一种是编码在“缺陷”(defect)的方式。以表面码为例，图 1(a)中是平面形式的表面码，其物理比特通过近邻相互作用组成了一个平面的晶格。晶格中一个辅助比特(黑点)代表一个错误症状的测量，即对应着一个稳定子的测量。辅助比特的数目比用于编码的物理比特(白点)数少一个，即稳定子个数比物理比特数少一个，因而存在一个比特的自由度用于编码。若通过在表面码中减少部分错误症状的测量，则可以增加系统的自由度用来编码逻辑比特，即可以通过在晶格中制造缺陷来产生逻辑比特<sup>[47]</sup>。进一步，通过改变稳定子的测量方式可以实现缺陷的形变、移动以及缠绕操作来实现所需要的单比特以及两比特逻辑门操作。

第二种是使用晶格手术(lattice surgery)的方式<sup>[77]</sup>。在使用表面码等拓扑编码的情况下，通过辅助比特可以对两个独立的逻辑比特相应边界上的物理比特进行测量，此操作可以实现这两个逻辑比特之间的联合测量或者是单独测量。从晶格结构来看，这相当于实现了两个晶格平面的融合(lattice merging)或者分裂(lattice splitting)。在借助一个逻辑比特用于辅助的情况下，可以进一步实现两个逻辑比特之间的纠缠门操作。相比于利用缺陷进行计算，晶格手术所需要的比特数更少。按照文献[77]的估计，对于码距为 $d$ 的表面码，利用双缺陷的形式编码需要约 $6d^2$ 个物理比特，而

利用平面的编码只需要 $2d^2$ 。为了实现 CNOT 门操作，双缺陷编码需要约 $37d^2$ 个比特，而平面的编码则需要三块平面编码以及额外的辅助比特共 $2d(3d+2)$ 个物理比特，即晶格手术消耗的资源只有利用缺陷编码的约 $1/6$ 。

低连通性方案所面临的挑战在于需要的比特数目较多，因而需要解决比特频率拥挤、信号串扰以及保证制冷体积等问题。

## 4.2 中连通性方案

中连通性方案是分布式量子计算的架构。其利用模块化的思路，每个模块可以单独设计、加工以及表征。由于距离较近，相互作用可以较强，且单个模块的环境屏蔽也能较好，因而模块内部可以实现高保真门操作。模块之间可以通过波导线相连接实现远程相互作用，甚至可以分别分布在两个独立的稀释制冷机中，从而减少对控制模块以及冷却系统体积的要求。必要时还可以借助量子中继实现更远距离的纠缠<sup>[78, 79]</sup>。

按照文献[75]的估计，当节点间的错误率达到 10% 以下，而节点内部包括 5 个物理比特，且节点内初始化、态操控以及测量等错误量达到 0.82% 以下时，可以通过不断重复地纠缠提纯得到高保真度的 GHZ 态，从而实现分布式表面码的容错错误症状测量。虽然忽略了串扰以及高关联噪声的影响，但相关分析依然展示出分布式纠错的前景。在实验方面，模块化的思路目前正处于积极探索中，如 IBM 公司就明确在其线路图<sup>[80]</sup>中规划，在 2023 年前后通过三块芯片之间的耦合器先实现 408 比特的处理器“Crossbill”，在 2024 年前后实现 462 比特的自带量子通信接口的处理器“Flamingo”。

## 4.3 高连通性方案

高连通性方案是高连通量子计算的架构。高连通方案有利于多种高效编码方案的实现，如多数 LDPC 编码方案<sup>[33]</sup>以及多层级联编码，也有利于旗帜比特等技术的实现。表面码等拓扑编码虽

然对连通性的要求低,但其编码所消耗的资源巨大。以平面表面码为例,其编码一个逻辑比特,要消耗 $n$ 个物理比特,其码距为 $d \propto \sqrt{n}$ 。而对于一些编码效率较高的量子LDPC编码而言,如文献[81]中的张量积码(Tensor product code),在 $n$ 很大时可以实现逻辑比特数 $k \propto n$ 以及码距 $d \propto \sqrt{n}$ 。文献[82]中的平衡积码(balanced product code)可以实现逻辑比特数 $k \propto n^{4/5}$ 以及码距 $d \propto n^{3/5}$ 。目前量子LDPC编码仍处于深入研究中,但多数的这些量子LDPC编码所需要的连通性较高。若将物理比特置于二维平面中,只靠比特间的邻近相互作用很难满足容错错误检测所需要连通性。在这种情况下,增加芯片集成度并解决串扰将是最重要的任务之一。

## 5 实验进展

实验方面,以超导芯片为例,目前实验平台的比特数多处于50到100之间,足够展示小规模纠错码的纠错过程。因此,近期的研究重点除了提升比特数量外,更重要的是提升比特的质量。目前基于超导电系统的玻色编码已经展示出超越盈亏平衡点的效果<sup>[6, 55, 56]</sup>。而基于transmon架构的表面码也展示出码距扩大对噪声的压制。其他物理系统也十分接近盈亏平衡点,如中性原子系统,目前已经将当前纠错中最关键的两比特CZ门操作的保真度提升至99.5%<sup>[12]</sup>,而离子阱系统也已经进行了Steane码的纠错演示<sup>[13]</sup>。

除了提升比特数量以及质量方面的探索外,目前也有大量实验进行了连通性方面的探索,但各个物理体系在连通性方面天然存在差别。以超导芯片为例,其物理比特之间近邻相互作用较强,但次近邻相互作用有限,因此其最基础的是一维链架构,物理比特至多与两个邻近比特之间存在相互作用,比如文献[83]中所描述的。进一步,还可以借助波导腔实现多个比特之间的全连接(all-to-all connection),如文献[84]中,20个物理比特都与同一波导腔相连接,在其他比特大失谐的情况下,通过调节多个目标比特的失谐并使之相等,可以借助波导腔实现这些比特间的纠缠。但

是,在这种连接方式下,比特间的串扰对保真度会有较大的影响。更进一步,通过增加波导腔可以使物理比特能与多个近邻比特相耦合,但均处于一个二维平面内。目前超导平台多数处于此阶段<sup>[7, 8, 85]</sup>。若需要在此基础上进一步地拓展,则可以考虑利用前文所述的flip-chip技术实现三维空间的堆叠。但目前此方案仍处于探索中,如文献[66]只实现了控制模块与比特模块的堆叠,接下来可能需要探索更多层次的堆叠。上述的相互连接的距离都比较近,即都是单节点内的互连。多节点之间的互连也处于探索中,比如单个稀释制冷机内的多个模块的互连已经得到原理性的演示。例如在文献[86]中所演示的,通过约0.25 m长的铝电缆相连的5个模块间实现的贝尔态、四比特GHZ态以及12比特GHZ态的保真度已经分别达到99%、92%以及55.8%。

至于其他物理系统的拓展方式则有所差异,如里德伯原子本身具有较大的电偶极矩,自身就可以实现较强的近邻乃至次近邻相互作用,借助腔的情况下可以实现一维链长程相互作用<sup>[87]</sup>。而中性原子可以在三维空间中任意排布<sup>[76]</sup>,并且可以借助光镊进行移动<sup>[88]</sup>。类似地,在离子阱系统中,也可以通过离子的振动模式实现离子间的远程纠缠<sup>[89]</sup>。因而,这些系统在连通性拓展上有多样的可选方案。

## 6 讨论和展望

随着量子控制技术的飞速发展,我们见证了量子纠错技术从理论到实验,再到超越盈亏平衡点的过程,并仍在实现容错量子计算的道路上披荆斩棘、砥砺前行。本文以超导平台为例,介绍了当前量子容错技术的进展,包括容错错误症状测量、实现容错量子计算的三个关键阶段以及三种可能的拓展系统的方案。为了实现最终目标,我们认为当前还需要从理论及实验方面解决以下三个关键问题。

第一是我们需要有硬件高效的容错方案。如文中所述,实现容错量子计算所需资源巨大,为此我们需要在充分考虑到硬件的物理特性的情况

下对编码方案进行优化。前文所述的大部分容错方案都是遵循“自上而下”的思路，即理论上先考虑类似去极化噪声等模型，再从实验上实现相关编码和操作，因而存在大量可优化的空间。而当前我们需要更多地从“自下而上”的方向进行考虑，即在充分考虑实验系统的相互作用、噪声以及连通性等的前提下，再来设计最合适的容错方案。除了前文介绍的玻色模式的容错宇称测量外，另一个极具启发性的例子是利用系统的噪声偏置特性。具体来说，在当前超导腔系统中退相位噪声比衰减噪声小，若腔中采用猫态编码，则对于编码的逻辑比特而言，逻辑比特位翻转噪声要远小于相位翻转错误。利用这一特性，可以提升纠错效果，如利用变形的表面码与猫态编码级联，可以实现高达6.5%的容错阈值<sup>[44, 90]</sup>。

第二是我们需要对噪声模型进行更准确的表征。如前文所述，目前大部分编码方案都是考虑

不同物理比特上噪声近似独立的情况，但随着系统规模的扩大，高阶的低关联噪声以及高关联噪声必定逐渐明显。为了更高效地压制这些噪声，需要更好地理解这些噪声的来源，以及对不同噪声的强度进行更准确有效的表征。

第三是如何设计合理的连通形式。比特的数量、质量以及连通性都是容错量子计算的核心资源。更高的连通性意味着可以使用更高效的容错方案，但是波导线对比特的干扰、比特之间的串扰、互连拥挤乃至有限的冷却体积等因素都会限制连接的数量和质量。因此，需要合理设计连接的形式和数量。

最后，我们希望本文的讨论能对超导系统以及其他物理平台的容错量子计算都有所启发。

**致谢** 感谢谢良栩在绘图方面的帮助，感谢蔡伟州、揭庆暄、张劭、邹昊江的讨论。

## 参考文献

- [1] Preskill J. 2021, arXiv:2106.10522
- [2] Arute F, Arya K, Babbush R *et al.* Nature, 2019, 574(7779): 505
- [3] Wu Y L, Bao W S, Cao S R *et al.* Phys. Rev. Lett., 2021, 127(18): 180501
- [4] Zhang X, Jiang W J, Deng J F *et al.* Nature, 2022, 607: 468
- [5] Shi Y H, Liu Y, Zhang Y R *et al.* Phys. Rev. Lett., 2023, 131(8): 080401
- [6] Ni Z C, Li S, Deng X W *et al.* Nature, 2023, 616(7955): 56
- [7] Acharya R, Aleiner I, Allen R *et al.* Nature, 2023, 614(7949): 676
- [8] Cao S R, Wu B J, Chen F S *et al.* Nature, 2023, 619(7971): 738
- [9] Li X G, Xu H K, Wang J H *et al.* 2023, arXiv:2301.12138
- [10] Tao Z Y, Huang W H, Niu J J *et al.* 2023, arXiv:2303.04582
- [11] Sheng C, Hou J Y, He X D *et al.* Phys. Rev. Lett., 2022, 128(8): 083202
- [12] Evered S J, Bluvstein D, Kalinowski M *et al.* Nature, 2023, 622: 268
- [13] Ryan-Anderson C, Bohnet J G, Lee K *et al.* Physical Review X, 2021, 11(4): 041058
- [14] Zhang M X, Yuan X X, Li Y *et al.* Phys. Rev. Lett., 2022, 129(25): 250501
- [15] Chen W T, Lu Y, Zhang S N *et al.* Nature Physics, 2023, 19: 877
- [16] Deng Y H, Gu Y C, Liu H L *et al.* Phys. Rev. Lett., 2023, 131: 150601
- [17] Shor P W. Physical Review A, 1995, 52(4): R2493
- [18] Chen Z J, Sun L Y, Zou C L. Science Bulletin, 2023, 68: 961
- [19] Kim J S, Bishop L S, Córcoles A D *et al.* Physical Review A, 2021, 104(2): 022609
- [20] Catelani G, Nigg S E, Girvin S M *et al.* Physical Review B, 2012, 86(18): 184514
- [21] Xu Y, Chu J, Yuan J H *et al.* Phys. Rev. Lett., 2020, 125(24): 240503
- [22] Ding Y S, Chong F T. Quantum Computer Systems: Research for Noisy Intermediate-scale Quantum Computers. Springer Nature, 2022
- [23] Wang C L, Li X G, Xu H K *et al.* npj Quantum Information, 2022, 8(1): 3
- [24] Wu R B, Ding H J, Dong D Y *et al.* Physical Review A, 2019, 99(4): 042327
- [25] Hashim A, Naik R K, Morvan A *et al.* Physical Review X, 2021, 11(4): 041039
- [26] Endo S, Cai Z Y, Benjamin S C *et al.* Journal of the Physical Society of Japan, 2021, 90(3): 032001
- [27] Girvin S M. SciPost Physics Lecture Notes, 2023: 070
- [28] Terhal B M. Reviews of Modern Physics, 2015, 87(2): 307
- [29] Zhao Y W, Ye Y S, Huang H L *et al.* Phys. Rev. Lett., 2022, 129(3): 030501
- [30] Fowler A G. Physical Review A, 2011, 83(4): 042310
- [31] Teoh J D, Winkel P, Babla H K *et al.* Proceedings of the National Academy of Sciences, 2023, 120(41): e2221736120
- [32] Gong M, Yuan X, Wang S Y *et al.* National Science Review, 2022, 9(1): nwab011
- [33] Breuckmann N P, Eberhardt J N. PRX Quantum, 2021, 2(4):

- 040101
- [34] Nielsen M A, Chuang I. Quantum Computation and Quantum Information. Cambridge, 2002
- [35] Gottesman D. 1997, arXiv: quant-ph/9705052
- [36] Bombin H. 2013, arXiv: 1311.0277
- [37] Cai W Z, Ma Y W, Wang W T *et al.* Fundamental Research, 2021, 1(1):50
- [38] Leghtas Z, Kirchmair G, Vlastakis B *et al.* Phys. Rev. Lett., 2013, 111(12): 120501
- [39] Michael M H, Silveri M, Brierley R T *et al.* Physical Review X, 2016, 6(3):031006
- [40] Hu L, Ma Y W, Cai W Z *et al.* Nature Physics, 2019, 15(5): 503
- [41] Gottesman D, Kitaev A, Preskill J. Physical Review A, 2001, 64(1):012310
- [42] Flühmann C, Nguyen T L, Marinelli M *et al.* Nature, 2019, 566(7745):513
- [43] Mezzadri M, Chiesa A, Lepori L *et al.* 2023, arXiv:2307.10761
- [44] Darmawan A S, Brown B J, Grimsmo A L *et al.* PRX Quantum, 2021, 2(3):030345
- [45] Shor P W. Fault-tolerant Quantum Computation. In: Proceedings of 37th Conference on Foundations of Computer Science, IEEE, 1996. PP. 56—65
- [46] Wang D S, Fowler A G, Hollenberg L C L. Physical Review A, 2011, 83(2):020302
- [47] Fowler A G, Mariantoni M, Martinis J M *et al.* Physical Review A, 2012, 86(3):032324
- [48] Gottesman D. An Introduction to Quantum Error Correction and Fault-tolerant Quantum Computation. In: Quantum Information Science and its Contributions to Mathematics, Proceedings of Symposia in Applied Mathematics, 2010, 68: 13
- [49] Knill E. 2004, arXiv: quant-ph/0402171
- [50] Steane A M. Phys. Rev. Lett., 1997, 78(11):2252
- [51] Dawson C M, Haselgrove H L, Nielsen M A. Physical Review A, 2006, 73(5):052306
- [52] Chao R, Reichardt B W. npj Quantum Information, 2018, 4(1):42
- [53] Chao R, Reichardt B W. Phys. Rev. Lett., 2018, 121(5):050502
- [54] Rosenblum S, Reinhold P, Mirrahimi M *et al.* Science, 2018, 361(6399):266
- [55] Ofek N, Petrenko A, Heeres R *et al.* Nature, 2016, 536(7617):441
- [56] Sivak V V, Eickbusch A, Royer B *et al.* Nature, 2023, 616(7955):50
- [57] Wilen C D, Abdullah S, Kurinsky N A *et al.* Nature, 2021, 594(7863):369
- [58] Martinis J M. npj Quantum Information, 2021, 7(1):90
- [59] McEwen M, Faoro L, Arya K *et al.* Nature Physics, 2022, 18(1): 107
- [60] Xu Q, Seif A, Yan H X *et al.* Phys. Rev. Lett., 2022, 129(24): 240502
- [61] Suzuki Y, Sugiyama T, Arai T *et al.* Q3de: A Fault-tolerant Quantum Computer Architecture for Multi-bit Burst Errors by Cosmic Rays. In: 2022 55th IEEE/ACM International Symposium on Microarchitecture (MICRO), IEEE, 2022. pp.1110—1125
- [62] Siegel A, Strikis A, Flatters T *et al.* Quantum, 2023, 7:1065
- [63] Battistel F, Chamberland C, Johar K *et al.* 2023, arXiv: 2303.00054
- [64] Fowler A G, Whiteside A C, Hollenberg L C L. Physical Review A, 2012, 86(4):042313
- [65] Gicev S, Hollenberg L C L, Usman M. Quantum, 2023, 7:1058
- [66] Rosenberg D, Kim D, Das R *et al.* npj Quantum Information, 2017, 3(1):42
- [67] Eastin B, Knill E. Phys. Rev. Lett., 2009, 102(11): 110502
- [68] Bravyi S, Kitaev A. Physical Review A, 2005, 71(2):022316
- [69] Meier A M, Eastin B, Knill E. 2012, arXiv: 1204.4221
- [70] Haah J, Hastings M B. Quantum, 2018, 2:71
- [71] Campbell E T, Terhal B M, Vuillot C. Nature, 2017, 549(7671): 172
- [72] Paetznick A, Reichardt B W. Phys. Rev. Lett., 2013, 11(9): 090505
- [73] Chamberland C, Cross A W. Quantum, 2019, 3:143
- [74] Bacon D. Physical Review A, 2006, 73(1):012340
- [75] Nickerson N H, Li Y, Benjamin S C. Nature Communications, 2013, 4(1):1756
- [76] Barredo D, Lienhard V, De Leseleuc S *et al.* Nature, 2018, 561(7721):79
- [77] Horsman D, Fowler A G, Devitt S *et al.* New Journal of Physics, 2012, 14(12):123011
- [78] Li L S, Zou C L, Albert V V *et al.* Phys. Rev. Lett., 2017, 119(3): 030502
- [79] Muralidharan S, Li L S, Kim J *et al.* Scientific Reports, 2016, 6(1):20463
- [80] Gambetta J. Expanding the IBM Quantum Roadmap to Anticipate the Future of Quantum-centric Supercomputing. <https://research.ibm.com/blog/ibm-quantum-roadmap-2025>. 2022
- [81] Tillich J P, Zémor G. IEEE Transactions on Information Theory, 2013, 60(2): 1193
- [82] Breuckmann N P, Eberhardt J N. IEEE Transactions on Information Theory, 2021, 67(10):6653
- [83] Cai W Z, Mu X H, Wang W T *et al.* 2023, arXiv:2302.13027
- [84] Song C, Xu K, Li H K *et al.* Science, 2019, 365(6453):574
- [85] Yao Y Y, Xiang L, Guo Z X *et al.* Nature Physics, 2023, 19: 1459
- [86] Niu J J, Zhang L B, Liu Y *et al.* Nature Electronics, 2023, 6(3):235
- [87] Samutpraphoot P, Đorđević T, Ocola P L *et al.* Phys. Rev. Lett., 2020, 124(6):063602
- [88] Bluvstein D, Levine H, Semeghini G *et al.* Nature, 2022, 604(7906):451
- [89] Sørensen A, Mølmer K. Phys. Rev. Lett., 1999, 82(9):1971
- [90] Tuckett D K, Darmawan A S, Chubb C T *et al.* Physical Review X, 2019, 9(4):041031



## 高品质真空互联系统

### 安捷伦清洁真空及泄漏检测全套方案

- 超高真空离子泵
- 吸气剂复合型离子泵
- 钛升华复合型离子泵
- 多通道离子泵控制器
- 超高真空分子泵
- 无油静音前级泵
- 无油氦质谱检漏仪
- 真空阀门及管件
- 多种型号真空计
- 最高 12 通道真空计控制器



安捷伦科技（中国）有限公司真空事业部

800 820 6778（固定电话拨打）

400 820 6778（手机拨打）

下载样本或了解更多，请扫描上方二维码，  
或登陆安捷伦官方网站：[www.agilent.com](http://www.agilent.com)  
(点击“产品”选择“真空产品”)。