

子扩散和温升等现象,测量结果不能反映表面本来面貌。因此,降低入射电子束流,提高分析灵敏度和分析速度,同时努力提高空间和能量的分辨率是俄歇谱仪发展的一个方面。第二,俄歇电子能谱分析只能给出定性和半定量的分析,提高定量分析的精度是扩大俄歇谱仪应用范围所急需解决的问题。第三,近几年为了提高综合分析表面特性的能力,俄歇电子谱仪和低能电子衍射仪,俄歇电子谱仪和光电子谱仪,俄歇电子谱仪和扫描电子显微镜,扫描俄歇电子谱和光电子谱仪以及二次离子谱仪,离子散射谱仪等联合装置如雨后春笋般迅速发展起来,预期这些装置对表面科学和国民经济的某些研究领域将起很大的作用。

参 考 文 献

[1] Lander, J. J., *Phys. Rev.*, **91** (1953), 1382.
 [2] Harris, L. A., *J. Appl. Phys.*, **39** (1968), 1419.
 [3] 越川孝范,志水隆一,《応用物理》, **44** (1975), 215.

[4] Tracy, T. C., *Electron Emission Spectroscopy*, Ed. W. Dekeyker et al., (U.S.A.), (1973), 295.
 [5] Chang, C. C., *Surface Sci.*, **25** (1971), 53.
 [6] Замятара, B. B., *Ж.Т.Ф.*, **36** (1966), 132.
 [7] Sar-el, H. Z., *Rev. Sci. Instr.*, **38** (1967), 1210.
 [8] 早川和延等,《表面》(日), **12** (1974), 518.
 [9] Venables, J. A., Jaussen, A. P., Harland, C. J. and Joyce, B. A., *Philos. Mag.*, **31** (1976), 495.
 [10] Kawai, T. et al., *Japan J. Appl. Phys., Supplement 2, Part 2*, (1974), 513.
 [11] Haas, T. W. and Poeker, D. J., *J. Vac. Sci. Techn.*, **11** (1974), 1087.
 [12] Chang, C. C. et al., *J. Appl. Phys.*, **46** (1975), 4237.
 [13] Allen, G. C. and Wild, R. K., *Electron Spectroscopy Progress in Research and Application*, Ed. R. Caudano and J. Verbist, (New York), (1974), 409.
 [14] Gerlach, R. L. and MacDonald, N. C., *J. Vac. Sci. Technol.*, **14** (1977), 242.

集成电路和大规模集成电路

李 致 洁

(中国科学院半导体研究所)

一、集成电路的概念

在过去很长时间里,各种电子电路都是由一个个分立的电子元件构成的。制作者把有源元件(如电子管、晶体三极管等)和无源元件(如电阻、电容、电感等)用金属导线一个一个地焊接起来,组成一个有一定电学功能的电子电路。这样的电子电路体积大,制作时耗资工时多,电路的寄生参量大;由于焊点多,可靠性也差。这样的电路是不可能满足像今天的许多功能齐全、性能优良、极其复杂的电路系统的要求的。多少年来,人们一直在想尽办法把元件做小,把电路做小。于是电子学领域里出现了一门新的学科分支——微电子学。1948年出现了“电子在固体中传递信息”的固体器件——晶体管,给微电子学的建立和发展提供了可能。由于晶体管的体积和功率耗散比电子真空管成数量级的减小,就可以把晶体管和一些电阻、电容之类的无源元件封装在一起,构成一个具有一定电路功能的“组合件”。这种“组合件”从外部来看就像一个电子管或一个晶体管一样是一个整体,但它具有的是电路功能,而不是电子管或晶体管所具有的“放大”功能。这种“组合件”从某种意义上讲就是集成电路的一种。所谓集

成电路,就是把电路元件(晶体三极管、晶体二极管、电阻、电容、电感等)用某种工艺技术集装在一起,成为一个有一定电路功能的微型整体。

二、集成电路的种类

集成电路按其结构可分为三大类(请参见表1),下面分别简述。

1. 半导体集成电路

1960年前后,半导体工艺技术有了飞跃的发展,出现了建立在氧化、扩散、光刻、外延、蒸发等工艺上的“平面技术”,制造出了硅平面晶体管。这给半导体集成电路的发展奠定了坚实的基础。所谓半导体集成电路,就是利用“平面技术”,将电路中的各种电子元件做在同一块硅单晶芯片上,组成一个具有一定电路功能的微型整体,封装在一个多脚(一般为14个或16个管脚)管壳里。半导体集成电路有两大类。一类是双极型集成电路,这种电路中的有源元件晶体三极管是双极型的,双极型晶体三极管是由PN结组成的,工作时是由两种不同极性的载流子(电子和空穴)参与电荷的输运过程。半导体集成电路的另一类是绝缘栅金

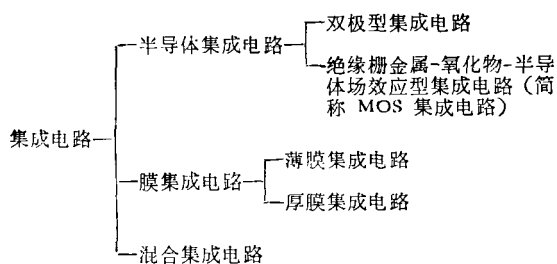


表 1 集成电路的分类

属-氧化物-半导体场效应型集成电路，其有源元件晶体三极管是场效应型的界面器件，工作时只由一种极性的载流子（电子或空穴）参与电荷的运输过程（双极型和场效应型晶体三极管的工作原理请参见本刊1974年第3卷第3期182页《半导体器件》一文）。这种半导体集成电路一般简称MOS集成电路。这两种半导体集成电路的作用机理不同，工艺方法也有相当的差异，但它们完成的电路功能则可以是一样的。

2. 膜集成电路

膜集成电路是薄膜集成电路和厚膜集成电路的总称。薄膜集成电路是利用真空蒸发或溅射技术把电路元件以薄膜的形式做在玻璃或陶瓷基片上，所有的膜厚都在1微米以下，所以称为薄膜集成电路。厚膜集成电路是用丝网漏印的方法在陶瓷基片上做电路元件，形成电路元件的膜，其厚度一般为几个微米。

3. 混合集成电路

是平面技术和薄膜技术的结合。由于半导体集成电路中的无源元件的精度、数值范围和温度系数不能满足某些特殊电路和特殊环境的使用要求，因此用薄膜技术来制做电阻、电容等无源元件，而用平面技术来制做电性能良好的晶体三极管和晶体二极管，然后组装在一起，形成一个微型整体。

半导体集成电路与膜集成电路和混合集成电路相比，体积小，适合于大量生产，应用相当广泛，使用量大，是集成电路中的主要类型。我们下面只讨论半导体集成电路。

三、半导体集成电路

1. 半导体集成电路的分类

半导体集成电路按其电路功能可以分为三类，即数字集成电路、线性集成电路和微波集成电路。

(1) 数字集成电路

又称逻辑集成电路，是处理数字的进行非线性运用的开关电路，以布尔代数为基础，可以进行逻辑判断

和进行数字运算。它的基本电路单元叫做“门”。门电路的功能有“与”、“或”、“非”三种。电路的工作电平一般只有两种，或是高电平或是低电平。在数字集成电路中，一般实行二进制运算，例如，高电平代表数字“1”，低电平代表数字“0”。我们日常使用的十进制数字可以转换成二进制数字后，再用数字集成电路进行处理运算。一般的基本门电路都具有一个输出端和多个输入端。一切具有比较复杂功能的数字集成电路，一般都可以由基本门电路组合而成，例如用门电路可以组成触发器、计数器、运算电路（加、减、乘、除）、译码器、脉冲发生器等。数字集成电路大量应用于电子计算机、各种工业控制机、自动化控制设备、各种电子测试仪器和军事电子设备等。一台大型高速数字电子计算机要使用几万到十几万个基本门电路。

(2) 线性集成电路

线性集成电路是指那些进行线性运用的集成电路，一般具有一个或二个输入端和一个输出端，能把输入的电信号无畸变地进行线性放大。线性集成电路有差分放大器、运算放大器、直流放大器、低频放大器、宽带放大器、混频器、稳压电路等，广泛应用于通讯、广播、电视、各种自动控制设备、各种电子仪器，一些医用设备等领域中。

(3) 微波集成电路

应用于微波频段的集成电路。微波集成电路是在硅或砷化镓单晶片上，用半导体技术制作有源、无源元件和传输线，通常叫做半导体微波集成电路，它正在发展中。另外还有混合微波集成电路，已比较成熟。

在半导体集成电路中，数字集成电路应用最广泛，生产量使用量最大。我们下面只讨论半导体数字集成电路。

2. 半导体集成电路中的元件

我们以双极型集成电路为例，来说明半导体集成电路中的元件。

(1) 晶体三极管

与分立的硅平面晶体三极管的单管（例如市场上出售的3DK7）的构造大同小异，也是在N型外延层上，扩散一个P型区，形成集电结。N型外延层就是集电区。P型扩散区就是基区。在基区上再扩散一个N⁺区形成发射结，N⁺区就是发射区。从发射区、基区、集电区分别引出导线，就是发射极、基极和集电极。集成电路中的晶体三极管与分立的单管有两点不同：单管的集电极是在下面引出；而集成电路中的晶体三极管，其集电极是在上表面引出。另外，为了减小集成电路中晶体三极管的集电极串联电阻，在集电结下面预先扩

散了一层高浓度的N型隐埋层。半导体集成电路中的晶体三极管的构造如图1所示。图中的P表示P型扩散区或衬底，N表示N型外延区或扩散区。字母右上角的“+”号表示掺杂浓度高，“-”号表示杂质浓度低。

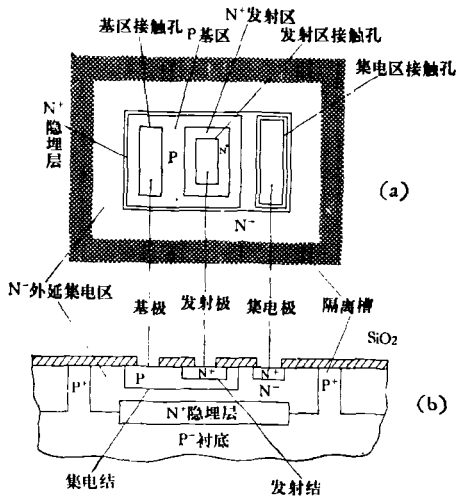


图1 半导体集成电路中的晶体三极管
(a) 顶视图 (b) 剖面图
(纵向未按比例画, 并忽略了横向扩散)

(2) 晶体二极管

为了工艺简化和不同电性能的需要, 在集成电路中不单独制作晶体二极管, 而是把晶体三极管适当地连接, 做晶体二极管使用。在晶体三极管已做成后, 通过金属互连线将晶体三极管中的某两个极短接变成晶体二极管, 例如把基极和集电极短接(就是把集电结短路)或把发射极与集电极短接(集电结和发射结并联使用)等, 当然, 也可以单独使用晶体三极管的发射结或集电结做晶体二极管。各种不同连接方法形成的晶体二极管, 其性能诸如正向压降、击穿电压、存贮时间、结电容等都不同, 使用时要根据电路性能的需要来选择。

(3) 电阻

在半导体集成电路中一般都使用扩散电阻。在扩散晶体三极管的基区的同时做出扩散电阻, 其阻值取决于扩散的P型杂质浓度的大小, 取决于电阻的长度 L 和宽度 W 之比。P型杂质浓度的高低要取决于晶体三极管电性能的需要, 对一定的电路, 基区条件已经确定不能随意变动, 电路中所需的不同的电阻值只由改变 L 和 W 的比值来实现。扩散电阻值可以从几十欧姆做到几十千欧姆, 再大则占面积太大, 要采用另外的方法。扩散电阻的结构如图2所示。

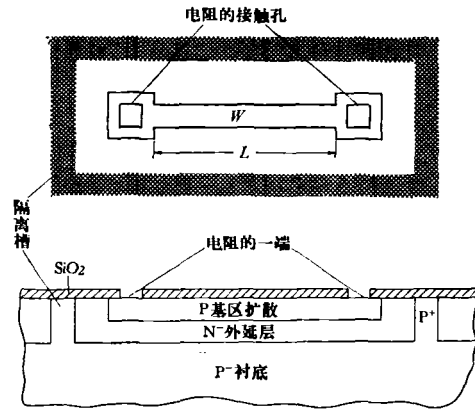


图2 半导体集成电路中的电阻
上面为顶视图, 下面为剖面图

(4) 电容

有两种方式的电容可供利用。半导体集成电路的整个表面覆盖着一层电介质二氧化硅, 可以在二氧化硅上面形成一个金属薄膜做为电容的一个极板, 二氧化硅膜为电介质, 半导体硅为电容的另一个极板。这种电容值的大小, 由金属薄膜的面积和二氧化硅膜的厚度所决定。另一种形式的电容, 是利用PN结的耗尽层电容, 其容值的大小取决于PN结的面积和杂质浓度的大小。半导体集成电路中的电容不能做的太大, 一般在几个微微法到百微微法左右。

3. 实现数字集成电路的有关问题

半导体集成电路并不是硅平面管的简单堆积, 还是有自己的特点和规律。大家知道, 用分立元件焊接的电路, 不论是焊在印刷电路板上还是焊接在有接线架的底板上, 都有一个基本的要求, 就是除了电源、地线是各元件共接, 需要耦合的元件之间互相连接之外, 电路的各个部分必须是“电学绝缘”的。半导体集成电路把晶体三极管、晶体二极管、电阻、电容等电路元件都做在同一块微小的半导体硅的芯片上, 必须解决电位不同的各元件之间的电学绝缘问题, 在集成电路中把这个叫做“隔离”。隔离的方法很多, 目前工业生产上用得较普遍的是“PN结隔离”。它的方法是: 首先在P型高阻硅单晶衬底上(电阻率一般为10欧姆·厘米左右)外延生长一层电阻率为0.5欧姆·厘米左右的N型硅单晶, 然后在需要隔离的区域(叫做隔离岛)的四周扩散一圈P型环(叫做隔离槽), 与P型高阻衬底接通(参看图1和图2)。这样, 每一个隔离岛的四周和底部都被PN结所包围(顶部被二氧化硅保护)。使用时这个PN结要加上反向偏压。由于硅PN结在反向偏压下的漏电流特别小, 一般仅为几十毫微安左右, 相当于一个几十兆到几百兆欧姆的高值电阻, 这在

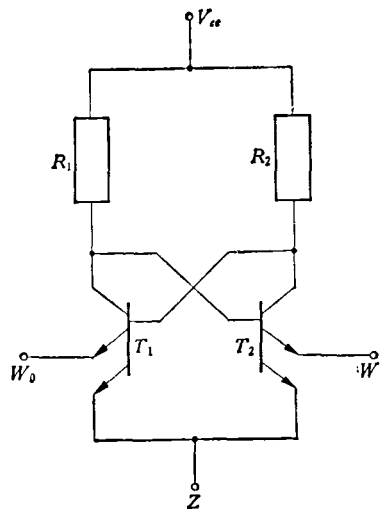
实际上使得各隔离岛之间做到了“电学绝缘”。在一般情况下,一个晶体三极管要占用一个隔离岛,而所有的电阻共用一个隔离岛。因为每一个电阻,实际上都是P型扩散区和N型隔离岛之间形成的一个PN结,各个电阻之间就可以靠自身的这个PN结互相隔离。

集成电路的各元件之间除了要做到电学隔离之外,根据电路功能的需要,某些元件之间还要“焊接”上金属连线,还要有公共的电源线和地线,在集成电路中,在各元件间布上金属连线叫做“互连”。集成电路中的一个晶体三极管的面积和一根头发丝的截面积相差不多。这样小的截面用普通的“焊接”互连金属线的方法是绝对没有可能的。在半导体集成电路工艺中是用真空蒸发的方法,在已经做好电路元件的硅片上,蒸发上一层铝金属薄膜,然后用一块有金属互连图案的版,对硅片进行曝光,显影,腐蚀等光刻步骤(硅片先要涂上能够抗蚀的感光薄膜——光刻胶),将不需要的铝薄膜腐蚀掉,留下的铝薄膜条就把各电路元件互连接了起来。铝薄膜条的宽度一般为十几微米到几十微米,厚度只有1—2微米。图3给出了一个例子,是做为计算机中存贮体用的一个存贮单元电路,是一个双射极的直接耦合双稳态电路。(a)是电学等效电路,(b)是硅片上的图形。图中黑的宽线条表示隔离槽,画斜线的宽条表示铝互连线。

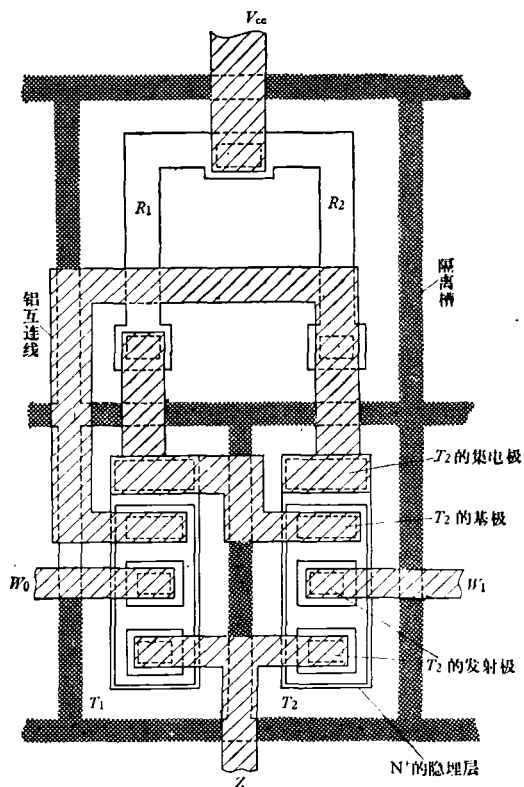
半导体集成电路片上的元件、电路图案,是用类似于印刷行业中蚀刻版的方法做出来的。电路设计好之后,就要根据电路性能的要求设计出如图3(b)的版图,按实际尺寸放大200—500倍画出,然后制出不同工艺步骤需要的版图,如N⁺隐埋层、隔离槽、基区、发射区,接触孔、铝互连线等版图,再经过照像,精缩,制成为一比一的光刻掩模版。用这些光刻掩模版在硅片上蚀刻出图形。例如,蚀刻出基区和电阻图形进行P型扩散做出晶体三极管的基区和电阻,蚀刻出发射区图形进行N⁺扩散做出晶体三极管的发射区和集电区欧姆接触等等。版图设计的好坏,掩模版的质量直接影响集成电路的性能和成品率。良好的版图设计和高质量的掩模版是非常重要的。

4. 数字集成电路的设计特点

我们还是以双极型集成电路为例来说明这个问题。从前面的叙述我们可以看到,集成电路比单管电路进了一大步,但是从它的物理本质来说是和分立的晶体管元件基本一样的,即还是把各自独立工作的元件用金属互连起来使元件之间相互作用,各元件间的信息传递还是靠金属互连线,只不过是把元件缩小了很多,互连线缩短了很多,并做在了同一芯片上,把一个用分立元件焊起来需要几十平方厘米面积的电路缩小到只有不到一平方毫米的硅片面积上。然而,它的作用原理,设计方法仍然遵守由固体物理发展



(a) 存贮单元的等效电路



(b) 用(a)电路在硅片上的版图

图3 集成电路的一个例子

起来的半导体物理和器件物理的理论和规律。与制作分立元件不同的是要考虑寄生效应,例如集电极的串联电阻、隔离槽的电容、寄生的PNP晶体三极管等。

集成电路的电路设计也使用一般的电路设计理论,但有自己的特点。首先,在分立元件设计中考虑到

晶体三极管的价格,电路中要尽量少使用晶体三极管。在集成电路中则没有这种限制,可以多使用一些。其次,集成电路中的各元件是同时做出来的,它们不能像分立元件那样可以按性能的要求进行个别的挑选,另外又由于半导体工艺带来的元件参数的离散性、集成电路的电路设计必须允许元件的参数性能有一相当宽的变化范围,同时要考虑到最坏情况进行设计。因为电路一旦做成,是不能进行电路中的个别元件的调整的。再次,在电路设计中应尽量不使用电容器,非用不可,也要用小容量的电容器,至于电感则更不应该采用了。半导体集成电路中的电阻的绝对值精度不高,一般在15%左右,要求太高则成品率下降。集成电路是成批制造的,同一芯片上的电阻精度相近,所以在电路设计中应尽量使电路参数依赖于各电阻值之比,而较少依赖于电阻绝对值的大小。

四、半导体集成电路的发展 ——大规模集成电路

1. 什么是大规模集成电路

简言之,大规模集成电路就是大大提高了集成度的集成电路(集成度——每个芯片上所包含的元件或电路个数)。如果说半导体集成电路是对有源元件和无源元件的集成,其功能是一个单元电路,那么,大规模集成电路则是对单元电路的集成,其功能是一个电路系统。一个半导体集成电路可以包含十几个或几十个电路元件,例如一个标准晶体管-晶体管逻辑电路(TTL)“与非”门中含有五个晶体三极管和四个电阻。一个大规模集成电路则可以含有几百个门电路。按着集成度的大小,集成电路可以分为五类,列于表2。

表2 半导体集成电路按集成度分类

集成度类别	每个芯片上包含的基本电路数目
单块集成电路	10个电路以下
小规模集成电路	30个电路以下
中规模集成电路	100个电路以下
大规模集成电路	100个电路以上
超大规模集成电路	十万个元件以上

大规模集成电路的出现是半导体工艺技术发展的必然结果,也是科学技术日益发展的需要。例如,大型高速电子计算机的运算速度在七十年代初期已进入了每秒进行千万次运算量级。一个门电路的延迟时间仅为2—3毫微秒。一个大型计算机要使用十几万个门电路。如果都使用单块集成电路,把十几万个门电路连接起来,引线就要非常长,有的会是几十厘米,甚至几百厘米长。电场的传播速度是30厘米/毫微秒,由于

引线的电感和分布电容,实际上信号在导线上的传播速度只能达到6—15厘米/毫微秒。可见,信息在引线中传递所占的时间已不能忽视。如果把电路做成中、大规模集成电路,就可以把相当一部分的几百厘米长的引线缩短到芯片中去,变成只有几个毫米长。这样,在同样电路水平的条件下就会大大提高整机的运用速度。

实现了中、大规模集成电路之后,整机的焊点大大减少了,增加了可靠性。整机的生产和调试的工作量也大为减少。整机的体积和重量都大大缩减下来。

2. 实现大规模集成电路的有关问题

大规模集成电路绝对不是单块集成电路中电路数量的简单增加。实现大规模集成电路必须有质的飞跃,必须有技术难关的突破和新的工艺手段的采用。

大规模集成电路遇到的第一个问题是怎样进行逻辑划分和系统设计。对于单块集成电路是很容易解决的,门电路是单块集成电路的最小的逻辑块,用门电路来组合复杂的电路系统。这在生产上和使用上都很方便。但在含有100个门电路以上的大规模集成电路中,要有怎样的逻辑功能使得品种少而又能包含整机的全部需要就是一个很复杂的问题。目前在大规模集成电路的产品中,存储器已形成了系列。图3所示的电路就是一种存储单元的实例。国际上存储器的规模已做到每芯片含有4096位存储单元,大约有一万个左右元件,芯片面积 6×6 毫米²左右。

大规模集成电路遇到的第二个问题是怎样制造出光刻用的掩模版。再用前面叙述的单块集成电路的画图,刻图,照像,精缩等的方法是不行了,因为元件太多,还按200—500倍放大画,就要画几平米甚至十几平米的图,这种图不但没法画,也没办法检查,更没办法照出精确的像。大规模集成电路的掩模版的制做,必须使用很复杂,精度很高的自动设备——由电子计算机控制的图形发生器。

大规模集成电路遇到的第三个问题是互连技术。一个芯片含有的电路越多,连线就越复杂。在同一平面内,有许多连线是不能交叉而又要跨越过去的。这就要解决多层互连技术,就像双面或多层印制电路板那样。例如,第一层金属互连线把基本单元电路的内部元件相互连接起来,然后覆盖上一层绝缘介质,在介质上再布上一层金属互连线,把各个单元电路连接起来。

大规模集成电路遇到的第四个问题是元件的成品率。举个数字例子,设晶体三极管的成品率为90%,在生产单管时一个 $\phi 35$ 毫米的硅片上若有500只晶体三极管,则可有450只合格产品。在集成电路中若一个电路有十只晶体三极管,则电路的成品率为 $(0.9)^{10} = 34.9\%$ 。在 $\phi 35$ 毫米的硅片上若有200个电路,那么

只有 70 个合格产品。若电路中含有 100 只晶体三极管,则成品率为 $(0.9)^{100} = 0.0027\%$,已接近 0,基本上没有合格的电路产品。所以对于含有几百乃至几千只晶体三极管的大规模集成电路,如要有一定的电路成品率,晶体三极管的成品率必须在 99.9% 以上。这就要求大规模集成电路在制造过程中必须有极完整、均匀、良好的硅材料,超纯的化学试剂(比分析纯还要纯的电子纯)、超纯的工作气体、超净的工作环境(要求高的地方,每升的空气中不能有直径大于 5 微米的灰尘颗粒;直径大于 0.5 微米的灰尘平均每升空气中只允许有 3.5 个)。这些问题都不是半导体行业本身可以解决的,要很多其他工业部门做工作。

大规模集成电路遇到的第五个问题是测试方法。对于单管或单块集成电路,功能简单,测试容易。例如对一个“与非”门电路,只要在输入端送入正脉冲就可以判定其功能是否正常。但大规模集成电路本身是个复杂的电路系统,功能复杂,测试也就要很复杂,实际上是耍用一个小型多功能电子计算机来进行测试。

3. 计算机辅助设计

在单块集成电路的设计中我们还可以用分立元件焊接一个电路进行模拟分析,测试和考验,以检查设计是否合理,是否是最佳;还可以多次修改版图进行实验。但在大规模集成电路中,元件太多。这种模拟试验或是画多种版图进行实验,几乎是不可能的。对于制造出的大规模集成电路样品也只能测试其端子,对内部则无法测试分析,无法检查其内部的工作是否处于正常状态。因此要求大规模集成电路的电路设计和版图设计(掩模)必须保证正确无误和合理,否则工艺再先进,晶体三极管的成品率即使做到 100%,也不会做出有功能的大规模集成电路来。为了确保设计的准确、合理、性能的优良,大规模集成电路的研制和生产必须用电子计算机做辅助设计:辅助设计电路,辅助设计

和制做掩模版。应用了计算机辅助设计之后,不但可使设计、制版简化,更主要的是可以给出最佳的结果。

计算机辅助设计也应用于单块集成电路中、对集成电路中的寄生参量、元件特性进行精确的计算和分析,这可以大大提高性能和成品率。可以肯定的说,集成电路采用了计算机辅助设计之后,大大促进了集成电路的发展,而计算机辅助设计本身,也已成为一门专门的学术领域。

4. 大规模集成电路的发展和微处理机

从生产和应用的角度来说,大规模集成电路的任务就是提供集成度高,集成密度大(集成密度——单位面积上含有的元件或电路个数)、速度快,功耗低的电路产品。集成度高就是要在一个封装管壳里包含尽量多的单元电路个数;集成密度大就是要尽量把元件做小,从而缩小芯片面积。芯片越小,片上的功率密度就越大,例如,设一个单元电路的功耗为 50 毫瓦,若一个芯片上含有 500 个电路,则在十几平方毫米的面积上要产生 25 瓦的功率!这样的大规模集成电路是根本不能使用的。因此,大规模集成电路必须发展低功耗电路,必须研究新的器件结构,新的电路形式。

目前国际上大规模集成电路发展很快,例如, MOS 大规模集成电路集成密度已经做到 50—200 门/平方毫米,集成度做到 1000—5000 门/每个芯片,延迟时间为几十毫微秒。表 3 列出了 1976 年国际几种大规模集成电路的研制水平的例子。

近年来国际上又提出了超大规模集成电路的概念,很多国家都投入了不少的研究力量。为了能将十万个以上的电路元件集成在一起,必须发展超精细加工技术,即所谓亚微米加工技术(0.1—0.5 微米的线条)。目前集成电路中使用的光学光刻方法已满足不了需要,现在的光刻曝光用的光源是紫外光,波长为 0.3—0.4 微米,加工出的图形线条一般在几个微米以

表 3 国际上几种大规模集成电路的研制水平

器件类型	电路类别	传输延迟 (毫微秒)	集成密度		芯片尺寸 (毫米 ²)	集成度 门/每个芯片
			元件/毫米 ²	门/毫米 ²		
双极型	等平面注入逻辑	4—10		250		
	等平面射极耦合逻辑	1.5—2.5		200		
	肖特基晶体管逻辑	3		20—40		
MOS 型	P 沟硅栅	30	270	90	6.5×6.5	3800
	N 沟硅栅	15	285	95	6×6	3400
	硅栅互补 MOS	10	220	45	5.5×5.5	1350
	V 型 MOS	5	600	225	5×5	5600

(下转 340 页)