

大规模和超大规模集成电路

王守武

(中国科学院半导体研究所)

半导体应用的方面很多,但是最主要的,对国民经济影响最大的是单块集成电路,或简称集成电路。集成电路的集成度(每块芯片上的元件数)从最初的每片十几个发展到现在每片可以有几十万个。一片典型的大规模集成电路16KMOS动态随机存贮器,就是在大约20平方毫米的硅片上,做上37000个MOS晶体管。这样一块大规模集成电路的芯片,如果把它的尺寸放大一百万倍,那末很象一个城市的建筑。集成电路上的金属连线,好比城市里错综复杂的马路,每个晶体管就象城市里的一栋楼房,它们一般有四五层的结构。这样一个复杂的结构,要把它缩小而且刻划在二三十平方毫米的硅片上,就需要非常精密的工艺,采用各种先进技术。因此,人们都把大规模和超大规模集成电路誉为金字塔上的明珠,它是许多先进科学技术的结晶。如果我们回顾一下近二十年来从小规模集成电路发展到大规模、超大规模集成电路的历史进程,集成电路的集成度平均每两年翻一番,集成电路在全世界的产量平均每年增长30%,这些事实,密切地联系着不断地出现的半导体工艺技术上的新突破。现在先就当前的大规模、超大规模集成电路工艺技术的状况作一简要的介绍。集成电路的工艺技术大致可分为硅材料制备、薄层生长和淀积、超精细加工、选择性掺杂、掩膜版的设计与制造以及封装和测试技术等七个方面。现分述如下:

一、硅材料制备

硅材料中的缺陷和杂质都能影响器件的性能。因此,如果硅材料中缺陷密度高,有害杂质多,就不可能用来制作大规模集成电路。单纯的位错一般并不影响器件的性能,但是重金属杂质容易沉淀在位错的附近,这就要引起漏电增大。另一方面无位错的硅单晶中往往存在大量的空位,这对制作集成电路不利。因此,用来制造集成电路的硅单晶,一般要求位错密度在 $100-1000/\text{cm}^2$ 范围内。

硅材料中除了有意识掺的三五族杂质之外,一般最大量的杂质是氧和碳。氧在硅中在 450°C 下退火要产生施主,影响材料的电阻率。如果在 650°C 下退火,这些施主可以去掉,但产生一些新施主。另一方面,硅单晶中的间隙氧原子可以增加硅单晶片在高温下的机械强度,以减少高温工艺中硅片的形变。如果把含氧的硅单晶在 750°C 左右的温度下长期退火,则氧将在硅中沉积而形成微缺陷和位错。位错多了,可以使硅片容易形变;微缺陷多了,对器件有害。但是如果微缺陷不在硅片的表面层内(事实上器件都做在表面层内),则微缺陷可以起到富集有害杂质的作用。氧在硅中的沉积还和硅中的含碳量有关,氧是很容易和碳结合而形成微缺陷的。因此,一般大规模集成电路所用

的硅单晶,希望氧含量控制在 $5 \times 10^{17} - 1 \times 10^{18}/\text{cm}^3$ 范围内,而碳含量则希望小于 $1 \times 10^{16}/\text{cm}^3$ 。直拉硅单晶中氧的来源主要是石英坩埚,而氧的输运过程是靠融熔硅的对流,因此要控制硅中的氧含量,就要控制融熔硅中的对流。硅中碳的主要来源是石英坩埚与石墨托相接触反应而生成 CO 气体。因此要减少硅中的碳含量,必须把石英坩埚与石墨托用难熔金属隔开。

硅片表面层附近的微缺陷密度直接影响大规模集成电路的成品率,其间关系可以近似地由下式表示:

$$Y \propto e^{-CPA}$$

其中 Y 为成品率, A 为芯片面积, P 为表面层附近单位面积内的微缺陷数, C 为一个常数,一般是 0.7 左右。因此,要使大规模集成电路有较高的成品率,芯片面积不能太大,目前一般大约为 1/4 平方厘米左右,将来超大规模集成电路的芯片面积估计也不会超过一平方厘米。随着集成度的提高,芯片面积不能按比例的提高,因此每个晶体管的面积就必须相应地缩小,这是超大规模集成电路所面临的主要问题。

硅片的直径越大,对劳动生产率越有利,对成品率也有好处,但是直径越大,在高温下硅片越容易形变,因此发展的趋势是使高温工艺的温度逐步下降。目前国际上使用的硅片直径为 4 至 5 英寸,最大的有 7 英寸。

二、薄层的生长和淀积

在大规模集成电路工艺中,要生长或淀积的薄层材料有三类:硅、非晶态介质材料、金属合金或硅化物。薄层单晶硅一般用气相外延的方法生长在单晶硅衬底上。为了减少晶体管与衬底之间的电容以提高电路的速度,人们需要在绝缘衬底(尖晶石或蓝宝石)上生长单晶硅。此外,在 N 沟 MOS 电路中,要用多晶硅做栅极,也采用化学气相淀积的方法(简称 CVD 法)得到。对于第二类材料非晶态介质,一般都用 CVD 淀积,因为它的淀积效率较高。CVD 中为了使反应气体的输运速度大于反应速度,从而

得到比较均匀的薄层厚度,目前一般都采用低压 CVD。如果要降低反应温度,可以再外加一个高频电场,称为等离子增强低压 CVD。如果要淀积的介质很薄,也可以采用溅射的方法。此外,集成电路中最常用的介质 SiO_2 薄层,往往用氧化的方法直接在硅表面上生成。要加快氧化速度,可以用湿氧化。为了使氧化温度降低,现在有采用高压氧化和等离子氧化等新工艺的。对于第三类作为连线用的金属、合金或硅化物材料,一般用真空蒸发或溅射来淀积薄层。不论是哪一类材料,用什么方法来生长或淀积,控制薄层的厚度及其均匀性是这项工艺中的关键问题。

三、超精细加工

前面已经谈到,集成电路的集成度越高,每个晶体管或元件的尺寸越小。因此,超精细加工就成为大规模和超大规模集成电路的核心工艺。要在硅片或其他薄层材料上进行极为细致的图案的刻蚀,最普通的办法是用紫外光将掩膜版上的图案复印到硅片或其他薄层材料上,经过显影、腐蚀就可以得到刻蚀的图案。为了提高刻蚀图案的分辨率,所用的射线的波长要求越来越短。目前考虑可用的射线或粒子束如表 1 所示。

表 1

射线或粒子束	波长	成象方法		
		掩膜影子	投影	扫描
近紫外光	4000 Å	✓	✓	
深紫外光	2000 Å	✓	✓	
软 X 射线	4—20 Å	✓		
电子束	0.1 Å	✓	✓	✓
离子束	<0.002 Å	✓	✓	✓

从成象方法来看,利用掩膜版的影子在光路上最简单,它又可分为接触式和接近式两种。接触式是把掩膜版直接压在硅片上,接近式是使掩膜版与硅片间保持一个很小的距离。接触式的分辨率比较高,但是容易损坏掩膜版,因此在实际生产中很少使用。接近式光刻机能刻的

最细线条宽度约为 $0.7\sqrt{\lambda s}$, 其中 λ 为光线波长, s 为掩膜版与硅片的距离. 如果 $\lambda=0.4\mu\text{m}$, $s=20\mu\text{m}$, 则能刻的最细线宽大约是 $2\mu\text{m}$, 这就是做 64K 动态随机存贮器的要求. 如果用投影成象, 最细线宽约为 $0.6\lambda/\sin\theta$, 其中 $\sin\theta$ 为成象透镜的数值孔径, 设 $\sin\theta=0.45$, $\lambda=0.4\mu\text{m}$, 则最细线宽约为 $0.53\mu\text{m}$. 投影光刻机的困难是成象透镜的镜深很小, 比较难得到理想的聚焦. 成象透镜的镜深约为 $\pm 0.5\lambda/\sin^2\theta$, 把上面例子的数据代入, 镜深只有 $\pm 1\mu\text{m}$. 这就要求硅片的平整度要小于 $1\mu\text{m}$, 这是很困难的. 如果把成象透镜的数值孔径缩小一半, 则镜深增加到 $4\mu\text{m}$, 而最细线宽则为 $1\mu\text{m}$ 左右, 这就符合做 256K DRAM 的要求. 继续往短波长方向发展, 就要考虑软 X 射线曝光. 因为 X 射线很难聚焦, 所以只能用掩膜影子成象的方法. X 射线掩膜版制作非常困难, 目前国际上还没有达到在生产上成熟可用的阶段. 用电子束曝光是比较容易实现的, 但是由于高能电子打在固体表面上会产生许多二次电子, 这些二次电子会使附近的光刻胶感光, 因此电子束曝光所能达到的分辨率远低于按波长计算所得的理论值. 目前实际使用的电子束曝光机一般都采用扫描式, 因为电子束的掩膜版比较难实现. 扫描式的电子束曝光机的缺点是曝光所用时间长, 成本高, 因此目前在生产中, 大都只用在制掩膜版的工艺上. 在硅片上直接用电子束曝光只在特殊情况下使用, 例如在门阵列的集成电路中刻引线时用. 因为用电子束扫描曝光时, 变动图形的灵活性很大. 用离子束来曝光从理论上有很多优点, 离子束的波长比电子束更短, 二次离子的影响要比二次电子小得多, 基本上可以忽略, 因此它可以达到很高的分辨率. 但是离子束要用的曝光时间更长, 成本更高, 因此目前在生产上还没有使用的可能.

硅片经过曝光、显影之后, 还要经过腐蚀才能把图案刻划在硅片上. 腐蚀的方法可以分湿法与干法两种. 湿法是用普通的化学试剂配的腐蚀液来腐蚀, 它只能用于比较粗的图案, 因为在腐蚀液中光刻胶容易变形, 如果腐蚀反应过

程中要产生气体, 更容易影响腐蚀的均匀性. 干法腐蚀是在气相中腐蚀, 最常用的是等离子体腐蚀, 它是把腐蚀用的气体先在高频电场中形成等离子体, 以促进气体与被腐蚀物质间的反应. 等离子体腐蚀基本上是一种化学反应, 因此它和湿法腐蚀一样, 具有很好的选择性, 对某一种材料腐蚀而对另一种材料不腐蚀. 和湿法腐蚀一样, 等离子体腐蚀的方向性很差, 也就是侧向腐蚀较多, 因此刻蚀后的断面是倾斜的而不是陡直的. 影响刻蚀后图案的精密尺寸. 如果把反应气体的气压降低, 并且在等离子体和样品之间加一个直流偏置, 使离子化的反应气体分子在直流电场的作用下比较好的方向性向样品碰撞, 这样就增加了腐蚀的方向性. 但是由于反应气体离子以一定的速度向样品轰击, 就增加了一种物理刻蚀作用. 这种物理刻蚀作用是对任何被刻蚀的材料都将是有效的, 因此这种腐蚀方法(简称反应离子刻蚀)的选择性较差. 在实际的大规模和超大规模集成电路工艺中, 往往有若干层薄层材料覆盖在衬底硅片上, 刻蚀时, 我们只希望把第一层材料腐蚀掉. 如果所用腐蚀方法的选择性很差, 则很难掌握到正好把第一层刻掉而不损害到第二层. 所以在超大规模集成电路刻硅栅的工艺中, 往往先用反应离子刻蚀法将硅栅刻到接近刻完时, 改用等离子体刻蚀继续刻完, 这样既保证了断面陡直, 又避免将下面一层的材料刻坏.

四、选择性掺杂

在集成电路中不论做哪种晶体管或元件, 都需要在硅片的表面上局部地区进行掺杂. 集成电路所用的平面工艺, 就是利用硅表面生长的二氧化硅层在高温下有阻挡杂质向硅内部扩散的作用而完成选择性掺杂的. 集成电路工艺中常用的三五族杂质要在很高温度下才能在硅中有效地扩散. 所用的杂质源可以是气体、液体或固体. 在扩散过程中, 炉温分布, 杂质源分布, 硅表面状态等因素都能影响扩散进硅片的杂质的总量. 因此, 用高温扩散来进行选择性

掺杂不容易严格地控制住掺杂的量,也就是说工艺的一致性较差。在超大规模集成电路工艺中,往往需要严格控制掺杂浓度,用离子注入的办法可以解决这个问题。离子注入后的样品需要经过高温退火才能“激活”注入的杂质成为施主或受主,同时消除离子注入引起的晶格损伤。

大规模和超大规模集成电路所用硅片的直径越来越大,而图形的线条却越来越细,因此,高温工艺中对硅片所引起的形变使以后的光刻工艺问题越来越严重。今后的发展趋势是把高温工艺的温度降低。离子注入工艺本身是在常温下进行的,离子注入后的退火需要高温。现在人们都在研究激光退火或电子束退火,这些新工艺可以避免在退火过程中整个硅片温度的大幅度上升,也可避免样品中注入杂质的重新分布。但是这些新工艺还没有在实际生产中被采用,面临的问题是表面的均匀性和一致性还很不理想。

五、掩膜版的设计与制造

大规模和超大规模集成电路的每一个芯片上有几万到几十万或更多的晶体管和其他元件,只要在电路或版图上一处出现一个微小的差错,就可以使整个集成电路的功能失效。如果靠人工来设计和制造大规模或超大规模集成电路用的掩膜版,不仅费时太长,而且微小的差错是难以避免的,因此计算机辅助设计和制版成为大规模和超大规模集成电路工艺中的一个十分重要的环节。用计算机辅助设计集成电路所用掩膜版,目前还不能做到全部自动化。用计算机来进行逻辑设计和电路设计不属于这里要讨论的范围,我们从给定的逻辑图和电路图出发,在此基础上,用计算机对电路性能进行模拟,看它是否符合要求,同时也对逻辑进行模拟,看它是否能得到预期的功能。在电路模拟时,必须知道每一个元件的参数。这些参数可以从测量实际的样品中得到,也可以先定下一套工艺流程,然后用计算机作工艺模拟来预测元件的参数。电路定下来之后,就可以用计算机来编

排掩膜版上的图案。这一套版图编辑程序,内容比较多,种类也很不一样。一般说来,编辑过程中都需要一定的人工判断和决策,要通过某些终端进行人机对话。人工绘好的图案也可以通过数字化仪把数据输入到计算机里去。计算机编排好的图案的任何一部分都可以通过终端显示屏显示出来。在需要的时候,操作人员可以对显示出来的图形作任意的修改。一般版图编辑程序中都有自动检错的功能,它可以按照一定的设计规则来检查图形中有没有违背的地方。最后计算机把编辑好的图形的全部数据记录在磁带上输出。这磁带上的数据就可以直接输入到用计算机控制的制版执行机构中去,制出一定形式的版图。制版执行机构一般可以分为自动刻图机和图形发生器两类,前者能根据磁带所提供的数据,自动在红膜上刻出大约放大200倍左右的图形,后者是利用光线或电子束直接制出大约放大10倍左右的中间掩膜版。自动刻图机一般还能用不同颜色的笔把几层套版的图案画在一张白纸上,这样使人们可以在正式制版之前先检查一遍存贮在磁带中的数据还有没有错误。如果有错误的话,还可以通过计算机的终端把磁带中存贮的数据修改过来。如果用电子束直接在硅片上曝光,则可以不用制版执行机构,而直接把磁带中的数据输入到电子束曝光机里对硅片进行曝光。一块大规模或超大规模集成电路的掩膜版往往需要几十万甚至更多的数据,这些数据需要从一台仪器传输到另一台仪器,在传输过程中如果有一个数据出差,最后制成的版就不能使用。因此,数据的输入输出必须尽量避免人工的打印、穿孔或语言上的翻译。这就要求整个计算机辅助设计制版系统从一开始就应该有一个通盘考虑,所用的程序语言必须使前后能衔接起来。

六、封装

大规模集成电路的芯片做好以后,必须封装在一定形式的管壳内。目前国际上做集成电路所用的硅片的直径越来越大,芯片的成品率

也不断提高,这使芯片的成本不断降低。这样每一块集成电路在封装上所花的费用往往会占到整个成本的50%或更高。因此,用什么形式来封装就成为降低集成电路价格的一个重要问题。目前成本最低的封装形式是塑料封装,它的密封性能已经完全可以满足一般民用的要求。因此,国际上除了军用产品需要高可靠而采用陶瓷封装之外,绝大部分的民用一般产品都采用塑料封装。在大型计算机中,为了缩小机器的体积,减少讯号在连线中的延迟时间,把许多芯片组装在一个组件里。这种封装形式必须解决好芯片的散热问题。

七、测 试

集成电路的测试可以分为中间测试和成品测试。中间测试是在芯片工艺完成之后,对硅片上的每一个芯片图形进行测试,决定好坏后,好的去封装,坏的就是废品。成品测试则是对封装好的成品再进行测试。在芯片成品率不是十分高的情况下,而封装费用在整个成本中又占相当比重的时候,经过中间测试先把一部分不合格的芯片筛选掉是十分必要的。但是在现代化的集成电路生产线上,每个硅片上可以有成千上万个图形,而硅片是流水线式的往下流,每天的产量很大,中间测试却需要一个一个图形测,因此中间测试的工作量显得特别大。在整个芯片的成本核算中,中间测试的费用有时会占到15%以上。对大规模集成电路来说,如何能在短时间内把电路的功能测准、测全,这是一个很值得研究的问题。在掩膜版的电路和版图设计中,一开始就要考虑测试讯号的产生方式。为了监控各道工艺的质量,每个硅片上除了芯片图形之外,一般还有专门设计的为质量监控用的测试图案。大规模和超大规模集成电路的功能测试比较复杂,一台综合测试仪一般都是由一台计算机来控制。测试仪的核心部分是图形发生器,它按一定的时序产生出测试讯号,送到被测的样品上。测试结果所得的讯号与预期应该得到的讯号进行比较,就能判别样

品是否合格。

从以上简单的介绍,我们可以看到,一块大规模或超大规模集成电路,虽然它的体积很小,重量很轻,但是在它的整个制造过程中,却涉及到许多新技术的各个方面。集成电路工业本身是个现代化的大工业,它需要相当大的投资,同时对国民经济和国防建设也起着十分重要的作用。大规模和超大规模集成电路的发展对国民经济带来的好处,应该说首先表现在使电子仪器设备的价格大幅度地下降,其次才是使电子仪器设备的体积缩小,重量减轻。根据美国集成电路从一九六五年到一九八〇年的粗略统计,双极型普通中小规模集成电路的价格在十五年内下降了1000倍,从几十元下降到几分钱。MOS存贮器每一位的价格在从一九七〇年到一九八〇年的十年内下降了100倍,从每位2至3分下降到20至30毫分。到一九八二年又下降到大约10毫分。所以笼统地说来,集成电路的价格大致上每五年下降10倍。从产量上讲,美国在十五年内大约增加了一万倍,而产值则只增加约10倍。六十年代一台晶体管的计算机大约需要卖几百万美元,而现在功能上与之相当的微型计算机只要几千美元。四十年代第一台电子管计算机重几十吨占满了一个大厅,现在功能上与之相当的单板机可以放在办公桌上象一架打字机一样,这些都是大规模集成电路带来的奇迹。

现在再谈谈今后的发展趋势。总的说来,大规模和超大规模集成电路的发展方向仍然是提高集成度和开关速度。最早的集成电路都是双极型的。六十年代后期出现了MOS集成电路,由于它的工艺简单,容易提高集成度,就引起了人们的注意。尤其是N沟硅栅等平面工艺出现之后,MOS电路的速度提高了,所以在大规模集成电路方面有取代双极型电路的趋势。由于集成度的不断提高,单位面积的耗散功率成为必须考虑的严重问题。CMOS电路的耗散功率比NMOS还要小很多,而且在电路设计中可以允许单个晶体管的参数有较大的变动范围,因此在超大规模集成电路的发展中,CMOS

将占据越来越重要的地位。但是人们还必须使 CMOS 的工艺简化到可以和 NMOS 相比的程度，同时要在结构上想办法来避免因寄生的闩流管效应而使电路失效。要提高集成度，每个晶体管的尺寸就要缩小，如前面所讲的，从工艺上看就需要发展新的超精细加工技术。但是除了技术问题之外，如果把晶体管的尺寸无限缩小，对晶体的性能会带来什么后果呢？缩小晶体管的尺寸是否会有一个限度呢？回答是肯定的。因为超大规模集成电路中所用的晶体管一般都是 MOS 晶体管，所以让我们简单谈一下缩小 MOS 晶体管几何尺寸对晶体管性能将带来的问题。在缩小 MOS 晶体管几何尺寸时，一般都采取各个方向按等比例 S 缩小。其他参数的变化可以有不同的考虑方法。一种考虑是尽量使各点的电场保持不变以避免由电场改变而引进一些寄生效应。如果要求电场不变，则加在晶体管上的电压也必须按比例 S 缩小。由于垂直于沟道表面的电场不变，沟道表面单位面积的电荷浓度也不变。要使源漏区的表面方块电阻不变，而源漏区的结深却按比例 S 缩小，则源漏区的掺杂浓度必须按比例 $1/S$ 增大。沟道的表面方块电阻不变，而平行于表面的电场也不变，因此每单位宽度沟道通过的电流也不变。但是由于沟道的宽度按比例 S 缩小，所以通过晶体管的总电流也按比例 S 缩小。以上分析只考虑了晶体管的一级效应而忽略了许多非线性的二级效应。从这样一个简单的分析可以看出，如果保持各点的电场不变，就必须使加在晶体管上的讯号电压和通过晶体管的驱动电流都按同样的比例 S 缩小，这在实际使用中是不现实的，因为这将意味着大大地降低了系统的可靠性。所以比较合理的是一种折衷方案，它保持晶体管的驱动电流不变。按照这个方案，加在晶体管上的电压应该按比例 \sqrt{S} 缩小，而晶体管各点的电场将按比例 $1/\sqrt{S}$ 增大。但是由于电场的增大将对晶体的性能带来一系列的效应，统称为短沟道效应。

MOS 晶体管的源和漏与衬底之间都有一个反向偏置的 p-n 结，因而在靠近衬底一边都

有一个较宽的耗尽层，加在 p-n 结上的反偏电压越高，这耗尽层宽度就越大；在短沟道 MOS 晶体管中，这两端的耗尽层宽度将占去沟道长度的相当一部分。在耗尽层内存在着空间电荷，而靠近表面的那一部分空间电荷的影响会使 MOS 晶体管的开启电压降低。由于两端的耗尽层宽度在沟道长度中所占的比重随着沟道的缩短而增加，因此短沟道 MOS 晶体管的开启电压随着沟道的缩短而迅速减小。这是短沟道效应中最显著的一种，克服的办法是使源和漏的结做得尽量地浅，同时用高阻衬底材料用沟道注入来控制开启电压。短沟道 MOS 晶体管的另一种效应是所谓热电子效应。由于沟道中的强电场使靠近漏附近的自由电子具有很高的能量（我们称之为热电子）。这些热电子可能进入二氧化硅的陷阱中而使晶体管的开启电压改变，也可能引起碰撞电离而产生电子空穴对；而由此产生的空穴将进入衬底而引起衬底电流，这些都是我们所不希望发生的。以上这些短沟道效应，当沟道的宽度从 $2\mu\text{m}$ 缩短到 $1\mu\text{m}$ 时将明显地表现出来。这也就是说，当我们要从 256KRAM 再往上做时，我们就必须从器件结构和电路设计上想些办法，以克服短沟道效应所带来的困难。这也是当前国际上在超大规模集成电路研究工作中十分活跃的一个领域。超大规模集成电路的另一个发展方向是提高速度，而提高速度的一个重要方面是降低电路中寄生效应带来的 RC 常数。当版图中的图形按比例缩小时，芯片上的导电连线与衬底之间的寄生 RC 常数为

$$RC \propto \rho \frac{L^2}{tw}$$

其中 ρ 为连线材料的电阻率， L 为连线的长度， w 为连线的宽度， t 为连线与衬底之间绝缘层的厚度。如果 L ， t 和 w 都按同一比例缩小，则寄生 RC 常数可以基本上不变。但是由于集成度的提高，在图形按比例缩小时，芯片的尺寸不能缩小，有时还要略有增大，因此 L 非但不能按比例缩小，反而要略有增加。所以要保持寄生 RC 常数不增加，必须使连线材料的电阻率大

为下降。这个问题在多晶硅作为连线时最为突出,因为多晶硅的电阻率比其他金属材料的要大得多。另一方面,在N沟MOS工艺中,多晶硅做栅是最理想的材料,目前还找不到其他金属材料来替代。因此目前解决的办法是在多晶硅上面再长一层硅化物材料(硅化钨或硅化钼等),这样既降低了这连线的平均电阻率,又保存了多晶硅作为栅的优点。要提高MOS集成电路的速度,减少源漏电极对衬底的电容也是一个重要方向。现在用在蓝宝石衬底上外延硅(SOS)来做大规模集成电路在这方面得到了很好的效果。但是,因为SOS材料的成本较高,所以一般都用在军用产品上。另一种设想是在非晶态绝缘衬底上长硅单晶,这是当前国际上都在探索的一个重要课题。

最后,让我们简单谈一下如何发展我国大

规模集成电路工业的问题。我国的集成电路工业,已经有将近二十年的历史,取得了一定的成绩。当前要抓紧做好在实验室的研制成果与工厂的生产之间的大量发展工作。发展工作主要是在弄清各种因素对工艺质量的影响和机理的基础上,制订出每项工艺的标准工艺规范,明确每个因素所必须控制的范围,同时还要制订出检测每项工艺质量的标准方法和检测标准。这些发展工作做深做透了,就能使每项工艺稳定,工艺质量有保证,成品率提高,大生产付诸实践,集成电路的成本降下来,便于大规模地推广应用。我们相信,只要我们组织力量,认真把我国大规模集成电路的研制、发展、生产和推广应用四个环节紧密联系在一起,统一规划,统一指挥,我国的大规模集成电路是能很快搞上去的。

表面磁性的新探针——极化低能正电子

近几年表面磁性研究日渐活跃,理论上已能定量计算过渡族铁磁材料的表面电子性质,如能带结构、电荷密度、自旋密度、表面态等。与此同时也发展了各种探测表面磁性的实验技术,如极化的光电子发射、极化低能电子散射、中子反射、铁磁共振等等。通常,表面磁性的探测是很困难的。原因是(1)必须只选择性地探测表面,(2)必须对自旋灵敏。许多方法因这些限制而难于获得有效的信息。最近发展起来的自旋极化正电子技术,由于能够克服上述困难而成为有前景的表面磁性研究手段。继S. Berko和A. P. Mills用高能自旋极化正电子测量了大块材料的磁性之后,Gidley等人用低能自旋极化正电子成功地测量了Ni单晶的表面磁性^[1]。

正电子与电子均有自旋,当极化的正电子进入磁性材料中时,它与电子结成正电子-电子对(称为电子偶素,记为 P_s),其寿命与正电子-电子自旋相对取向有关。这样,借助测量 P_s 寿命的分布谱,可推导出被正电子捕获的电子的自旋极化率。由于有价电子的屏蔽作用,正电子湮灭过程只发生在样品表面外电子密度很低的区域,以Ni为例,约离开表面层Ni离子实2埃。因此该方法非常适于表面电子性质和磁性的检

测。典型的实验装置由正电子束发生器、自旋旋转器、超高真空靶室及 γ 线探测器组成。正电子束发生器产生高度极化的慢正电子($\sim 1.4 \times 10^4$ /秒),经过聚焦、转弯、自旋旋转进入超高真空靶室(工作时 2×10^{-10} 托),室内放有被外场磁化的样品。发射到样品上的正电子几乎全部扩散到表面,被陷在表面态中,它们捕获电子,形成 P_s 。 P_s 的三重态有不同的寿命,从测量 P_s 衰变后发出的 γ 射线得到寿命谱,进而推算出被捕获电子的自旋极化状况,得到表面磁性信息。Gidley等用这一方法测量了Ni单晶表面自旋极化率的温度关系。结果清楚地显示出表面磁性与满足布洛赫定律的块状材料磁性是不同的。这一结果与极化电子散射测量一致,也和K. Binder等人的理论预言一致。该方法对表面磁性状态是敏感的,当Ni表面有氧原子时,测到的自旋极化率就减小。这些初步实验说明,低能极化正电子是表面磁性的有效探针。当然还有许多重要实验应该继续,以便完善这一技术,并加深对正电子在表面湮灭过程的理解。

(张鹏翔)

[1] D. W. Gidley, A. R. Köymen and T. Weston Capelhart, *Phys. Rev. Lett.*, **49** (1982), 1776.