

集成电路对硅材料的要求

万 群

(冶金工业部有色金属研究总院)

半导体硅材料(以下简称“硅”或“硅材料”)与集成电路的关系十分密切。硅材料的诞生比集成电路要早,但集成电路的出现使硅在半导体材料中占压倒优势。根据1982年的统计,在半导体器件市场中,硅占98%^[1]。而集成电路约占整个半导体器件的80%左右。集成电路推动着硅材料工业的发展,使硅材料产量大增,生产技术日益提高,设备日益大型化和自动化。另一方面,硅材料质量的提高和成本的下降又为集成电路的集成度和成品率的提高以及应用的普及创造了条件。这个相互促进的发展过程正在继续。这为硅材料和集成电路的发展创造了有利的条件,也为微电子学、材料科学以及相应的技术的发展开辟了广阔的前景。

一、硅材料的主要性质

到目前为止,硅是生产集成电路的唯一材料。虽然在发明集成电路时曾用过锗^[2],并且现在为提高集成电路的速度正在研制砷化镓集成电路,但是,硅在集成电路中的优势地位,至今尚未遇到挑战。这一切绝非偶然,而是由硅的一系列性质所决定的。首先由于硅的禁带宽度大小得当,它一方面能保证器件在125℃以下工作,另一方面又可使器件的电压不高,容易实现高的集成度。另外,二氧化硅的性质使硅用于制作集成电路起了决定性的作用,二氧化硅可以对扩散起掩蔽作用,又可以构成电容和隔离器件,这都使电路工艺大为简化。硅在地球上的丰度高,又无毒,这些也都是非常重要的优点。

硅的主要性质见表1,各种杂质在硅中的性质见表2。

表1 硅的主要性质

性 质	单 位	数 值
原子序数		14
原子量		28.086
原子半径	Å	1.33
原子最小间距	Å	2.35
晶格常数	Å	5.431
原子密度	at/cm ³	4.96×10 ²³
禁带宽度	eV	1.107 (295K)
晶格迁移率	cm ² /V·s	
电 子		1350(293K)
空 穴		480(293K)
本征电阻率	Ω·cm	2.3×10 ⁵ (300K)
密 度	g/cm ³	2.33
熔 点	℃	1420
沸 点	℃	3145
线性膨胀系数	1/℃	2.33×10 ⁻⁶ (300K)
表面张力	dyne/cm	720
热 导 率	cal/s·cm·℃	0.3 (293K)
莫氏硬度		7

表2 一些杂质在硅中的性质

杂 质	施主还是受主	分配系数	溶解度 (cm ⁻³)
Li	n	1×10 ⁻²	6.5×10 ¹⁹ (1200℃)
Cu	n或p	4×10 ⁻⁶	1.5×10 ¹⁸ (1300℃)
Ag ⁺	n或p	~1×10 ⁻⁶	2×10 ¹⁷ (1350℃)
Au	n或p	2.5×10 ⁻⁵	1.2×10 ¹⁷ (1300℃)
Zn	p	~1×10 ⁻³	6×10 ¹⁶ (1325℃)
B	p	8×10 ⁻¹	1×10 ²¹ (1410℃)
Al	p	2×10 ⁻³	2×10 ¹⁹ (1100℃)
Ga	p	8×10 ⁻³	4×10 ¹⁹ (1250℃)
C		7×10 ⁻²	3.5×10 ¹⁷ (1410℃)
O		1.4, 0.25, 1.25	2×10 ¹⁹ (1410℃)
N		7×10 ⁻⁶	5×10 ¹⁹ (1410℃)
As	n	3×10 ⁻¹	1.8×10 ²¹ (1150℃)
Sb	n	2.3×10 ⁻²	7×10 ¹⁹ (1325℃)
Fe	n	8×10 ⁻⁶	3×10 ¹⁶
Ni	p	3×10 ⁻³	8×10 ¹⁷ (1300℃)
P	n	0.35	1.5×10 ²⁰ (1200℃)

二、集成电路对硅材料的基本要求

集成电路具有元件尺寸小、密度大、工作层浅、工序复杂、热处理次数多等特点,同时还具有电路中一个元件失效就会使整个电路报废的这一结构上的特点,这就使得它对硅材料的要求与分立元件相比,有许多独特的地方。虽然直接用来制作电路的是抛光片,但是为了满足电路的要求,在多晶和单晶的生长工艺及制片过程中都要采取相应的技术措施。关于多晶、单晶生长及制片工艺和设备,请参考文献 [2, 3]。

集成电路对硅材料的要求,随集成度、电路类型、复杂程度、器件的有关工艺的不同而不同。下面从几个基本方面加以论述:

1. 电学参数及晶体取向

各种类型的集成电路对硅片的主要要求见表 3。其中型号和晶向取决于有源元件的类型。而电阻率一般多采用中阻单晶。近几年来,为了获得较高的工作速度, MOS 电路使用的电阻率较高。过去一般生产大于 $30\Omega \cdot \text{cm}$ 的单晶多采用区熔法,但是由于直拉单晶对制作集成电路有一系列优点,所以仍用直拉法生产单晶。在这类单晶的商品中, P 型的电阻率达 $80\Omega \cdot \text{cm}$, n 型的达 $50\Omega \cdot \text{cm}$, 电阻率的均匀性会影响各个晶体管的阈值电压。因此均匀性好的单晶有利于成品率的提高。现在生产的晶向为 $\langle 100 \rangle$ 、直径为 50—125mm 的单晶,其电阻不均匀度可达 10%,能满足一般电路的要求。超高速电路则要求均匀性(特别是微观均匀性)好的硅单晶。用磁控拉晶^[4],可使微观电阻率

表 3 不同类型集成电路对硅衬底的电学参数及晶向的要求

电路类型	型 号	晶 向	电阻率 ($\Omega \cdot \text{cm}$)	电阻率不均匀度	少子寿命 (μs)
MOS	p	(100)	8—15 20—80	严格 ($< 8 \sim 10\%$)	> 50
CMOS	n 或 p	(100)	4—15	严格 ($< 8 \sim 10\%$)	> 50
双 极	p	(111)	8—15	不 严 格	不很严格
CCD	p	(100)	15—25	很严格 ($< 5\%$)	> 50

变化由通常方法的 25—40% 降到 5%, 用作超高速电路的研究正在进行。

2. 单晶的杂质浓度

关于硅中简单的施主、受主杂质及其控制, 已为拉单晶人所熟知。这里想就硅中的氧、碳和重金属杂质分别加以讨论。

(1) 氧 氧在硅中的行为极为复杂, 至今仍是研究的对象。为了说明对氧含量的要求, 将氧在硅中的组态及对 MOS 电路的利弊列入表 4 中。因此各种器件要根据其工艺条件合理地选择氧的浓度。1980 年以前, 对晶体中氧浓度有两种红外吸收的计算方法。一种是美国 ASTM F121-76 方法, 另一种是德国 DIN 50438/1 方法, 这两种计算方法结果相差一倍。美国于 1980 年作了修改, 采用了 DIN 的转换系

数, 于是两种方法已趋统一。下面谈到的一些数据是用 DIN 50438/1 方法的计算结果。对一般电路, 包括大规模集成电路, 对氧的要求比较宽, 而对超大规模集成电路则有严格的要求, 一般要求在指定值的 $\pm 2\text{ppma}$ 以内, 而且氧的含量已经成为超大规模集成电路的成品率的关键因素之一。对双极型电路而言, 需要在硅衬底上进行外延。研究表明, 衬底氧含量低, 则容易在外延层上产生层错, 因此一般要求在 16ppma 以上^[5]。MOS 型电路对氧浓度的要求是根据工艺与集成度不同而异。采用内吸杂的需要 15ppma 以上^[6], 最近开发的超大规模 MOS 型集成电路则要求在 $10-13\text{ppma}$ ^[5]。上述这些数字必须结合器件具体工艺选择合理的范围。但有一点是肯定的, 那就是随着集成度

表 4 氧对 MOS 器件的影响

氧存在的形态	对晶体的作用	对器件工艺的作用	作用的利弊
沉积态	二次缺陷	载流子的产生与复合	弊
		硅片翘曲	弊
		本征吸杂	利
	潜在缺陷	扩大离子注入的损伤	弊
		载流子的产生与复合	弊
溶解态	位错的钉扎	抑制翘曲	利
施主态	热施主	电阻率不稳定	弊
	新施主	电阻率难控制	弊

的提高,对氧的波动范围要求愈严格,不但要求单晶的氧含量符合要求,而且还要求径向分布均匀。

(2) 炭 与氧的情况不同,到目前为止,大多认为炭对集成电路是有害无益的,因此希望降低炭含量。较一致的看法是:(a)炭含量高形成炭条纹,从而形成缺陷。(b)炭有可能成为一些结构缺陷及沉积物的成核中心,从而破坏晶体的完整性。(c)炭含量高会降低载流子的产生寿命,因而缩小 MOS 电容所需的再生时间 (refresh time)。

因此,一般电路要求单晶的炭的含量小于 1ppma,而超大规模集成电路则要求小于 0.1 ppma^[7]。

(3) 重金属杂质 重金属杂质对所有的硅器件都是有害的。它会形成沉积,造成结漏电,

降低寿命。目前生产的硅单晶的重金属杂质含量小于 1ppba,已满足集成电路的要求。对超大规模集成电路,有人提出小于 0.001 ppba 即 1ppta 的要求^[7],这还有待今后的实践证明。

3. 多晶的杂质含量

单晶中杂质的含量与所用多晶的杂质含量的关系比较复杂。因为在拉晶过程中会发生分凝、挥发及污染等各方面的作用。几种主要杂质在拉晶中的行为如表 5 所示,其中 K_0 为平衡分配系数。从这里可以看出,多晶中应控制的杂质有磷(包括砷、锑等施主杂质)、硼、炭和重金属。目前生产大规模集成电路用的硅单晶多采用如下的多晶纯度:

施主浓度 (n 型): $> 300 \Omega \cdot \text{cm}$ ($< 0.3 \text{ppba}$).

受主浓度 (p 型): $> 3000 \Omega \cdot \text{cm}$ ($< 0.1 \text{ppba}$).

炭浓度: $< 1 \text{ppma}$.

重金属: $< 1 \text{ppba}$.

为了制备上述的高阻直拉单晶,多晶中的施主、受主浓度要求应相应降低。超大规模集成电路要求单晶含炭 $< 0.1 \text{ppma}$,这一点目前已能在多晶、单晶生产中相应地做到。文献[7]中对重金属提出的要求,估计主要靠吸杂来实现,但对原始单晶和相应的多晶中重金属含量的要求,尚有待进一步研究。

4. 单晶的晶体完整性

晶体缺陷对集成电路的特性及成品率有明

表 5 单晶中一些杂质的来源

杂质	多晶中的含量	拉晶中偏析或挥发	拉晶过程的污染	影响单晶含量的决定因素
磷	0.1—1ppba	$K_0 = 0.35$ 易挥发	不严重	多晶中的含量
硼	0.03—0.1ppba	$K_0 = 0.8$ 不挥发	有污染	同上
氧	0.1—1ppma	易挥发	熔硅与坩埚作用大量引入氧	拉晶工艺
碳	0.2—1ppma	$K_0 = 0.07$ 不易挥发	气氛中含碳化合物引入硅中	多晶工艺与拉晶条件都有影响
重金属	0.1—1ppba	$K_0 \ll 1$ 不挥发	由坩埚中引入	同上

显的影响(见表6)。由于硅单晶的无位错生长工艺已普遍使用,因此原生单晶中的位错已不产生影响。表6中的位错一般指二次缺陷或在外延层中的缺陷。无位错直拉单晶中的主要缺陷是漩涡缺陷及沉积物,这两者均属微缺陷。这些缺陷在器件工艺过程中形成位错、层错,使器件质量降低甚至报废。对双极型电路来说,现已证明漩涡缺陷不向外延层延伸,因此影响不大。对MOS型电路来说,大多数希望用无漩涡缺陷的晶体,也有人认为漩涡缺陷对电路无显著影响,这都取决于器件的工艺。MOS电路对氧的沉积物要求也不一样。采用内吸杂工艺,则利用硅片内部的氧沉积物对硅片表面的杂质与缺陷进行吸收,故要求较高的氧含量。但一些超大规模集成电路,则不希望有氧沉积。另外有人提出潜在缺陷的概念^[9],认为由氧形成一种用已有的检测工具检测不出的缺陷,但却影响器件的性能,这有待检测技术提高以后予以确定。

表6 硅中的缺陷及其影响

种类	来源	对材料性质的影响	对器件性质的影响
层错	氧化 外延生长	沉积中心 影响扩散分布	增大结漏电 软击穿 寿命劣化
位错	机械或热应力 杂质构成的晶 格失配 漩涡缺陷	沉积中心 影响扩散分布 滑移线	增大结漏电 寿命劣化 电流增益劣化
氧杂质	晶体生长	形成沉积物 造成热施主 形成氧化层错	增大结漏电 寿命劣化 增加施主
碳杂质	晶体生长	形成沉积物 漩涡缺陷的来源 氧化层错的来源	增大结漏电 寿命劣化
金属杂质	晶体生长 加工引入	形成沉积物 影响扩散分布	增大结漏电 寿命劣化

5. 抛光片的质量

抛光片的质量对集成电路的成品率影响很大。对它的主要要求有:

(1) 片子的几何精度

它包括片子的直径,参考面的位置与尺寸,厚度及其公差,弯曲度和平整度等。其中最重要的是平整度,这对投影光刻尤为突出。随着集成度的提高,元件尺寸变小,对平整度的要求愈严格。图1表示元件尺寸与聚焦深度范围的关系。由图1可以看出,当波长 $\lambda = 400\text{nm}$ 时,对 $5\mu\text{m}$ 线宽,则聚焦有 $10\mu\text{m}$ 的余量,而对 $1\mu\text{m}$ 的线宽,则聚焦只能有 $0.7\mu\text{m}$ 的余量。因此,超大规模集成电路要求平整度在 $3\mu\text{m}$ 以下^[9]。进一步缩小元件尺寸或增大单晶直径,则需采取分割复印法,这时光刻在每一个小区聚焦,这样要求片子的局部斜度在 $1\mu\text{m}/10\text{mm}$ 以下。

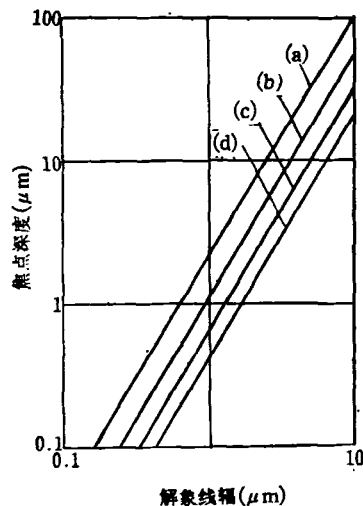


图1 分辨线宽与聚焦深度的关系
(a) $\lambda = 200\text{nm}$; (b) $\lambda = 300\text{nm}$; (c) $\lambda = 400\text{nm}$;
(d) $\lambda = 500\text{nm}$

(2) 片子的表面质量

它包括崩边、划道、桔皮、凹坑、雾、氧化层错等。这些都对集成电路有害。一般说来,前几种缺陷要做到无或极少,而氧化层错一般要求在 500 个/ cm^2 以下,而在超大规模集成电路的情况下,则要求氧化层错小于 1 个/ cm^2 。

(3) 片子的表面洁净度

它包括片子的表面尘颗粒、各种污染、水迹等。这与清洗、封装的工艺与设备有关。对超大规模集成电路,则需要用俄歇能谱及离子探针监控其表面。

(4) 片子的背面

一些工艺要求使背面损伤,这时要对片子背面进行一定深度的损伤(一般为 $18-34\mu\text{m}$),而一些高集成度电路则要求背面的洁净度与正面相同。

(5) 片子的翘曲

片子经热处理后会发翘曲,这会严重地影响成品率。发生翘曲的原因,一是片子的内部质量不高,另一是器件加工工艺条件的影响。前者的中心问题是氧含量及其均匀性。当氧含量高时,在一定温度下会发生沉积,于是在沉积区形成位错,因而降低了屈服强度,使硅片变形^[10]。当然形成沉积的条件不只是氧含量,这一点上面已经讨论过。片子在炉中受热的条件很重要。当舟中垂直地安放许多硅片时,硅片边缘先受热,而中部由于硅片互相遮挡,因而升温较慢;降温时,情况正好相反。因此升、降温的速度很重要。

6. 单晶直径的增大

集成电路的芯片尺寸在目前一般不超过 100mm^2 ,因此单晶的直径,从技术的角度不构成什么问题。但从经济学的角度,直径却十分重要。一方面硅片边缘约 3mm 左右,由于缺陷多,成品率极低,因此直径愈大,圆片的有效利用率愈高。另外,集成电路的工序复杂,这样,

片子愈大,通过同样的工序所得的管芯数就愈多。硅圆片直径与管芯数的关系如表7所示。目前所用的尺寸以 10cm 为主,其次是 7.5cm ,开始使用 12.5cm ^[11]。从晶体制备的角度,用直拉法控制大直径单晶,尚未遇到难以克服的障碍。现已拉制出 20cm 直径的单晶^[12],并正在讨论1985年使用 20cm 直径单晶的可能性^[11]。

表7 硅片直径与芯片尺寸的关系

直径 (mm)	面积比	$3\times 3\text{mm}^2$		$5\times 5\text{mm}^2$		$7\times 7\text{mm}^2$	
		片数	片数比	片数	片数比	片数	片数比
50	1	200	1	55	1	29	1
75	2.25	480	2.4	135	2.5	64	2.7
100	4	920	4.6	270	4.9	130	5.4

三、小 结

1. 用作生产集成电路的,几乎都是直拉单晶。这是由于直拉单晶的均匀性好,有一定氧含量,容易获得大直径,工艺与设备相对比较简单,成本较低廉(对大直径而言)。今后的趋势看来仍是如此。

2. 集成电路对硅材料的要求涉及到从多晶到抛光片以及它的清洗包装等整个材料工艺。它的基本关系如图2所示。因此对硅材料生产的每一道工序都要进行严格的控制。

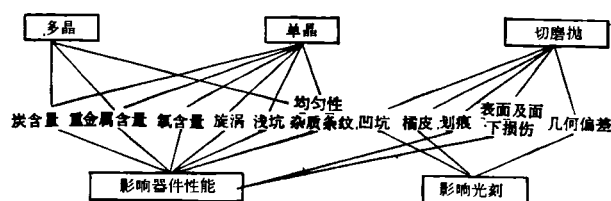


图2 杂质和缺陷的来源及对器件的影响

3. 单晶中的杂质与杂质,杂质与缺陷常发生相互作用,而缺陷又可能发生转换。因此孤立地考虑一种杂质或缺陷,常常得不到正确的规律性的结果。进一步利用缺陷进行吸杂,以改善工作区的纯度与条件,则是利用这种相互作用的积极发展。

4. 集成电路虽然对硅材料提出了一些基本的要求,但因生产电路的具体工艺不同,要求则

各有差异。另外,随着集成电路生产工艺的日益完善和对材料与器件的关系的深入了解,对材料还会提出进一步的要求。

5. 集成电路的集成度日益提高,结构也变得很复杂。现在 256KDRAM 和 32 位微处理机已有商品生产,而兆位的电路正在研制,而且这远不是极限。这些发展都会对材料提出新的要

(下转第238页)