

# 集成电路 (IC) 可靠性物理问题

许 康

(中国科学院上海冶金研究所)

IC即集成电路是未来信息世界的主要物质基础之一。它自1960年前后在Si平面技术基础上发明以来,先后经历了小、中、和大规模电路(即SSI, MSI 和LSI)以及当前的超大、超高速集成电路(即VLSI, VHSIC)阶段。为了适应这种飞速的演变,其可靠性技术也相应由分立器件的统计失效发展成为以控制和预防、消除失效为主<sup>[1]</sup>。后二者是以失效物理或可靠性物理学研究为基础。本文试图就IC可靠性物理学这一交叉学科领域的概貌及其若干进展作一扼要介绍。

## 一、IC 可靠性物理学的基本任务

自五十年代末开始,随着Si平面工艺和器件的迅速发展和广泛应用,人们对分立器件退化和失效过程的物理基础日益重视,并尽可能地找出它们同时间、应力等的定量依赖关系。这从1962年开始的失效物理年会及1967年以后的可靠物理年会上许多论文中反映出来。所谓可靠性物理学就是上述有关退化、失效过程机理及其与时间、应力等的定量关系,并用于改进、评估和预测器件可靠性的总称。

鉴于IC器件基本上由不可分的许多材料叠加而成,因此IC可靠性物理学研究,也应以材料为主要对象。即它对一些IC怎样失效以及为什么失效的具体物理、化学过程,要提高到从微观上用构成IC诸材料中基本原子、分子间相互作用和变化加以阐明,并力求在宏观上同IC的设计、制造以及使用联系起来一并考虑。事实上,今天随着IC由SSI, MSI 向集成度更高的LSI, VLSI 迅速发展,其可靠性更需设计并作进器件。由可靠性物理学研究所得有关器

件退化,失效现象和过程的深入了解,将是预防和消除失效即获得高可靠性的IC产品的重要手段和理论依据。

虽然到目前为止,IC可靠性物理学作为一门新兴的交叉学科,还远不能说已经十分成熟,但有关它的一些基本研究内容和方法已经形成(如图1所示),大致包括<sup>[2,3]</sup>:(1)加速试验,(2)失效分析,(3)可靠性特征,(4)反馈与纠正等。因限于篇幅下面仅就加速试验和引起IC失效的主要失效机理作些介绍,其中也包括VLSI中的一些可靠性问题。

## 二、加速试验

IC可靠性随其技术的成熟和集成度的提高而不断增加。据报道,芯片上门数每增加

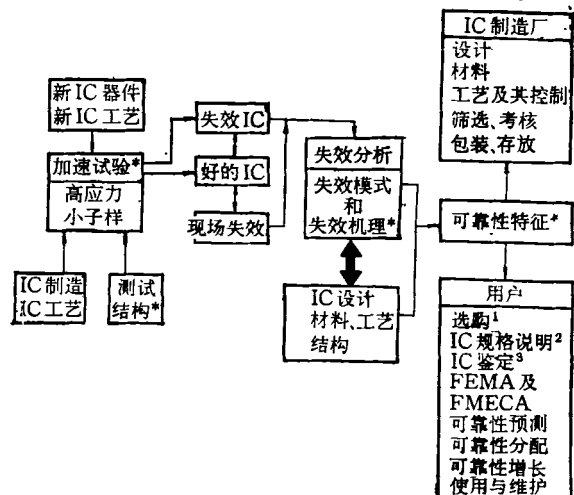
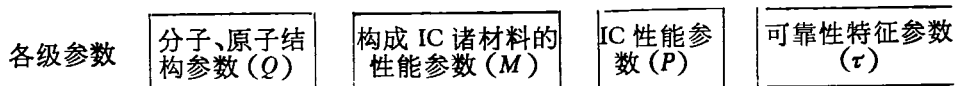


图1 可靠性物理研究(带“\*”者)在IC可靠性技术中的作用

1. 包括采购规范,性能要求,筛选条件,降频使用等; 2. 指未包括在IC制造厂规范内却可能引起IC在某些电压、温度、负载、频率、运行程度等条件下发生差错的那些性能指标或要求; 3. 鉴定IC制造厂工艺或材料中属于潜在失效因子的那些特征。

100 倍或者位数每增加 100—1000 倍, 将使单门或位的功能失效率改善 10 倍. 目前国外 SSI, MSI 的失效率一般在 10 非特(即  $10^{-8}/h$ ) 数量级, 即使 LSI 也可达 100 非特(即  $10^{-7}/h$ ). 对此若用常规的寿命试验方法来评估或验证将极为费时、费钱, 甚至根本不可能, 更不能及时反馈改进. 于是提出加速试验, 希望通过对少量子样施加比正常高得多的应力使之加速失效, 从而在较短时间内获得必要的可靠性数据, 再外推到正常应力下的 IC 器件. 当然主要失效机理应保持基本不变.

### 1. 加速试验的简单理论<sup>[3,4]</sup>



$$\text{参数链条 } Q = Q(Q_1 \cdots Q_n) \quad M_i = M_i(s, t) \quad P_i = P_i(M_1 \cdots M_n) \quad \tau_i = f(P, s, t)$$

$$\text{失效机理方程} \quad \Delta P_i = \int_0^{t_F} \left( \sum_{j=1}^n \frac{\partial P_i}{\partial M_j} \cdot \frac{\partial M_j}{\partial t} \right) dt, \quad (1)$$

式中  $t$  为时间,  $s$  为应力,  $j$  为材料性能参数的数目,  $\Delta P_i$  为第  $i$  个材料性能参数  $M_i$  变化引起 IC 参数  $P_i$  的变化量,  $t_F$  为失效前时间即寿命,  $Q$  为粒子函数.

但事实上在 IC 器件参数和材料性能退化机理及所施加应力之间存在一系列可能极为复杂的相互关系. 例如退化可能是线性或非线性地连续进行的, 也可能是不连续的, 或者是随机的甚至是周期性的; 其影响可能是累加的或者非累加的, 甚至也可能是上述各种可能的联合, 其比例随时间或应力而变. 所发生的机理可能是 IC 固有的, 也可能是外界环境引起的, 或者是二者兼而有之.

更困难的是, 在象 IC, 尤其是 LSI, VLSI 这样一种极为复杂的体系中, 同时存在好几种竞争性机理, 故欲从反应速率统计理论来预测 IC 失效行为, 简直不大可能. 加上外加应力也不容易在每个元件都能加上, 为此采用和芯片一起流片的简单的测试结构图形代替 IC 本身进行加速试验, 将是最好的解决办法. 这样便于控制试验条件, 限止变量, 并可单独考察某种特定的失效机理, 而非整个 IC 中所有的退化行

### (1) 失效机理方程

众所周知, 由于构成 IC 诸材料中基本分子、原子间物理化学作用而发生的材料性能变化将直接或间接地导致 IC 参数退化乃至最终失效. 根据经典的反应热力学理论, 这种物理化学作用可能起因于诸如氧化、扩散、腐蚀、沉淀、机械疲劳、电迁移、辐射损伤等, 且一般讲可借助于热、电等应力进行加速. 因此通过考察不同应力条件下材料和器件参数的变化行为, 可获得作为用以改进、评估和预测 IC 可靠性基础的激活能和反应速率表示式, 即

### (2) Arrhenius 模型

假设仍用 (1) 式中的符号, 即  $M$  代表材料性能的某一退化过程或机理, 它引起 IC 参数  $P$  变化  $\Delta P$ , 且只是热应力  $T$  和时间  $t$  的函数, 则根据 Arrhenius 反应速率方程, 应有

$$dM/dt = R(T) = R_0 \exp(-E_A/kT), \quad (2)$$

式中  $R_0$  为比例常数,  $k$  为玻耳兹曼常数 ( $8.616 \times 10^{-5} \text{eV/K}$ ),  $E_A$  为退化机理激活能 (eV),  $T$  为绝对温度 (K).  $R(T)$  为反应速率.

又设  $P$  与  $M$  及  $t$  之间只是简单的线性关系, 即

$$P = KR(T)t = A_0 \exp(-E_A/kT)t,$$

$$\frac{dP}{dt} = A_0 \exp(-E_A/kT),$$

$$\int_{P_0}^{P_F} dP = A_0 \exp(-E_A/kT) \int_0^{t_F} dt \quad (3)$$

或

$$t_F = \frac{P_0 - P_F}{A_0 \exp(-E_A/kT)} = A' \cdot \exp(B/T), \quad (4)$$

$$\ln t_F = A + B/T, \quad (5)$$

式中  $A = \lg A' = \ln \frac{P_F - P_0}{A_0}$ ,  $B = \frac{E_A}{k}$ ,  $P_F$  为失效时的  $P$  值(通常事先定义,即失效标准),  $P_0$  为起始  $P$  值,  $t_F$  为到达失效的时间点即寿命. 这样我们就有了一简单的失效时间同热应力之间关系的表示式,它把 IC 参数变化  $\Delta P$  同某一具有激活能  $E_A$  的未知退化机理相联系. 对给定 IC 器件批的失效时间分布表示式,也可用类似(4)式求得,但  $t_F$  常取累积失效  $F(t) = 50\%$  时的时间  $t_{50}$  (或中位寿命  $t_m$ ). 若设  $E_A$  在所述 IC 器件批中呈正态分布,则  $\ln t_F$  也呈正态分布,而  $t_F$  或  $t_{50}$  则具有对数正态分布形式. 对 IC 一类半导体器件多数符合这种情况.

又若除热应力外还存在非热应力  $S$ , 则(5)式应修正为

$$\ln t_F = A + \frac{B}{T} - S(C + D/T), \quad (6)$$

式中  $C, D$  为类似  $A$  和  $B$  的常数.

### (3) Eyring 模型

上述 Arrhenius 反应速率方程是加速试验的基础,在实际应用时也很方便. 但它至今仍是未经理论推导的近似公式. 而 Eyring 方程则可根据量子统计力学推导而得,即

$$R(T) = a \left( \frac{kT}{h} \right) \exp\left(-\frac{B}{T}\right), \quad (7)$$

$$t_F = \frac{G}{T} \exp(B/T), \quad (8)$$

式中  $h$  为普朗克常数,  $a$  为 IC 器件中处于受激态与正常态的粒子数之比,  $B = \frac{E_A}{k}$ ,  $G = \frac{h}{ak}$ . 若除热应力  $T$  外还有非热应力  $S$  存在, 则(8)式修正为

$$t_F = \frac{G}{T} \exp[(B/T) - S(C + D/kT)]. \quad (9)$$

但实际上由于 Eyring 方程使用不便,加上和 Arrhenius 方程相比,其一级近似的相对误差小于 10%, 故当  $E_A/kT \gg 1$  时,完全可用 Arrhenius 方程代替.

## 2. 加速试验的实施方法

加速应力除温度、电压外,还可有温度循环、电流、湿度、机械乃至辐射应力及其联合,主

要视实际使用环境和条件而定. 根据应力施加方法通常有恒定、步进以及序进三种加速试验,前二者使用较多. 对最常见的偏压,始终保持恒定的热电加速试验,往往也以(5)式作为加速方程. 具体实施时对恒定应力加速试验通常按温度或电压分成 3—4 个组,每组不少于 30—50 个试样,然后按几何级数选取时间  $t$  进行检测;对步进应力则按试验时间分成 3—4 个组,每组也不小于 30—50 个试样,然后由低向高步进. 最后两者均可得到如图 2[(a), (b)] 所示

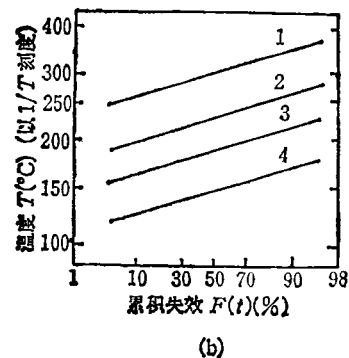
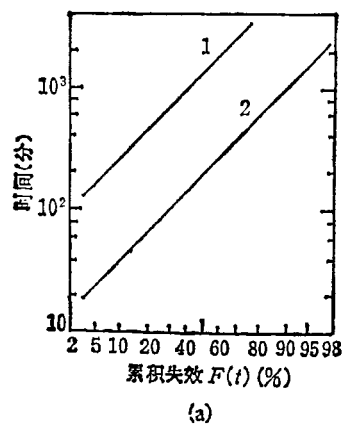


图 2 IC 累积失效  $F(t)$  同时间或温度的关系

- (a) 恒定应力失效分布(1 为 200°C, 2 为 220°C);  
(b) 步进应力失效分布(1 为 20 分钟, 2 为 120 分钟, 3 为 1410 分钟, 4 为 10080 分钟)

的一组直线,并从中作出相同  $F(t)\%$  (一般取 50%) 下所对应的  $t_{50} \propto 1/T$  关系. 图 3 所示直线,则表示服从 Arrhenius 方程,这样便可从其斜率  $B = \frac{E_A}{k}$  求得相应的激活能  $E_A$  和寿命加速因子  $A_L(T)$ , 即

$$\frac{t_{50l}}{t_{50h}} = A_L(T) = \exp\left[\frac{E_A}{k}\left(\frac{1}{T_l} - \frac{1}{T_h}\right)\right], \quad (10)$$

式中 l 代表低一级应力, h 代表高一级应力。

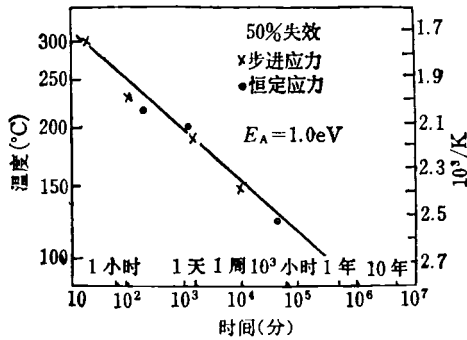


图3 Arrhenius 作图示意

显然  $E_A$  越大越易被温度加速。应注意如图 2 出现 S 型 ( $\geq 200^\circ\text{C}$ ) 曲线, 则表示可能存在畸形 (Freak) 或早期失效, 应设法去除之。若温度和电压应力同时加速, 则其加速因子应为

$$A_L = A_L(T) \cdot A_L(V), \quad (11)$$

式中电压加速因子为

$$A_L(V) = \exp\beta(V_h - V_l), \quad (12)$$

$\beta(V^{-1})$  为常数, 可由步进偏压试验求得。

Berman 指出<sup>[5]</sup>, 对同时间有关的  $\text{SiO}_2$  介质击穿失效, 利用斜坡电压即序进偏置应力试验可代替上述热、电同时加速的加速试验, 从而更加简便迅速, 因其与温度的关系可包括在常数  $\beta$  中, 此时加速因子可由 (12) 式代替 (11) 式。相应地 (5) 式可写为

$$\ln t_F = \ln t_0 + \beta[V_h(F) - V_l], \quad (13)$$

式中  $t_0 = \frac{1}{\beta R}$ ,  $R$  为斜坡速率 (V/s),  $V_h(F)$  为达到  $F\%$  失效的斜坡击穿电压, 可由斜坡击穿分布确定。

对偏压潮湿加速试验, 可有

$$A_L = \frac{V_l}{V_h} \exp\left[\frac{E_A}{k}\left(\frac{1}{T_l} - \frac{1}{T_h}\right)\right] \times \exp[\beta'(H_l^{-1} - H_h^{-1})], \quad (14)$$

式中  $H$  为相对湿度 (%),  $\beta'$  为相对湿度常数 (%).

### 3. 加速试验的应用

#### (1) 鉴别失效机理

上述激活能  $E_A$  代表 IC 器件由正常状态变化到失效状态之间所必需克服的能量势垒高度 (图 4), 其值随不同退化过程或失效机理而异 (见表 1)。因此通过上述加速试验, 结合表 1 数据, 可有助于鉴别某一特定失效机理, 从而有可能设法消除之。当然最后还应通过失效分析加以验证。

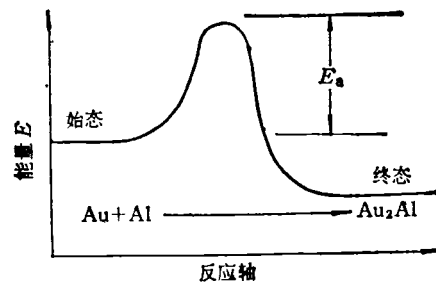


图4 Arrhenius 方程中激活能  $E_A$  示意 (以 Au, Al 反应为例)

应指出, 对于实际 IC 器件, 由于失效机理可能不止一个, 而各种机理与器件参数退化及时间的关系往往并不完全服从简单的线性关系, 加上工艺缺陷的影响及其与机理的相互作用等等, 故由实验求得的表征某失效过程机理的激活能并非理论上的  $E_A$ , 而是一种表观激活能<sup>[7]</sup>, 甚至是一种综合激活能。这也是迄今很多加速试验数据往往不大一致的原因。因此表 1 中的  $E_A$  值仅供参考。对工艺相对稳定的产品, 应以加速试验结合失效分析确定的  $E_A$  为准。

#### (2) 可靠性特征量——失效率估计和预测

(i) 对数正态分布: 对寿命服从对数正态分布的 IC, 其使用温度下的瞬时失效率  $\lambda$  可先由 (10) 式或图 3 外推求得该温度下的  $t_{50l}$ , 再按 Goldthwait 图<sup>[7]</sup> 进行估计, 并作出该温下的  $\lambda \propto t$  关系曲线 (图 5)。而 Goldthwait 图中的标准偏差  $\sigma$  则可由图 2 直线斜率或  $\sigma = \ln(t_{50}/t_{10})$  求得。对工艺相同的类似器件一般只需作一个高应力点加速试验, 即可利用相似的  $E_A$  值进行外推。

表 1 IC 中主要失效机理的表观激活能  $E_A$  及其诱发或加速应力<sup>13-15</sup>

失效机理		涉及的因素	诱发或加速应力	$E_A$ (eV)
表面/钝化层	可动离子迁移	$Q_0, V, T, \text{清洁度}$	$T$	双极型 1.02-1.05 (数字); 1.6-2.3 (线性) MOS 型 1.0-1.35
	慢俘获	$Q_{ss}, E, T, \text{清洁度}$	$V, T$	1.0-1.3
	表面电荷扩展	表面吸附离子, 水气, $T, V$	$T, H$	0.5-1.0
	电荷丢失 (EPROM)	$T, E, \text{缺陷}$	$T$	0.5-0.6 (运行); 0.8-1.4 (高温存放)
	PSG 缺陷	裂纹, $\text{Na}^+$ 浓度, 极化	$T, E$	1.0
	$\text{SiO}_2$ 介质击穿	$E, T, \text{杂质, 结构缺陷, } Q_{ss}$	$E, T$	0.3, 0.35, 0.6
体内	光刻掩模缺陷	工艺, 清洁度等	$V, T$	0.5
	Si 缺陷	晶体生长, 工艺, 温度等	$V, T$	0.3
金属化	电迁移	晶粒度等结构均匀性, 杂质, $J, \Delta T, A$	$J, T$	0.48 (小晶粒), 0.84 (大晶粒) 1.2 (大晶粒, 表面钝化); 0.43 (纯 Al), 0.70 (Al + Cu), 0.5 (Al + Cu + Si); 0.89 (Al + Si), 0.54 (纯 Al)
	Al 自扩散	$T, \text{结构}$	$T$	1.4
	Al 中 Si 的扩散	Si 浓度, $T$	$T$	0.8, 0.9 (薄膜); 1.05, 1.33 (块状)
	Al 渗入 Si	$T, J$	$T, J$	1.77
	Al 腐蚀	$H, \text{沾污}, V, T$	$H, T, V, P$	0.3-0.6 (电介); 1.1 (双极 $\text{SiO}_2$ 钝化) 或 0.3 (NMOS, $\text{Si}_3\text{N}_4$ 钝化); 0.8-1.5 (CMOS)
	Al-PSG 作用	$H, V, T, \text{磷浓度}$	$H, T, V$	0.55
	台阶微裂	工艺	$\Delta T$	
键合	金属间化合物	杂质, $T, \text{强度}$	$T$	0.87-1.1, 1.0-1.05, 0.7-1.05
	热疲劳/脱落	工艺缺陷, $\Delta T, \text{强度}$	$\Delta T$	
	接触电阻增加	杂质, $T, \text{清洁度}$	$T, \Delta p_w$	
其它	综合	多种	$T$	0.41 ( $T^2L, \text{DTL}$ ); 0.7 (其它 IC); 0.57, 0.53, 0.6, 1.5 (ECL); 0.2-1.3 (MOS IC)
	早期失效	多种	$T$	0.37-0.42 (数字 IC 包括双极和 MOS); 0.7-1.3 (双极和 MOS); 0.65 (64K DRAM)

$T$  为温度,  $V$  为电压,  $E$  为电场强度,  $\Delta T$  为温度循环,  $H$  为湿度,  $p$  为蒸气压(水),  $J$  为电流密度,  $\Delta p_w$  为脉冲功率,  $A$  为面积,  $Q_{ss}$  为界面态、陷阱,  $Q_0$  为  $\text{Na}^+$  一类可动离子

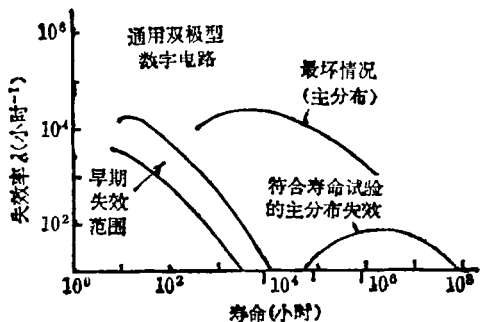


图 5 IC 失效率  $\lambda$  与寿命时间关系

同理对电压步进或序进应力等加速试验, 则可

物理

按 (12)~(14) 式进行类似估计。

(ii) 指数分布: 对寿命假设服从指数分布, 则由于  $\lambda$  基本上不随时间而变 (偶然失效期), 故可直接由  $\lambda = \frac{1}{t_{50}}$  求得。或按

$$\lambda \leq \frac{1}{f T_n A_L} \quad (15)$$

进行区间估计<sup>(4)</sup>。式中总试验时间或器件小

时数  $T_n = \sum_{i=1}^n n_i t_i$ , 其中  $n_i$  为  $t_i$  时尚工作的

IC 数; 系数  $f = \frac{2}{\chi^2_{1-\beta}(2c+2)}$  可根据不同置信度  $1-\beta$  下, 自由度为  $2c+2$  ( $c$  为失效 IC 数) 的  $\chi^2$  表或特制的附表查得; 置信度  $1-\beta$  通常取 60%, 有时也取 90%。

和其他统计分布相比, 指数分布的优点除简便外, 尚有对所估计的  $\lambda$  具有一定的安全系数。

(iii) 失效率预测: 若某个 IC 产品的室温或基本失效率  $\lambda$  已知, 便可按下式对实际使用条件下的  $\lambda_p$  单位为  $1/10^6$  小时进行预测<sup>[13]</sup>:

$$\lambda_p = \pi_L \pi_Q (C_1 \pi_T + C_2 \pi_E) / \pi_p, \quad (16)$$

式中  $\pi_L, \pi_Q, \pi_T, \pi_E, \pi_p$  分别为成熟度、质量、温度加速环境和管脚等修正因子(其中  $\pi_T = 0.1e^x$ , 由类似(10)式求得),  $C_1, C_2$  为 IC 复杂度因子, 最近又在(16)式基础上作了若干改进<sup>[19]</sup>。

(3) 筛选剔除畸形或早期失效, 进行 PDA 控制

由于设计工艺上的差错和波动, 一批 IC 产品中总有少量寿命相对较短的畸形或早期失效, 如不及及时发现和剔除, 将严重影响整机调试和可靠运行, 并增加成本和维修费用。高温(125℃以上)加电老炼, 或 1—2MV/cm 斜坡电压偏置以及温度循环等加速试验是发现并剔除这类早期失效的最有效方法, 尤其对  $\text{Na}^+$  沾污,  $\text{SiO}_2$  层针孔以及台阶微裂纹等引起的畸形失效更为有效<sup>[4,7,14,16]</sup>。筛选后为了快速考核某批 IC 产品质量或可靠性是否符合使用要求, 还可利用加速试验进行 PDA 控制<sup>[14]</sup>。批允许最大失效%即 PDA 一般控制在 5—10%。

此外加速试验还可用于快速检测遭受各种沾污的 IC 批, 不同设计、工艺的快速对比, 最高或极限使用条件的确定以及降额使用等。

#### 4. 设计和应用加速试验时应注意事项<sup>[4]</sup>

(1) 保证加速应力下发生与正常应力基本相同的失效机理, 避免引进新的反常失效。为此最高应力选择及其施加偏压或功耗条件等应慎重考虑。

(2) 加速试验后要作失效分析。

(3) 作为外推应用, 畸形或早期失效最好

能事先剔除。

(4) 今后加速试验应着重通过测试结构, 结合失效分析, 弄清楚各种加速应力和失效机理以及 IC 功能参数之间的对应关系。至于数据处理统计方法等则可能是次要的, 至少就目前而言, 因外推主要是在物理学基础上而不是统计学基础上进行的。另外若从控制、预防和消除失效角度出发, 则更应先弄清楚这种对应关系。

### 三、导致 IC 失效的主要失效模式和失效机理

有关失效分析的具体方法及程序可参见文献 [4—12], 下面仅粗略介绍表 2 中若干导致 IC 失效的主要失效模式和失效机理。

#### 1. 表面/钝化层引起的失效

$\text{Si}/\text{SiO}_2$  界面存在多种表面态和陷阱如图 6 所示。它们将改变 Si 表面势而导致 IC 参数不稳定乃至退化失效, 尤其受表面控制的 MOS IC 更为敏感。

##### (1) 可动离子迁移

$\text{SiO}_2$  中  $\text{Na}^+$  一类可动离子沾污一直是 IC, 尤其是双极型线性和 MOS IC 的严重问题之一。随着工艺改进, 其危害程度虽在下降, 不过稍有疏忽, 仍有可能导致沾污。因此必须经常保持监控, 这些可动离子在电场驱动下迁移至  $\text{Si}/\text{SiO}_2$  界面, 并感生出相反的电荷而使结退化,  $\beta$  下降(尤其小电流  $\beta$ ), 严重时发生反型或沟道漏电, 增加交叉  $\beta$ ; 对 MOS IC 更会引起  $V_T$  漂移及亚开启(N 沟), 且由于其横向运动而使  $\Delta V_{TN}$  基于  $\Delta V_{TP}$ 。另外  $\text{Na}^+$  也与 EPROM

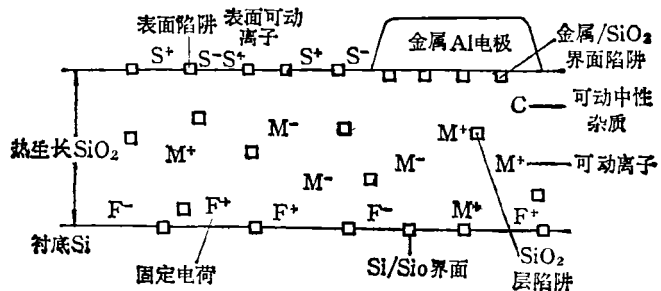


图 6  $\text{Si}/\text{SiO}_2$  界面上表面态及陷阱示意

表 2 不同 IC 器件中的主要失效模式和失效机理概要

失效机理		失效模式	双极型		MOS		
			TTL	ECL	NMOS	CMOS	CCD
表面/钝化层	可动离子迁移	反型或沟道漏电, 结退化, $V_T$ 等参数漂移	2	2	1	1	1
	慢俘获	$V_T$ 漂移等	4	4	3	2	1
	净负电荷	$V_{TF}$ 漂移等	4	4	3	2	1
	表面电荷扩展	表面漏电, 场反型等	3	3	2	2	2
	介质缺陷	击穿, 短路, 漏电	2	2	1	1	1
体内	晶体缺陷及其杂质缀饰	结退化, 管道漏电, 二次击穿, 可控硅效应及再生频率增加	2	2	2	2	1
	扩散、光刻等缺陷	低击穿, 管道漏电, 热点, 结特性异常等	2	2	2	2	2
	应变释放	芯片裂纹, 结退化, 漏电, 短路或高阻开路	3	3	3	3	3
金属化	电迁移	高阻, 开路, 或短路, 漏电	2	1	3	4	4
	台阶微裂	高阻, 开路	2	2	2	2	2
	电腐蚀	开路或短路("白毛"问题)	2	2	2	1	2
	Al-Si 互溶	c-b 结退化, 短路, 漏电或高阻	2	2	3	3	3
	Al-SiO <sub>2</sub> 反应	漏电, 短路	2	2	3	3	3
	Al 再结晶	高阻开路或短路, 漏电	3	2	3	4	4
键合	金属间化合物	高阻, 开路或时断时通	2	2	3	3	3
	工艺缺陷	高阻, 开路或短路	2	2	2	2	2
	热疲劳	高阻, 开路	2	2	3	4	3
封装	密封性或气氛欠佳(气密封)	表面漏电, 参数源移, 金属化腐蚀, 开路等	2	2	2	1	2
	热匹配性差(塑封)	芯片裂, 键合开路或时断时通	2	2	2	2	2
	应力腐蚀	管脚断裂开路	3	3	3	3	3
	外来异物	瞬间短路	2	2	2	2	2
外界	过电应力(包括电源脉冲跳动, 输入信号尖峰, 静电等)	击穿短路, 二次击穿, 可控硅局部熔化烧毁等	2	2	1	1	1
	机械振动冲击	开路或短路	3	3	3	3	3
	中子位移损伤	功能失效, 参数退化	1	2	3	3	3
	电离辐射损伤	功能失效, 参数退化, 可控硅或差位等软失效	3	3	1	2	1
	$\alpha$ 粒子	差位或干扰等软失效	4	4	1	2	1

\* 1, 2, 3, 4 系相对比较, 其中 1 为极重要, 2 为重要, 3 为一般, 4 为次要。

中电荷丢失以及下述同时间有关的 SiO<sub>2</sub> 介质击穿有牵连。

(2) 慢俘获及净负电荷

在足够高温及负偏置情况下将会引起正电荷输运跨越界面至 SiO<sub>2</sub>, 从而导致类似于 Na<sup>+</sup> 的负  $\Delta V_T$ 。故有时也称负偏不稳定性的这一

失效机理, 对(111)取向的 PMOS IC 更为敏感。例如在 250°C, 30 分钟条件下可使小于 1V 的  $V_T$  增至 3—4V。这有二种解释: (i) 界面陷阱俘获空穴(Si 中); (2) 形成多余的 Si<sup>+++</sup> (由弱的 Si—O 键断裂)。

同样 SiO<sub>2</sub> 中净负电荷主要对 PMOS 不利,

易引起场反型而增加漏电。二者均可借助于高温负偏筛选和监控。

### (3) 表面电荷扩展

SiO<sub>2</sub> 表面吸附的正负电荷，在偏压下可由金属电极向四周或沿钝化介质界面扩展。其影响一般并不导致  $\Delta V_T$ ，而是代之以  $\Delta V_{TF}$  (场区)，或通过二扩散区形成导电通道而使 p-n 结延伸。当有界面态存在时更能促进表面反型沟道的形成。电荷扩展速率随温度、湿度而加速。故当水气严重时将会导致二邻近金属导体之间的漏电、短路。

### (4) 介质击穿

介质击穿在 MOS IC 中尤为严重。通常可分为因过电应力引起的本征击穿和在额定运行条件下同时间有关的击穿二类。前者可借正确的操作程序和输入保护网路加以避免。后者同 SiO<sub>2</sub> 针孔一类缺陷或薄弱点以及 Na<sup>+</sup> 密切相关。因电场把金属/SiO<sub>2</sub> 界面上的 Na<sup>+</sup> 发射至 SiO<sub>2</sub>/Si 界面，并积聚在表面层错一类缺陷中心(图 7)，直至发生击穿。故即使比表面反型少多的 Na<sup>+</sup> 也能导致这种击穿。由于它要滞后一段时间才发生而较难被发现和剔除。研究表明，当有 Na<sup>+</sup> 存在时，激活能  $E_A$  很大，不然击穿仅受温度的微弱影响。但二者都强烈依赖于所加电场。故用包括斜坡偏置在内的电压加速，对发现、剔除乃至监控、验收同时间有关的这类介质击穿引起的短路失效极为有效。又最近发现 EPROM 中电荷丢失主要也与介质缺陷有关<sup>[6]</sup>。

## 2. 体内缺陷引起的失效

不合适的原始衬底及其加工，不良的扩散、光刻和 CVD 工艺以及粘片欠佳等，常导致晶体结构上的不均匀性，产生应力、晶格缺陷，形成不希望出现的寄生 p-n 结或扩散尖峰等<sup>[1]</sup>

### (1) 衬底缺陷

例如层错、位错，金属杂质，C，O<sub>2</sub> 及其沉淀物以及微缺陷等常常彼此相互作用，并通过形成 G-R 中心，影响杂质扩散截面而使 p-n 结退化、漏电，c-e 穿透， $\beta$  下降并随温度变化，产生热点和二次击穿，MOS 存储器信息丢失，再

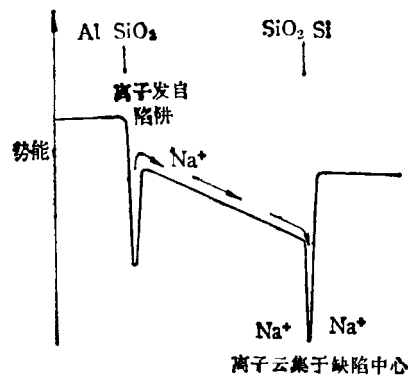


图 7 Na<sup>+</sup> 引起同时间有关的介质击穿(Na<sup>+</sup> 自金属/SiO<sub>2</sub> 界面陷阱发射至 SiO<sub>2</sub>/Si 界面，云集于陷阱中心，最后导致击穿)

生周期和功耗增加，以及 CCD 一类发光器件的质量下降等<sup>[12]</sup>。

### (2) 应变释放

应变释放包括芯片粘结欠佳，有气孔，钝化层与多晶各层之间热失配等，这会导致热点和应力而使芯片破裂，使结退化以及产生上面的布线开路或短路漏电等。

## 3. 金属化布线失效

迄今 Al 模仍是 Si IC 的主要接触金属和互连布线。其常见失效机理有以下几种。

### (1) 电迁移

电迁移是指高电流密度下导体中发生的一种质量迁徙。这是由于当 Al 膜通有电流时，受激 Al<sup>+++</sup> 将同时受到吸向阴极的库仑力和向着阳极即同电子流碰撞且同向的动量交换力，因后者大于前者而在电子流方向有 Al<sup>+++</sup> 的堆积，形成小丘或针须，逆电子流方向上则形成空隙。这样，前者就会导致短路，后者易引起高阻、开路。

Al 膜因电迁移而失效的平均寿命 MTF 或  $t_{50}$  一般可写为

$$t_{50} = \frac{A_T}{J^n D_0} \exp \frac{E_A}{kT}, \quad (17)$$

式中  $A$  为包括 Al 膜断面积在内的常数， $D_0$  为扩散系数， $J$  为电流密度 (A/cm<sup>2</sup>)， $n = 1$  (导热良好)或 2—3 (导热欠佳)， $E_A$  为激活能。实验表明，增加电流密度会增加温度及其梯度，从



而加速 Al 的电迁移。因此 ECL 等功耗较大的双极型 IC 对此较为敏感。另外,金属导体中显微结构上的不均匀性——空位浓度、晶界及其运动等对电迁徙的影响极为重要。由于 Al 中掺有少量的 Cu, Cu + Si 以及 Cr、Ti、Ta、Ni、Pt、W、稀土等对此有利而可大大提高 MTF 值。若能控制  $J \leq 2 \times 10^5 \text{A/cm}^2$ , 即可防止以上情况发生。但有时往往由于工艺控制不当,使 Al 膜变细变薄,尤其过台阶仍不可避免,此时可通过镜检(最好 SEM)、高温老炼和温度循环等筛选剔除之。

### (2) 过 SiO<sub>2</sub> 等台阶处的微裂纹

由于多晶硅栅、多层布线等造成 IC 表面很多台阶,故上面的布线极易开裂。如图 8 所示,

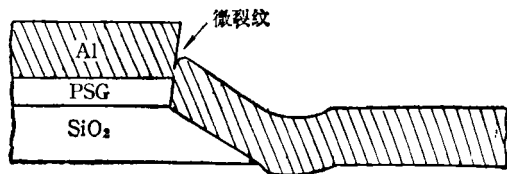


图 8 Al 膜过台阶处的微裂纹

因 PSG 腐蚀速率大于热生长 SiO<sub>2</sub> 的速率,从而形成很陡甚至负的台阶。应通过 PSG 再流,改进蒸发、光刻等加以避免。

### (3) Al 膜腐蚀

因 Al 膜腐蚀而造成的开路失效在 CMOS 一类低功耗 IC 中尤为严重。其起因除清洗不良等因素外,主要和气密封装内的水气或外界水气因漏气或沿塑封管脚内渗有关,因当水气冷凝时便会同芯片上残留的任何盐类沾污物发生水解而加速白色絮状物 Al(OH)<sub>3</sub> 的产生。另外,Al 膜和键合金丝或铝丝与管座引脚上的镀金层所构成的异质金属偶,当有水气存在时将由于原电池作用而同样会生成 Al(OH)<sub>3</sub>。通常所说的电极上长“白毛”就可能同此有关。此外,Cl<sup>-</sup> 和钝化层中剩余磷以及电场更会加速上述 Al 的腐蚀。为此必须保持封装和芯片清洁、干燥,尽量降低水汽含量 (< 1000ppm),对要求极高可靠的 IC 应改用 Ti-pt-Au 系统。

### (4) Al 与 Si 或 SiO<sub>2</sub> 作用

因 Si 在 Al 中有一定的溶解度, Si 向 Al 膜

不均匀地扩散溶解,尤其在引孔边缘处更为严重,所留下的空位被 Al 渗入填满,形成蚀坑,从而导致 e-b 退化,接触短路漏电(负极)或高阻(正极伴随有 Si 析出物)。浅结 IC 对此尤为敏感。

另外当温度足够高时,Al 膜还会同引孔边缘处的 SiO<sub>2</sub> 或 PSG 反应,并穿过它(横向或纵向均有可能)造成极间或层间短路、漏电,因栅 SiO<sub>2</sub> 或 PSG 被减薄而使低场击穿几率增加。同时由于上述二种机理使 Al 膜失去过多,以致其上面留下的孔隙相互连成一片,这还会导致高阻、开路。

### (5) Al 膜再结晶

Al 膜的膨胀系数和 SiO<sub>2</sub>、多晶的不同,故当温度变化时,Al 膜将因多次受压、拉伸而使 Al 原子扩散、蠕变或塑性变形,最后导致表面粗糙、发皱,出现晶须或小丘,并伴随有电阻增大,极间或层间短路以及表面钝化层开裂等失效。

## 4. 键合失效

键合是 IC 芯片通过管脚同外界连接的唯一途径。为此要求其电学、力学和冶金学方面的完美无缺和长期稳定,否则易引起高阻、开路或时断时通。例如,工艺欠佳的键合往往导致虚焊高阻、开路以及短路、漏电。又 Au-Al 键合系统在  $\geq 200^\circ\text{C}$  时易生成“紫斑”一类金属间化合物和肯氏孔图 9 而导致高阻或时断时

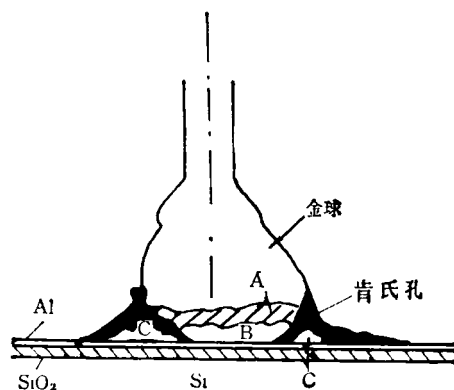


图 9 Au-Al 球焊中的“紫斑”(金属间化合物)及肯氏孔示意  
A. Au<sub>3</sub>Al B. Au<sub>2</sub>Al<sub>3</sub> C. AuAl

通;同样塑封及有内涂料的 IC, 也会因热胀冷缩而发生类似的时断时通现象。对此需用较低电压(如 1—2V)进行阈值试验,或大电流(e-b 结)冲击以及高温短时烘烤<sup>[7]</sup>, 结合离心加速、拉力试验或结合电阻变化  $\Delta R_0$  进行监测。此外对功耗较大的开关 IC, 还可能因键合接触或丝的热疲劳而导致高阻或开路。

### 5. 封装失效

对气密封装主要因漏气以及内部残留气氛控制欠佳所造成的性能退化、表面漏电以及上述 Al 膜因水气而被腐蚀引起的开路, 宜用低温(-20—+20℃)低功耗偏置进行监测。对高可靠 IC 甚至要用作进 IC 芯片的灵敏传感器监测。

对塑封 IC (包括内涂料), 除了塑料或内涂料本身所含杂质离子固化不够以及沿管脚或塑料本身渗进水气等造成上述气密封的失效外, 还往往由于热匹配性差引起键合开路或时断时通。对前者可用 85℃、85% RH 加电老炼或 121℃ 饱和蒸气下进行加速监测<sup>[6]</sup>, 尤其是在增加温度及相对湿度时更为有效<sup>[8]</sup>

此外芯片和管座间粘结欠佳, 有气孔时会造成应力和高阻和低热导, 易引起芯片裂纹局部热点和二次击穿等。又管脚柯伐片有时还因应力腐蚀或氢脆而造成开路, 而差的过薄的表面镀层或不良的清洁处理, 不仅易被锈蚀, 而且影响锡焊质量造成虚焊。即使包装用纸或塑料匣子也会引起失效, 例如漂白包装纸时残留的  $Cl^-$  就易引起管脚锈蚀, 而塑料中积累的静电往往导致 IC 击穿, 尤以 MOS IC 为甚。

### 6. 外界

#### (1) 过电应力<sup>[17]</sup>

系指因使用或线路设计不当, 尤其静电放电 (ESD) 时产生的瞬间脉冲、浪涌而导致金属化之间闪烁短路、表面热击穿或栅穿、局部熔化烧毁以及二次击穿、可控硅效应等。特别是静电放电更为严重, 美国每年因此而造成的损失据说高达 1500 亿美元以上。ESD 的主要来源是: (i) 带电的人体; (ii) 器件本身作为电容器的一极可存贮电荷; (iii) 其它任何带电物的感应电势。所有 IC 器件均对 ESD 损伤敏感, 只是

程度不同而已, 而以 MOS IC 最为明显。避免 ESD 损伤的基本措施是: (i) 测试、处理 IC 的任何人和仪器包括烙铁必须良好接地(用特制金属带); (ii) 在运输、贮存、组装使用时必须选择材料、合理的屏蔽和接地可以保证无静电环境; (iii) 线路设计上考虑加接适当的防护网路。

#### (2) 辐射损伤

辐射损伤包括位移和电离效应以及瞬时光电流引起的永久性和瞬时失效。例如, 载流子去除和  $\beta$  下降,  $V_{cc}$  和漏电增加,  $V_T$  漂移,  $g_m$  下降, 开关失调, 延时、功耗及噪声增加, 以及可控硅、位差错、软失效等, 详见文献 [12, 18]。

#### (3) 机械振动、冲击

运输和使用过程中的振动、冲击会导致开路。如有电导微粒, 有时还会引起瞬时短路。但其影响远不如以上二者。

## 四、LSI, VLSI 的可靠性问题

LSI, VLSI 是由 SSI, MSI 逐渐演变过来, 故其主要失效模式和机理应基本相似。然而由于 LSI 特别是 VLSI, VHSIC 的线条更细, 集成度更高, 又采用不少新的电路结构和工艺, 因此必然会引起另外一些额外的失效模式和机理; 或者虽说相同, 但其影响的程度不一样, 有些变得更为敏感和严重。就单个封装而言, VLSI 的失效率肯定要高些; 但如按功能即以单门或位来计算, 则前者大大低于后者。总的系统失效率将随 IC 集成度增加而明显改善。这显然是由于 VLSI 的每门引脚数大大下降所致, 因同引脚有关的失效——键合和 I/O (过电应力) 失效加起来往往可达 50%。当然整个系统可靠性的提高, 不能光靠增加集成度获得, 还需考虑诸如容错, 冗余技术等先进设计。下面简要介绍为 LSI, VLSI 所特有的若干附加的可靠性问题。

### 1. 缩小线宽引起的失效

目前国际上一般 LSI 的线宽为 4—6 $\mu m$ , 作为 VLSI 的入门产品——64K RAM 约 2—

3 $\mu\text{m}$ , 256K 更降至 1.5—2.0 $\mu\text{m}$ . 未来 1M 和 4M 将  $\leq 1\mu\text{m}$ , 其集成度将由现在的  $\leq 10^5$ /芯片增为  $\geq 10^6$ /芯片. 根据按比例缩小原则, 随着线宽缩小, 相应的结深, 氧化层厚度, 衬底电阻率以及电源电压等必须跟着缩小, 但实际并不完全如此.

例如电源电压由于系统设计等种种原因, 至今仍保持为 5V, 结果导致因场强增加引起的一系列可靠性问题. 如薄栅(200—300 Å)更易被击穿(虽其本征击穿值增加)以及热电子注入等. 因线宽和间距的缩小, 电流密度增加, 一些寄生晶体管和可控硅效应将更加严重, Al 膜也更易受电迁移腐蚀(其发生几率与线宽立方成反比)以及外来微粒所引起的开路、高阻或短路的影响. 又  $X_1 \leq 0.3\mu\text{m}$  的浅结, 将使 Al-Si 互溶更为突出, 对衬底中微缺陷造成的漏电失效也将更为敏感<sup>[15]</sup>, 并带来诸如  $\alpha$  粒子引起的软失效以及同功耗增加, 测试和筛选不全有关的潜在可靠性问题.

## 2. 多层布线中的失效

和多层布线有关的失效为通过或沿着介质的层间漏电、短路和跨越台阶或通道处的高阻、开路<sup>[4]</sup>. 为防止后者发生, 减少台阶坡度, 合理控制各层厚度极为重要. 另外, 在第二层布线沉积之前, 通道处第一层布线的任何氧化或沾污, 将由于有效面积减少和阻值增加, 最后导致热点和电迁移而失效, 并随线宽缩小、速度和功耗密度增加而加重.

为了降低串联电阻, 提高速度, 未来 VLSI 多数采用 Ta, Ti, W 一类硅化物接触和互连布线. 但这些金属可能渗进栅  $\text{SiO}_2$ , 使其结构均匀性退化而最后导致击穿失效; 又为降低其电阻和可动电荷, 改善表面稳定性而在含  $\text{H}_2$  形成气中退火时渗进  $\text{SiO}_2$  的  $\text{H}_2$ , 将使部分 Si—O 键分解而同样会恶化其击穿特性. 为此, 可采用薄栅氮化来改善.

## 3. 电荷积累效应

物理

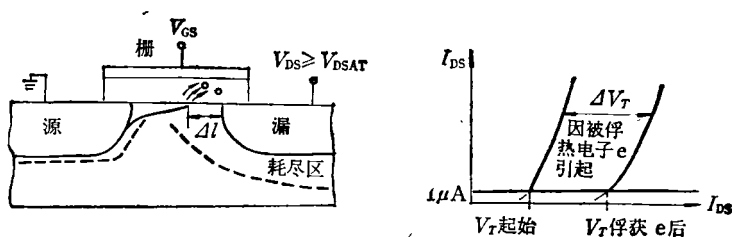


图 10 热电子注入引起  $V_T$  漂移示意

(a) 饱和 NMOS 管中的热电子注入;

(b) 注入热电子被  $\text{SiO}_2$  陷阱俘获后对  $V_T$  影响

### (1) 热电子注入

如上述, 由于缩小器件中场强增加, NMOS 漏端电子可获得足够大的能量而发生碰撞电离, 使某些电子进一步加速以致有可能越过  $\text{SiO}_2/\text{Si}$  势垒注入栅  $\text{SiO}_2$ , 被那里的陷阱所俘获而导致正的  $\Delta V_T$  (见图 10), 并伴随有较大的衬底电流. 对此可在栅上加负偏并进行低温 ( $-10$ — $-20^\circ\text{C}$ ) 加速试验来监测. 不过实验表明, 当栅长  $\geq 1\mu\text{m}$  时, 热电子注入引起的  $\Delta V_T$  还并不十分严重, 但要考虑因工艺失控使个别栅长  $< 1\mu\text{m}$  时可能引起的潜在可靠性问题. 另外加  $\text{Cl}_2$  氧化似不适于 VLSI, 因其 Si—O 键较弱, 浅电子陷阱较多而使热电子注入效应明显.

### (2) 等离子腐蚀

VLSI 的微细加工广泛采用等离子、反应离子一类干法工艺. 此时薄栅  $\text{SiO}_2$  将成为等离子环境中少数带电离子的收集极而起作用. 一旦所收集电荷构成的电势超过该薄栅介质所能承受的最大场强时即被击穿损坏, 且这样的击穿在类似的等离子辅助工艺过程中均会发生.

### (3) 电子束、离子束曝光和沉积

它们犹如一般的电离辐射, 会使栅  $\text{SiO}_2$  损伤产生净的正电荷积累而导致负的  $\Delta V_T$ , 如不及时退火消除也会引起可靠性问题发生. 另外包括上述等离子刻蚀在内的这一类干法工艺所产生的辐射, 还会增加  $\text{SiO}_2$  陷阱密度从而而造成  $\Delta V_T$  漂移的危害.

### (4) $\alpha$ 粒子引起的软失效

$\alpha$  粒子引起的软失效对 16K DRAM 即可发生<sup>[16]</sup>. 这是由于陶瓷封装材料中 U, Th 一类

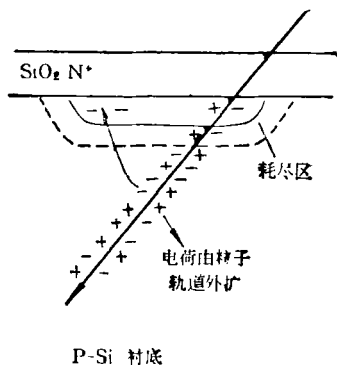


图 11  $\alpha$  粒子引起软失效示意

电子被  $N^+$  节点收集, 导致原先空的势阱填满和  
 存储信息因由“1” $\rightarrow$ “0”而丢失

少量放射性元素所发射的  $\alpha$  粒子(4—9MeV)穿过半导体时感生的电子-空穴对, 被 p-n 结电场分离、收集, 最后导致相应的  $N^+$  节点上电位改变而发生瞬时错位或扰动(图 11)。和存储单元相比, 字线和读放更为敏感。其原因可能是由于前者的临界电荷  $Q_c$  (发生错位或扰动的最少电荷量) 较大, 后者的收集效率较高。对 SRAM, 由于作为负载的晶体管能吸收一部分收集电荷而相对较不敏感。但用多晶作负载的例外。为了减少和防止这种失效, 可在表面涂敷一层较厚的聚酰亚胺以及选用低  $\alpha$  辐射材料和合适的电路设计。但随着线宽缩小和集成度的增加, 电路电容和读出电位进一步降低, 因而对上述  $\alpha$  粒子引起的软失效愈益敏感。即使  $\mu p$  和静态逻辑电路也将受其影响。同时诸如衬底 Si 及金属布线中的痕量放射性元素, 介子(重电子)、 $\beta$  粒子以及康普顿电子等也将会引起类似的失效。对空间应用的 IC, 更由于宇宙射线中高能带电粒子, 尤其是高 Z 离子的作用, 类似的软失效将更为严重。故研究其解决办法, 无疑对未来 VLSI 和 VHSIC 的发展及其空间应用将具有重要意义。

#### 4. 测试筛选不全引起的失效

对具有 20 个输入端和 80 个存储元件的随机 LSI, 总共可有  $2^{100}$  不同组合功能。要全部测全几乎是不可能的。这也是未来 VLSI 的严重问题之一。只要 VLSI 测试还留有百分之几的

功能失效未被发现, 就可构成系统的潜在可靠性问题。

同样, 由于无法把筛选应力或手段施加到 LSI 和 VLSI 芯片的每个元件上, 而使一些早期失效作为隐患留下, 其中也包括一些无法检测的临界漂移参数一类薄弱点。

#### 5. 对系统工程师和可靠性物理学家的挑战

IC 的现场失效表明, 约有一半属于过电应力造成。随着线宽的进一步缩小和集成度的增加, 加上电源和信号电位的相应下降, 未来 VLSI 对这种过电应力以及诸如噪声、静电一类干扰将更为敏感, 且更加难以检测和避免, 从而对防噪声和防静电以及对包括电源在内的设备操作运行规范将提出更严的要求。

另一方面, VLSI 的失效机理将更为复杂和难以辨认, 因它们并不总是可以从逻辑电平上得以了解, 另外是由于诸机理和原因之间的相互影响。例如有时几种原因引起同一效应, 而某一单个原因却又同时可能产生若干个不同的效应等等。所有这些都向系统工程师和可靠性物理学家提出了更大的挑战, 也是缩小尺寸、提高集成度所应付出的代价。

IC 可靠性必须设计并作进产品, 这对于作为系统或亚系统集成的未来 VLSI, VHSIC 而言尤需如此。对此应通过对特殊设计的测试结构进行加速试验和失效分析, 弄清其主要失效机理和应力、时间的关系, 然后据此提出为控制和消除这一失效机理的可靠性模型和基本规则, 作为 IC 芯片设计规则和工程设计系统的一部分进行设计, 并在工艺制造中加以监控, 验收。

最后由图 12 可知, 构成 IC 诸材料的行为是 IC 技术与可靠性技术之间的链条; 详细规格说明是可靠性技术与信息世界之间的链条; 而失效机理则作为可靠性物理学的焦点而起作用。来自(1)式的失效机理方程, 其积分极限从时间零至失效前即寿命  $t_F$ 。前者包含起始信息或材料, 功能参数的原始值, 并由 IC 技术方面通过可变参量和设计、制造诸因素加以确立; 后者

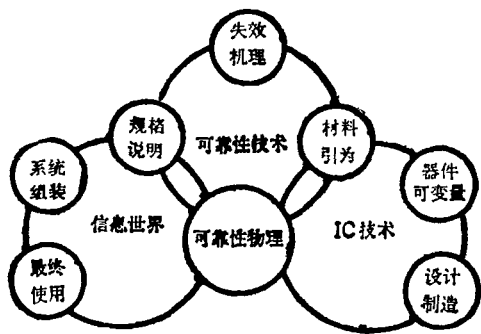


图 12 可靠性物理与 IC 技术、信息世界及可靠性技术之间的关系

是在信息世界方面由详细规格说明和使用环境条件等因素确定的。此时失效机理对可靠性的影响可由上述积分极限加以估计。

### 参 考 文 献

[1] 许康, IC 失效机理与可靠性, 中国电子学会电子产品可靠性与质量管理学会办公室出版, (1985), 11.  
 [2] 许康, 国外电子技术, No. 8(1980), 1.  
 [3] J. Vaccaro, Proc. An. Symp. Reliab., (1970), 348; T. J. Nowak, ibid, (1968), 191.  
 [4] 中国科学院上海冶金研究所, 集成电路可靠性, 上海科学技术情报研究所出版, (1972), 23.  
 [5] A. Berman, 19th An. Proc. Reliab. Phys., (1981),

23, 28, 204.  
 [6] D. Epstein, *Solid State Technol.*, 25-11 (1982), 116.  
 [7] D. S. Peck, C. H. Zierdt Jr., *Proc. IEEE*, 62-2 (1974), 1859.  
 [8] P. B. Ghate, ref. [5], 48, 173, 218, 250; (1983), 66, 73, 112.  
 [9] N. D. Stojadinovic, *Microelectro. and Reliab.*, 23 (1983), 609, 709.  
 [10] H. J. Howes, D. V. Morgan, *Reliab. and Degradation*, John Wiley and Sons. Ltd, (1981), 196.  
 [11] D. G. Edwards, *Trans. IEEE Reliab.*, R-31 (1982), 9.  
 [12] 许康, 可靠性与环境试验, No. 1 (1976), 27.  
 [13] Mil-HDBK-27 (C), 原四机部标准化所编译出版, (1982), 9.  
 [14] 许康, 可靠性筛选, 可靠性物理讲座, 上海电子学会出版(1980).  
 [15] 许康, 半导体杂志, No. 4(1983), 12; No.5(1983), 21.  
 [16] C. H. Ziert Jr., 16th An. Proc. Reliab. Phys., (1978), 33, 76.  
 [17] J. S. Smith, ref. [5], 193; ref. [16], 23.  
 [18] 许康, 电子技术, No.9(1984), 2.  
 [19] S. Palo, *Microelectro. and Reliab.*, 23 (1983), 283.

(上接第522页)

(1982), 7544.  
 [12] 熊诗杰, 物理学报, 待发表.  
 [13] 熊诗杰, 南京大学学报, 21(1985), 37.  
 [14] 刘楣, 蔡建华, 物理学报, 31(1982), 1030.  
 [15] 孙和璧, 蔡建华, 科学通报, 9(1982), 530.  
 [16] S. J. Xiong (熊诗杰), H. B. Sun (孙和璧) and C. H. Tsai (蔡建华), *J. Low Temp. Phys.*, 49(1982), 177.  
 [17] 熊诗杰, 低温物理 7(1985), 19.  
 [18] W. E. Pickett, *J. Phys. F*, 12(1982), 2195.  
 [19] 熊诗杰, 蔡建华, 物理学报, 32(1983), 1073.  
 [20] 熊诗杰, 蔡建华, 物理学报, 33(1984), 447.  
 [21] L. R. Testardi et al., *J. Appl. Phys.*, 52(1981), 510.  
 [22] T. R. Werner et al., *Phys. Rev. B*, 26(1982), 2224.  
 [23] 熊诗杰, 蔡建华, 物理学报, 33(1984), 352.  
 [24] 杨瑞青, 熊诗杰, 蔡建华, 物理学报, 33(1984), 1058.  
 [25] 杨瑞青, 熊诗杰, 蔡建华, 物理学报, 待发表.  
 [26] D. Baral and J. E. Hilliard, *Appl. Phys. Lett.*, 41(1982), 156.  
 [27] 蔡学渝, 尹道乐, 物理学报, 30(1981), 700; 32(1983), 681.  
 [28] R. E. Camlay et al., *Phys. Rev. B*, 27(1983), 261; P. Grunberg and K. Mika, *Phys. Rev. B*, 27(1983), 2955.  
 [29] 马红燕, 蔡建华, 物理学报, 33(1984), 444.  
 [30] 薛登平, 卢德馨, 蔡建华, 待发表.

## 敬 告 读 者

本期中有关《集成电路中的物理问题》专题的文章有许康写的《集成电路 (IC) 可靠性物理问题》和陆德仁写的《硅-二氧化硅系统中的电荷和界面陷阱》二文。