

# 集成电路中的物理问题讲座

## 第六讲 硅-二氧化硅系统中的电荷和界面陷阱

陆 德 仁

(中国科学院上海冶金研究所)

包括大规模集成电路在内的现代半导体器件,绝大部分是用硅平面工艺制造的。在抛光的硅片上进行热氧化、光刻窗口、热扩散、蒸金属膜等操作之后,器件的芯片就制成了。平面工艺少不了硅表面的一层  $\text{SiO}_2$  膜,该膜不仅在器件制造过程中作为杂质选择扩散的掩膜,在器件制成后也作为金属布线的支撑物和绝缘物,因此这些器件都包含  $\text{Si-SiO}_2$  系统。在 MOS 器件中,还有较薄的优质  $\text{SiO}_2$  作栅极的介质,它是决定该类器件功能的关键组成部分。在硅表面上制备热氧化层比较方便,与其它介质相比, $\text{SiO}_2$  与  $\text{Si}$  的衔接最好,至今还没有一种介质可代替热生长  $\text{SiO}_2$  直接与硅匹配。六十年代以来,许多学者对  $\text{Si-SiO}_2$  结构进行了大量的研究工作,近几年又召开了多次国际性专题会议<sup>[1,2]</sup>进行讨论,国内也出版了有关专著<sup>[3]</sup>。

$\text{Si-SiO}_2$  结构应用于硅器件,虽然给制造工艺和器件性能带来了业已见到的巨大飞跃,但是由于经常发生的制备工艺不完善和一些本征的原因,在器件的  $\text{Si-SiO}_2$  结构中引进附加的电荷和陷阱,使其作用受到限制。当  $\text{Si-SiO}_2$  结构中存在过量的电荷和陷阱时,器件的性能就变得低劣,可靠性差,甚至根本不能使用。研究  $\text{Si-SiO}_2$  结构的表面和界面的原子结构、能态、杂质和缺陷以及它们对器件参数的影响,研究测量它们的技术,这些都是  $\text{Si-SiO}_2$  界面物理的研究课题。

绝大多数半导体器件是利用其电性能进行工作的,工作时在各电极上施加适当的直流工作电压或信号,在器件内部造成适当的电场,载

流子在电场和本身浓度梯度等驱动力的作用下,按人们预期的方式运动,达到放大、寄存、读取或发生信号的目的。正如前述,现代器件是平面器件,载流子的运动空间主要在或全部在硅片的表面层内。如果在硅表层到器件外表面上存在过多的电中心——电荷和陷阱,就会产生不应有的电场和电荷交换,影响硅表层内载流子的密度和运动,往往还可使器件性能退化。这种影响在双极型器件中存在,在 MOS 器件中更明显,主要影响  $p-n$  结的反向漏电流和击穿特性。在三级管中影响电流放大系数。在 MOS 器件中,除影响  $p-n$  结外,还直接影响器件的阈值电压。研究  $\text{Si-SiO}_2$  中的电荷和陷阱的一个重要目的,就是在工艺上采取适当的措施把它们的有害影响减到最小。

$\text{Si-SiO}_2$  结构还有一些其它物理性能,如  $\text{SiO}_2$  的击穿强度、介电常数、折射系数、热膨胀对杂质的掩蔽特性等,这些性能不象电荷和陷阱那样对制备工艺敏感和对器件性能的影响大。本文着重介绍  $\text{Si-SiO}_2$  结构中电荷和陷阱的特性、测量技术和工艺上控制电荷和陷阱的方法。

### 一、 $\text{Si-SiO}_2$ 系统中的电荷和陷阱

图 1 给出  $\text{Si-SiO}_2$  (MOS) 结构中的四种电荷和陷阱,下面分别加以说明。

#### 1. 可动离子电荷 $Q_m$

可动离子电荷包括碱金属离子和  $\text{H}^+$ ,带一个正电荷,能在  $\text{SiO}_2$  中沿电场方向漂移,不同的

离子迁移率不同,可动离子中最主要的是  $\text{Na}^+$ , 有时就以它作为代表. 钠在自然界分布广, 器件制造过程所接触的器材中钠的含量虽很少, 但对于器件来说, 少量的  $\text{Na}^+$  就是有害的了. 比如,  $\text{SiO}_2$  中  $\text{Na}^+$  密度大于  $5 \times 10^{11} \text{ions/cm}^2$  时, 就应该认为此  $\text{SiO}_2$  很脏了. 若这些  $\text{Na}^+$  分布于  $5000\text{\AA}$  厚的  $\text{SiO}_2$  中, 则其占的重量百分数仅为  $1.7 \times 10^{-5}\%$ , 即 0.17ppm.

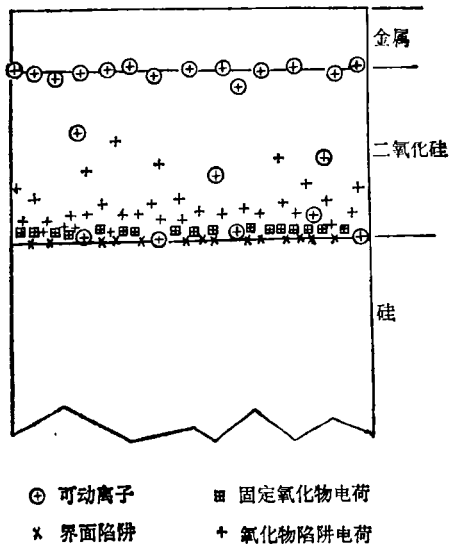


图1 MOS 结构中的电荷和陷阱

用放射性示踪原子, 红外光谱等技术发现  $\text{SiO}_2$  中确实存在 H, 其平均浓度为  $10^{17-18} \text{atoms/cm}^3$ , 绝大部分 H 在电学上没有活性<sup>[4]</sup>. 从室温到热氧化温度,  $\text{SiO}_2$  受到水气的沾污都可能使 H 进入  $\text{SiO}_2$ . 近年来, 已把 MOS 结构中  $\text{H}^+$  有关的可动成分从碱金属为主的离子中分离出来进行观察, 证明  $\text{H}^+$  在室温以下就能在  $\text{SiO}_2$  中漂移, 激活能比  $\text{Na}^+$  低, 正反方向的运动基本对称<sup>[3,5]</sup>.

往往认为可动离子在  $\text{SiO}_2$  中是均匀分布的, 实际不然. 离子的沾污常发生在  $\text{SiO}_2$  的外表面. 在 MOS 结构的两个界面处存在较深的离子陷阱, 这就使可动离子主要分布在金属-二氧化硅 (M-O) 界面和硅-二氧化硅 (S-O) 界面上. 图 2 给出  $\text{Na}^+$  在铝电极 MOS 结构中所处的离子势阱图. 在适当的温度下, 电场可使离子从一个界面激发出来漂向另一界面<sup>[6]</sup>. 离

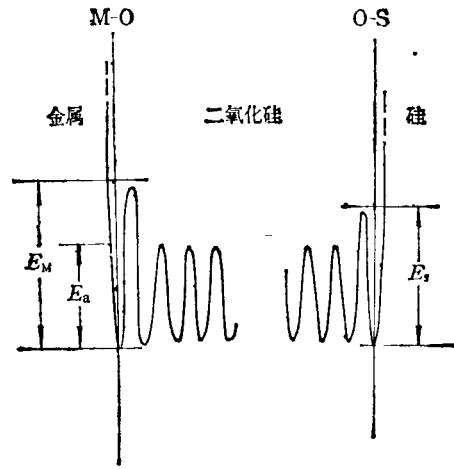


图2 MOS 结构中可动离子势场示意图  
子在  $\text{SiO}_2$  中的迁移率与温度的关系为<sup>[7]</sup>

$$\mu = \mu_0 \exp(-E_a/kT), \quad (1)$$

式中  $\mu_0$  为温度无限高时的迁移率,  $E_a$  为漂移激活能,  $k$  为玻耳兹曼常数,  $T$  为绝对温度.  $\text{H}^+$  在室温以下就能在  $\text{SiO}_2$  中漂移,  $\text{Na}^+$  在室温下能运动, 但迁移率很小,  $\text{K}^+$  则很难运动.

## 2. 固定氧化物电荷 $Q_f$

在最清洁的无离子沾污的  $\text{SiO}_2$  中, 仍然发现有正电荷处于近硅表面几十埃到二百埃的  $\text{SiO}_2$  中. 这些正电荷在通常的温度和偏压处理后不发生变化, 只与晶向和高温制备工艺有关, 这就是固定氧化物电荷. 它与硅的渗杂种类和浓度无关, 与氧化层厚度无关, 在相同的制备条件下, 依(111), (110), (100)次序递减. 工艺上主要通过高温热处理加以控制, 在干氮或惰性气体中退火减少固定电荷, 与高温处理的关系

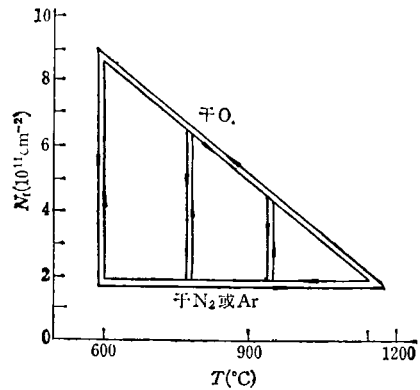


图3 硅的氧化三角形

可以用图 3 所示的著名“氧化三角形”表示。HCl 氧化工艺也能降低固定电荷。这将在后面介绍。

固定氧化物电荷的物理模型至今还没有统一和完善,多数情况下用过剩硅离子模型可以解释实验结果。硅的热氧化是氧原子通过已经形成的 SiO<sub>2</sub> 扩散到硅表面与硅化合形成新的 SiO<sub>2</sub>。很容易想到,在近硅表面的 SiO<sub>2</sub> 中,由于扩散造成的氧分布,是氧不足、硅过剩,过剩硅电离带正电就是固定电荷。

### 3. 界面陷阱 $D_{it}$

位于 Si-SiO<sub>2</sub> 界面,能量处于硅禁带内的电子态称界面陷阱,过去称表面态或界面态。界面陷阱在禁带中的分布是非均匀的,带边密,带中央稀。常用  $D_{it}$  表示界面陷阱密度,  $D_{it}$  常呈 U 字状。常以带中央的值作为界面陷阱多少的一个参数。当半导体表面的电势改变时,界面陷阱的能量位置相对于统一的费米能级发生位移,陷阱中的电子填充情况会发生变化,电荷随之变化,电势的变化造成电荷的变化,这就是界面陷阱的电容效应。

界面陷阱的起因至今没有定论,迪尔模型用得最多。在 Si-SiO<sub>2</sub> 界面及邻近几十埃的 SiO<sub>2</sub> 中有部分硅没有氧化,形成不饱和硅键,在界面处可以与硅交换电荷,就是界面陷阱,在离硅远处的过渡区,不能与硅交换电荷,则形成固定电荷。这与前面过剩硅模型是一致的。处于界面的外来杂质也可能形成界面陷阱,使  $D_{it}(E)$  在某能量处出现一个峰。

### 4. 氧化物陷阱

氧化物陷阱可以分成辐射电离陷阱和慢界面陷阱。在 SiO<sub>2</sub> 网络中存在的结构缺陷和杂质都可以成为陷阱,通常不带电。当 MOS 结构栅上为正偏压时受到射线(如电子束、X 光、 $\gamma$  射线等)照射,就会在近硅表面造成正电荷的积累。射线照射既能增加 SiO<sub>2</sub> 的陷阱,同时在陷阱处产生电子-空穴对, SiO<sub>2</sub> 中电子迁移率比空穴的大许多,电子被正极吸收,空穴在 SiO<sub>2</sub> 内又被俘获,在近硅表面形成正的电荷载,远离硅表面的 SiO<sub>2</sub> 中,空穴最终要与电子复合掉。慢界

面陷阱的本质至今不清楚,位置在近硅表面的 SiO<sub>2</sub> 中,能量在硅的禁带中间,可以与硅表面交换电荷,时间常数非常大。

除了上述四种电荷和陷阱,在二氧化硅表面有时还有离子沾污,它们在金属布线的电场作用下沿表面移动,这也会明显影响器件性能。不过这种离子沾污经过认真清洗,在干燥的环境中封装就可以克服。

## 二、MOS 结构中界面电荷和陷阱的测量

界面电荷主要影响硅的表面势,界面陷阱还能与硅表面交换电荷。为要用  $C-V$  方法对它们进行测量,就要知道没有电荷、陷阱和没有金属-半导体接触电势差的理想 MOS 结构的电容-电压( $C-V$ )特性。下面扼要介绍一些概念和公式。

半导体表面相对于半导体体内(足够深处)的电势差用  $V_s$  表示,称作表面势。半导体表层内单位面积的电荷用  $Q_s$  表示,此电荷层充放电的能力就是半导体表面空间电荷电容  $C_s$ 。  $Q_s$  和  $C_s$  的计算公式为

$$Q_s = \mp \frac{\epsilon_s k T}{q L_D} F(u_s, u_B), \quad (2)$$

$$C_s = \frac{\epsilon_s}{L_D} \cdot \frac{(-e^{-u_s} + 1) + e^{-2u_B}(e^{u_s} - 1)}{F(u_s, u_B)}, \quad (3)$$

$$F(u_s, u_B) = \sqrt{2} [(e^{-u_s} + u_s - 1) + e^{-2u_B}(e^{u_s} - u_s - 1)]^{1/2}, \quad (4)$$

式中  $\epsilon_s$  为硅的介电常数,  $L_D = \sqrt{\frac{\epsilon_s k T}{q^2 p_{p0}}}$  为以 P 型衬底为例的德拜长度,  $u_s = \frac{qV_s}{kT}$ ,

$$u_B = \frac{E_F - E_i}{kT},$$

其它各符号均按习惯定义。图 4 为 MOS 结构的能带图、等效电路图和  $C-V$  曲线图。由图 4(d) 可得

$$C(V_G) = \frac{C_{ox}}{1 + C_{ox}/C_s(V_s)}, \quad (5)$$

式中

$$V_s = V_G - V_{ox} = V_G + Q_s \frac{d_{ox}}{\epsilon_{ox}}$$

当在 MOS 结构上施加的小交流信号的频率足够高时, 半导体表面的少数载流子完全跟不上交流信号,  $C-V$  曲线就呈高频特性, 反型区电容值达最小值, 电容不随反型偏压而变, 其值为

$$C_{min} = C_{ox} / \left\{ 1 + \frac{\epsilon_{ox}}{\epsilon_s} \cdot \left[ \frac{4\epsilon_s kT}{q^2 N_A} \ln \left( \frac{N_A}{n_i} \right) \right]^{1/2} / d_{ox} \right\}. \quad (6)$$

实际 MOS 结构中存在电荷和陷阱, 还有金属-半导体接触电势差<sup>[8]</sup>, 它们都使实际测到的  $C-V$  曲线不同于理想情形, 用适当的方法和数学处理可以从实际  $C-V$  曲线确定实际 MOS 结构中的各种电荷和陷阱。

### 1. 高频 $C-V$ 技术测量固定氧化物电荷 $Q_f$ 和可动离子电荷 $Q_m$

MOS 结构的  $C-V$  特性可以用高频  $C-V$  特性测试仪或高频电容电桥配以 X-Y 函数记录仪自动测绘下来, 测量比较方便、信息丰富又重要, 因此高频  $C-V$  技术常用于工艺监控。依据  $C-V$  曲线的走向可知硅衬底的导电型, 由  $C_{ox}$  可算出氧化层厚度, 由最小电容可得到硅表面的掺杂浓度, 这不必直接由(6)式计算。

MOS 结构中的电荷通常根据其平带电压  $V_{FB}$  确定。平带电压是在实际的 MOS 结构栅极上所加某一栅压, 它的大小使二氧化硅内所有正电荷发出的电力线终止于栅极不伸向硅电极, 并补偿金属和半导体的接触电势差, 使硅的表面势为零。硅和二氧化硅的能带呈平坦状。确定平带电压的方法很多, 较方便的方法是查图<sup>[9]</sup>, 根据  $d_{ox}$  和  $N_A$  ( $N_D$ ) 在图上可以找到归一化平带电容  $C_{FB}$ , 从而可在实验的  $C-V$  曲线上找到  $V_{FB}$ 。

按表 1 的顺序处理和测绘试样的  $C-V$  曲线, 如果经过第二步处理后  $V_{FB}$  在  $V_{FB}^0$  的右边, 表明  $SiO_2$  内本来就存在可动离子, 有了  $V_{FB}$  就可计算固定氧化物电荷密度:

$$N_f = -\frac{C_{ox}}{q} (V_{FB}^- - \varphi_{ms}), \quad (7)$$

物理

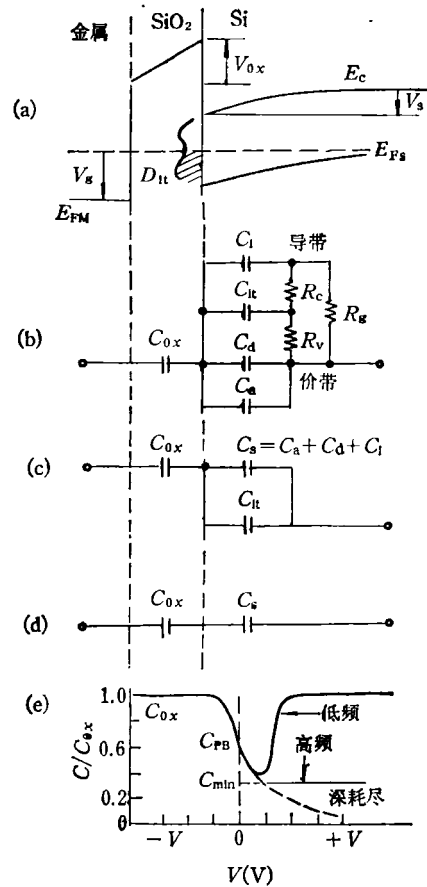


图 4 MOS 结构能带图、等效电路和  $C-V$  曲线  
(a) 包含界面陷阱的 MOS 结构能带示意图;  
(b) 包含界面陷阱的 MOS 结构等效电路;  
(c) 低频条件下, 简化(b)电路后的等效电路;  
(d) 高频条件下进一步简化后的等效电路(仅适用于堆积、耗尽和弱反型状态);  
(e) 高频和低频  $C-V$  曲线

表 1 BT 处理和平带电压

BT 处理条件	目的	平带电压
不处理	维持试样的原始状态	$V_{FB}^0$
电场: $-5 \times 10^5$ V/cm 温度时间: 300°C 10 分钟	将全部可动离子赶入 M-O 界面处	$V_{FB}^-$
电场: $5 \times 10^5$ V/cm 温度时间: 300°C 5 分钟	将全部可动离子赶回 S-O 界面处	$V_{FB}^+$

式中  $\varphi_{ms}$  为金属与半导体接触电势差, 可动离子电荷密度为

$$N_m = -\frac{C_{ox}}{q} (V_{FB}^+ - V_{FB}^-), \quad (8)$$

## 2. 准静态 C-V 技术确定界面陷阱密度 $D_{it}$

频率低到几个 Hz 才能测到低频 C-V 曲线,这在技术上很困难.用准静态技术就比较容易测到低频 C-V 曲线.在频率很低的情况下,界面陷阱的充放电就跟得上低频信号,因而界面陷阱电容  $C_{it}$  也被测进去了.频率极低时,容抗很大,图 4(b)中的三只电阻可以忽略,低频等效电路简化成图 4(c).据图 4(c)可以算出

$$\begin{aligned} D_{it}(V_s) &= \frac{C_{it}(V_s)}{q} \\ &= \frac{1}{q} \left[ \frac{C(V_G)}{1 - C(V_G)/C_{ox}} \right. \\ &\quad \left. - C_s(V_s) \right]. \end{aligned} \quad (9)$$

通过简单的计算,可从实验的 C-V 曲线得到如下关系:

$$V_s(V_G) = \int_{V_A}^{V_G} \left( 1 - \frac{C(V_G)}{C_{ox}} \right) dV_G + \Delta, \quad (10)$$

式中  $V_A$  为实验 C-V 曲线堆积区中的任一电压,  $\Delta$  为积分常数,  $\Delta$  可通过与理想  $V_s-V_G$  曲线对照确定.将实验的  $C(V_s)$  与理想的  $C(V_s)$  对照,也可确定,还有一些其它方法下面将提到.这样,对于任意  $V_s$ ,根据(3)式算出  $C_s$ ,由(10)找到对应的  $V_G$ ,因而找到实验的  $C(V_G)$ ,一起代入(9)式即得  $D_{it}(V_s)$ .

如果并不要知道  $D_{it}$  在整个禁带中的细节,用准静态 C-V 与高频 C-V 联合的方法最简便了.实际上这是最常用的方法.该方法不要理想  $C(V_s)$  和  $V_s(V_G)$  曲线.在高频时,界面陷阱不响应,不发生充放电,就有

$$C_{HF}^{-1} = C_{ox}^{-1} + C_i^{-1}.$$

另一方面  $C_{LF}^{-1} = C_{ox}^{-1} + (C_i + C_{it})^{-1}$ , 与前面的式子联合即得到

$$\begin{aligned} D_{it}(V_G) &= \frac{C_{ox}}{q} \left[ \frac{C_{LF}(V_G)}{1 - C_{LF}(V_G)} \right. \\ &\quad \left. - \frac{C_{HF}(V_G)}{1 - C_{HF}(V_G)} \right], \end{aligned} \quad (11)$$

式中  $C_{LF}(V_G)$  和  $C_{HF}(V_G)$  均是归一化的.此法只适合于堆积到弱反型区.

## 3. 测量可动离子电荷的其它方法——TVS 方法和 Q-t 方法

当 MOS 结构中沾污的离子很少或很多时,前面介绍的 C-V(BT) 方法就不适用了.三角电压扫描方法 (TVS) 和电荷积分方法 (Q-t) 可用于各种沾污水平的离子测量. TVS 方法测绘的是 I-V 曲线,使用的仪器设备、联接线路和施加的扫描电压几乎与准静态技术完全一样,差别仅在于前者的试样应加热在 350°C 以下某温度和增加一个返扫过程.由于试样温度高,电压经过零伏改变极性时,可动离子就会从一个界面漂向另一界面,在回路上的静电计就测到了叠加在位移电流上的离子电流.图 5 是两个典型的例子.计算  $N_m$  的公式为

$$N_m = \frac{1}{aqA} \int_{-V_0}^{V_0} [I_D(V_G) - \alpha C(V_G)] dV_G, \quad (12)$$

式中  $\alpha$  为扫描速率,  $A$  为电极面积,  $2V_0$  为电压扫描幅度.在温度很高时,  $C(V_G) \cong C_{ox}$ . 图 5 中的  $a$  曲线上有六个峰(谷),  $A, B$  谷是准静态 C-V 曲线,  $C, D$  是  $Na^+$  峰,  $E, F$  是  $K^+$  峰<sup>[10]</sup>.

Q-t 方法与 TVS 方法一样,具有灵敏度高又可测大剂量离子沾污的特点.将静电计置于积分状态工作,加在处于高温的试样上的偏压由一种极性突然变为另一种极性,离子电流就被积分. Q-t 方法与 C-V(BT) 方法一样具有测量的充分性.实际上, Q-t 方法就是在 BT 处理的同时用仪器把移动的离子电荷积分起来.

## 4. 热激离子电流方法 (TSIC) 测定可动离子界面陷阱能量分布<sup>[6]</sup>

界面离子陷阱能量分布有一个最大值,对应的能量称为最可几陷阱能量,以此作为该种离子在该界面的陷阱深度标志.比如  $Na^+$  在 Si-SiO<sub>2</sub> 界面的深度为 0.8eV 左右.测量时,在 MOS 结构上加适当极性的偏压,由低温缓慢地上升,一般采用线性上升的规范,即  $T = T_0 + \beta t$ ,  $\beta$  为升温速率.温度上升时,陷阱中的离子不断地激发出来,温度愈高,激发的陷阱愈深,最后可把最深的离子也激发出来,都漂向另一

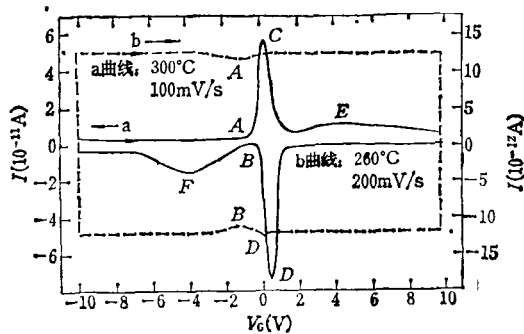


图5 TVS方法测量的I-V曲线

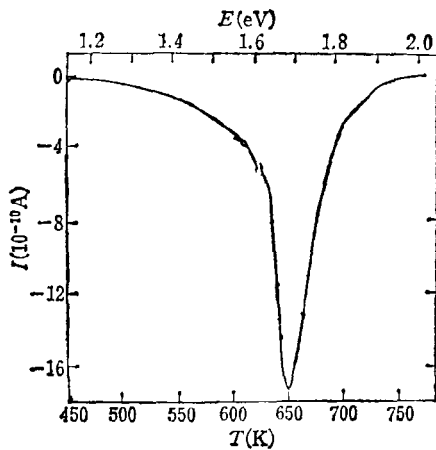


图6 TSIC方法测绘的I-T曲线  
 $\epsilon = -2 \times 10^3 \text{V/cm}$ ;  $\beta = 0.43 \text{K/s}$   
 试样: 8% HCl 干氧, 铝 MOS 结构

界面。图6是一个实例, 根据它可直接换算成陷阱密度与能量的关系。测量前离子在原界面能量的分布为  $n_0(E) = J(T)/qF(T)$ ,  $J(T)$  是实验测得的热激离子电流密度,  $F(T)$  是一积分, 实际与  $T$  基本无关,  $T$  和能量  $E$  的关系为

$$\frac{E}{kT^2} = \frac{s}{\beta} e^{-E/kT}, \quad (13)$$

式中  $s$  为离子的跃迁频率。实际上  $E-T$  是一条很好的直线。

用 TSIC 方法可以研究不同金属作为电极时 MOS 结构 M-O 界面处和不同热氧化工艺制备的  $\text{SiO}_2$ -Si 界面处的离子陷阱能量分布, 可用于研究带有钝化机构的 MOS 结构界面离子陷阱在钝化中的作用<sup>[11,12]</sup>。

### 三、Si-SiO<sub>2</sub> 结构中电荷和陷阱的控制方法

Si-SiO<sub>2</sub> 结构中的可动离子、固定电荷、界面陷阱和氧化物陷阱大多是有利的, 这一节简要地介绍一些前面没有提到的控制方法。

#### 1. 减少可动离子沾污

现代硅器件生产中沾污的来源, 在通常情况下, 第一是不适当的金属化工艺, 钨丝中的  $\text{Na}^+$ , 有时还有  $\text{K}^+$  也蒸发到  $\text{SiO}_2$  表面上去, 这些离子主要是制备钨丝的冶金工艺带进的。有时用碱清洗蒸发设备不当, 反而使沾污更严重, 蒸发时钟罩等物是冷的, 其上的  $\text{Na}^+$ ,  $\text{K}^+$  不会挥发到  $\text{SiO}_2$  上。沾污的第二个来源是电阻炉的炉衬和石英管中的  $\text{Na}^+$ 。现在常用的试剂、气体、扩散源、铝和器具等造成的沾污极微。用电子束加热、感应加热技术蒸制金属膜是得到清洁金属与  $\text{SiO}_2$  界面的好方法。解决了金属化过程的离子沾污问题后, 石英管本身对  $\text{SiO}_2$  的沾污成为主要的, 目前常用的方法是用渗有氯化物的氧气高温处理石英管。在高温下, 氯能与金属生成挥发性的氯化物, 并带出炉管高温区, 在此高温区生长的  $\text{SiO}_2$  就清洁了, 若同时采用双层石英管, 效果更好。

#### 2. 降低固定氧化物电荷和界面陷阱密度

控制固定电荷的常规方法是依照氧化三角形(图3)揭示的条件设计热氧工艺。对于界面陷阱, 早期提出过金属化前高温  $\text{H}_2$  退火, 后来发现金属化后  $450^\circ\text{C}$  左右  $\text{N}_2$  或湿  $\text{N}_2$  退火很有效果。HCl 在降低固定电荷和界面陷阱方面很有效果。

#### 3. HCl 在控制电荷和陷阱方面的作用

在硅的热氧化工艺中采用含有氯或氯化物的氧气处理石英管, 或者就在这种气氛中生长  $\text{SiO}_2$ , 可以得到性能优良的  $\text{SiO}_2$ 。关于这个问题已有大量资料<sup>[13-15]</sup>。这里简要介绍 HCl 在硅热氧化方面的应用和进展。

干  $\text{O}_2$  中渗 4—6% HCl, 在  $1150^\circ\text{C}$  冲洗石英管, 然后按常规工艺制备  $\text{SiO}_2$ , 蒸上清洁的电

子束金属膜,就可得到清洁的 MOS 结构。一般情况下, $N_m$ 仅  $10^{10}$  数量级。如果在含 HCl 的  $O_2$  中生长  $SiO_2$ ,就称这种  $SiO_2$  为 HCl 氧化物,这种氧化物具有很好的电学稳定性,低固定氧化物电荷,低界面陷阱密度,高少子寿命,击穿强度也得到提高,高温生长的 HCl 氧化物还有对  $Na^+$  的钝化效应。HCl 工艺中含水后效果就不明显,因此 HCl 很少用于场氧化工艺,主要用于 MOS 器件、CCD 器件等的栅氧化物的制备中。采用干燥的 HCl 制备 MOS 结构,可以得到表观负的固定氧化物电荷<sup>[8]</sup>,界面陷阱密度在 HCl 含量相当宽的范围内低于  $1 \times 10^{10}$  trap/eV · cm<sup>2</sup>,对于高达  $2.5 \times 10^{15}$  ions/cm<sup>2</sup> 的人为  $Na^+$  沾污,这种 MOS 结构具有 99.5% 以上的钝化效率<sup>[12]</sup>。所谓钝化效率,就是在漂移到 Si-SiO<sub>2</sub> 界面附近的  $Na^+$  中变成中性物所占的百分数。目前正在努力发展薄栅 MOS 器件,采用 HCl 气体也得到了类似的好处<sup>[16]</sup>。

### 参 考 文 献

- [ 1 ] S. T. Pantelides, Proceedings of International Topical Conference on The Physics of SiO<sub>2</sub> and Its Interfaces, Held at IBM Thomas J. Watson Research Center, Yorktown Heights, New York, (1978).
- [ 2 ] G. G. Roberts and M. J. Morant, Insulating Films on Semiconductor 1979, Inst. Phys. Conf. Ser. No. 50 (1980).
- [ 3 ] 郭维廉, 硅-二氧化硅界面物理, 国防工业出版社, (1982).
- [ 4 ] A. G. Rovesz, *J. Electrochem. Soc.*, **126** (1979), 122.
- [ 5 ] M. Nemmeth-Sallay et al., *Thin Solid Films*, **70** (1980), 37.
- [ 6 ] 王阳元、吉利久、王德智、王冰如, 北京大学学报, 自然科学版, No.1(1981), 47.
- [ 7 ] J. F. Verwey, Insulating Films on Semiconductor 1979, Inst. Phys. Conf. Ser. No. 5, edited by G. G. Roberts and M. J. Morant, (1980), 62.
- [ 8 ] 陆德仁, 半导体学报, **4**, (1983), 399
- [ 9 ] A. Goetzberger, *Bell System Tech. J.*, **45** (1966), 1096.
- [ 10 ] G. F. Derbenwick, *J. Appl. Phys.*, **48** (1977), 1127.
- [ 11 ] J. P. Stagg and M. R. Boudry, *Revue de Physique Appliquée*, **13** (1978), 841.
- [ 12 ] 陆德仁、王纛、王其冈, 半导体学报, **4**(1983), 298.
- [ 13 ] B. R. Singh and P. Balk, *J. Electrochem. Soc.*, **125** (1978), 453.
- [ 14 ] J. R. Monkowski, *Solid State Technology*, **22-7** (1979), 58; **22-8** (1979), 113.
- [ 15 ] G. J. Declerck, Solid State Devices, 1979 (ESSD-ERC), Edited by H. Weiss, (1980), 133—153.
- [ 16 ] C. Hashimoto, S. Muramoto, N. Shino, and O. Nakajima, *J. Electrochem. Soc.*, **127** (1980), 129.
- (上接第 528 页)
- 21 (1980), 148.
- [ 6 ] R. A. Rosenberg et al., *Phys. Rev. A*, **21** (1980), 132.
- [ 7 ] J. Baker et al., *Phys. Rev. Lett.*, **48** (1982), 1242.
- [ 8 ] T. F. Gallagher et al., *Phys. Rev. Lett.*, **51** (1982), 1753.
- [ 9 ] R. P. Madden and K. Codling, *Phys. Rev. Lett.*, **10** (1963), 516.
- [ 10 ] S. E. Harries and R. B. Miles, *Appl. Phys. Lett.*, **19** (1971), 385.
- [ 11 ] R. T. Hodgson, et al., *Phys. Rev. Lett.*, **32**(1974), 343.
- [ 12 ] G. L. Eesley, Coherent Raman Spectroscopy, OXFORD, (1981), 21.