

## 等离子体科学技术应用专题系列介绍

# 第二讲 低压等离子体技术在半导体工艺中的应用

杨基南

低压等离子体在半导体器件制造中的应用是一个十分活跃的研究课题。从七十年代初将等离子体技术用于去除光致抗蚀剂以后,不久就相继开发了硅材料、导电材料和掩膜材料的干法蚀刻技术以及薄膜淀积技术。干法蚀刻由于比以往的湿法工艺具有成本低、线条分辨率高、对环境污染少和自动化程度高等优点,因而得到广泛应用。本文介绍低压气体高频放电的物理过程、反应装置及在半导体器件制造中的具体应用。

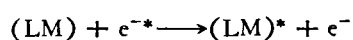
### 一、低压气体高频放电的物理过程

用高功率激励低压气体,气体中少量存在的自由电子从电场获得能量而被加速。由于低压气体中分子间距离大,电子平均自由程也大,因而电子被充分加速而变成高速电子。此高速电子碰撞气体分子使之激发或电离,电离出的电子又被电场加速而使其它分子电离,从而使气体在某一区域中迅速成为等离子体。低压气体高频放电所形成的低压等离子体的典型参数为:气体压力 $1-10^{-2}$ Torr,电离度 $\sim 10^{-4}$ ,电子密度 $\sim 10^9$  cm $^{-3}$ ,电子温度 $\sim 10^4$ K,气体温度 $\sim 400$ K。

气体分子被高速电子非弹性碰撞时,其状态的变化过程如下:

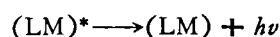
#### 1. 激发

基态气体分子吸收的能量大于激发能时,其外层电子由低能级跳到高能级,气体分子变为激发态:



其中(LM)为气体分子处于低能级时的稳定

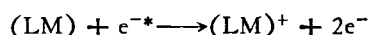
态,(LM)\*为气体分子处于高能级时的激发态。激发态一般并不稳定,它们会很快(约 $10^{-8}$ s)回到低能级的稳定状态,并以辐射出光子的形式释放能量:



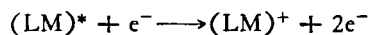
但也有较长时间(1ms~1s)停留在激发态的,这种态称为亚稳态。

#### 2. 电离

基态气体分子吸收的能量大于电离能时,其中的一个或几个外层电子就会摆脱原子核的束缚变为自由电子,气体分子变为离子:



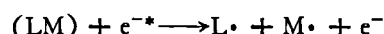
亚稳态粒子与电子碰撞也会发生电离:



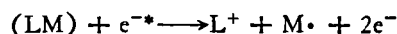
亚稳态电离比基态电离所需能量要小得多,故气体放电中虽然亚稳态密度比基态要小,但亚稳态电离却很多。

#### 3. 分解

当气体分子吸收的能量大于分子键能时,分子分解为游离基:

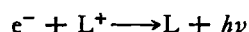


分解还可能伴随发生电离:



#### 4. 复合

电子与离子碰撞,离子可俘获电子而变成中性粒子,但必须有第三者参加才能复合,这个第三者可以是电子、离子、中性粒子或复合过程中产生的光子,如:



低压气体放电时,除电子碰撞引起激发和电离外,光激发和光电离也起重要作用。这是因

为大多数放电容器中光能不易损失掉,即使作观察窗用的石英玻璃对于波长小于  $2500 \text{ \AA}$  (对应于能量大于  $5\text{eV}$ ) 的光也几乎是不透明的。

除气相碰撞外,低压等离子体气相中的各种粒子与固体材料表面的作用过程对半导体工艺尤其重要.电子碰撞固体表面,在低能情况下主要是弹性散射和电子吸附.如果固体为绝缘体或为经隔直电容与高频源相接的导体,则电子吸附可改变固体表面的电位,使它比等离子体的电位低.正离子在此负电位作用下轰击固体表面,可发生溅射和二次电子发射,如果能量足够高,离子将穿透表面注入材料内层.等离子体气相中的游离态和激发态中性粒子可吸附在表面,也可通过解吸过程回到气相中.对于易与材料发生化学反应的气体分子,则产生化学吸附生成新的固相化合物或者生成挥发性物质回到气相中.几种气相分子可在表面反应并沉积在表面上。

如上所述,低压气体高频放电形成的低压等离子体中产生了大量激发态、亚稳态、游离态中性粒子以及各种离子,其化学性质都比基态气体分子活泼得多,可以用来进行通常热化学反应难以进行或不能进行的化学反应,而且反应温度很低.从而在科学实验和工业生产中得到广泛应用。

## 二、低压气体高频放电的典型装置

用于半导体器件制造工艺的低压气体高频放电装置可分为圆筒形和平板形,其结构和电位分布如图 1 所示.这两种装置都是通过气体流量控制系统将所用气体(常常是几种气体按一定比例混合一起)送入反应室,通过阻抗匹配网络给线圈或电极接上高频( $13.56\text{MHz}$ )功率源,使气体放电产生反应所需的活性物能适应不同需要.反应生成物和剩余气体由真空泵抽除,调节送气量或真空系统抽气速率使反应室保持所需要的压力(一般为  $1 \sim 1 \times 10^{-2} \text{ Torr}$ ).

圆筒形装置中,气体放电在整个石英圆筒内进行;平板形装置中,气体放电主要发生在两

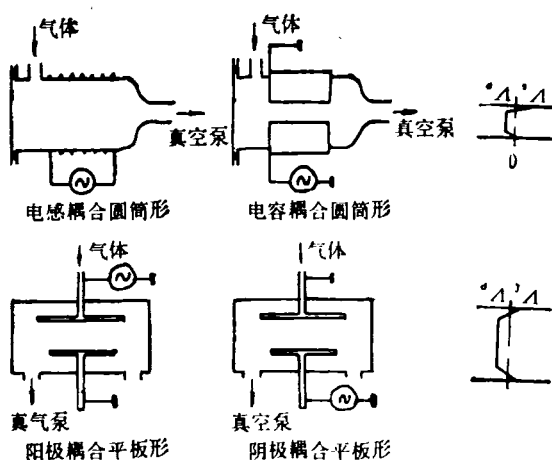


图 1 低压气体高频放电装置的结构形式及电位分布

块平行平板之间.放电区域中间的电位最高,称为等离子体电位  $V_p$ .与等离子体接触的绝缘体,由于电子和离子迁移率不同,它的表面的电位(称为悬浮电位),会因电子吸附而变得比  $V_p$  低.在圆筒形装置中,石英圆筒内壁表面电位为  $V_s$ ,从内壁向圆筒中心急剧升高为  $V_p$ ,在较宽范围内电位分布均匀.因此,置于圆筒中的晶片主要受亚稳态、激发态和游离态中性粒子的作用,反应为各向同性.在平板形装置中,一个电极接地,电位为零;另一个电极通过隔直电容和阻抗匹配网络接高频功率源,同样由于电子和离子迁移率不同,在此电极上会积聚电子而产生负电位(称为自偏压  $V_s$ ).所以无论是阳极耦合或是阴极耦合,下电极表面电位均比  $V_p$  低,只是阴极耦合时电位差更大些.因而置于下电极上的晶片除受中性粒子作用外,还受正离子的轰击作用,使反应表现为各向异性。

目前,这两种装置都得到广泛应用,但平板形装置用得更多,这是因为其放电稳定性和效率更高.为了加快反应速度和改善反应均匀性,还可采取在下电极下面用磁铁扫描的办法。

## 三、低压等离子体在半导体工艺中的应用

在半导体集成电路工艺中主要是利用与固体有关的等离子体化学反应,有如下三种类型:

(1) 固体与气体反应生成新的气体  $A_{(s)} + B_{(g)} \rightarrow C_{(g)}$ , 如去胶、显影和蚀刻等;

(2) 两种气体反应生成固体和新的气体  $A_{(g)} + B_{(g)} \rightarrow C_{(s)} + D_{(g)}$ , 如淀积和聚合等;

(3) 气体与固体反应, 在固体表面形成新的化合物  $A_{(s)} + B_{(g)} \rightarrow C_{(s)}$ , 如阳极氧化等。

下面按半导体集成电路工艺过程, 介绍低压等离子体的应用。

### 1. 去胶

在半导体工艺中, 应用等离子体技术使湿法工艺发展成为干法工艺, 在这个过程中, 人们最早是用氧等离子体来去除光致抗蚀剂膜。去胶一般采用圆筒形装置, 先将反应室抽真空至  $3 \times 10^{-2}$ Torr, 送入氧气使工作压力为  $1 - 0.1$ Torr, 加高频放电形成激发态  $O_2^*$  和原子态游离基  $O\cdot$ , 这些化学性质极为活泼的产物与光刻胶(即异戊二烯系感光胶, 是一种高分子化合物)反应, 生成挥发性的低分子化合物被真空泵抽除。等离子体去胶和以往使用化学溶剂的湿法去胶相比, 具有无污染、生产率高、操作简便和成品率高等优点, 是目前得到广泛应用的一种较成熟的工艺。

### 2. 显影

随着集成电路集成度的提高, 微细加工最小线宽要求达到  $1 - 2 \mu\text{m}$  甚至  $\leq 1 \mu\text{m}$ 。以往用显影液湿法显影, 是利用抗蚀剂已曝光部分和未曝光部分分子量不同因而在显影液中溶解速度不同来获得抗蚀剂图形的, 但由于线条膨胀而不能显影微细图形。等离子体显影是利用抗蚀剂已曝光部分和未曝光部分在等离子体中的腐蚀速度不同来获得抗蚀剂图形的, 它主要利用离子物理溅射作用, 故可显影微细图形。等离子体显影目前正由实验阶段向实用阶段过渡。关键是要找到一种合适的抗蚀剂, 以提高对已曝光部分和未曝光部分的选择腐蚀特性, 即提高显影后的剩膜率, 国外有的研究人员声称已研制出剩膜率高达  $80 - 90\%$  的等离子体显影抗蚀剂。

### 3. 蚀刻

等离子体干法蚀刻和以往用化学溶液的湿

法腐蚀相比, 图形加工精度高, 因而可以进行微米级微细线条的加工。通常把用圆筒形或阳极耦合平板形装置的蚀刻叫等离子体蚀刻, 其工作压力为  $1 - 0.1$ Torr, 常用  $CF_4$  蚀刻  $Si, Si_3N_4, SiO_2$  等。一般认为  $F\cdot$  是蚀刻  $Si$  和  $Si_3N_4$  的活性物, 而  $CF_3\cdot$  是蚀刻  $SiO_2$  的活性物, 因而为了获得较好的选择性和较高的蚀刻速率, 可在  $CF_4$  气体中分别添加少量的氧化性  $O_2$  或还原性  $H_2$ , 以提高  $F\cdot$  或  $CF_3\cdot$  的产率。如果用阴极耦合平板形装置, 由于自偏压的作用, 可利用反应性离子的方向性来进行各向异性和有选择性的蚀刻, 叫反应离子蚀刻。离子轰击晶片产生物理溅射作用, 离子碰撞表面后变成游离基又可与表面材料起化学反应。由于离子定向加速的各向异性作用使得钻蚀小, 图形加工精度高。反应离子蚀刻的工作压力为  $0.1 - 1 \times 10^{-2}$ Torr, 可用  $CCl_4$  或  $SiCl_4$  蚀刻  $Cr, Al$  或  $Al/Si/Cu$  合金膜。目前等离子体蚀刻和反应离子蚀刻均已用于生产。

### 4. 淀积

在硅片上淀积  $Si_3N_4$  膜, 过去用热化学方法要  $900^\circ\text{C}$  以上高温, 而等离子体淀积只要  $300 - 400^\circ\text{C}$  而且成膜质量提高。等离子体淀积可用圆筒形或阳极耦合平板形装置, 淀积  $Si_3N_4$  所用的气体是  $SiH_4$  和  $NH_3$ , 工作压力为  $1 - 0.1$ Torr。等离子体淀积还可用于磷硅玻璃、非晶材料、超导膜和各种薄膜敏感元件的制备等。

### 5. 聚合

有机单体和其它气体一起放电, 会在置于放电区域的晶片表面形成高分子聚合膜。为了提高聚合膜生长速率和单体利用率, 可采用磁场约束使晶片表面形成高密度等离子体。等离子体聚合在半导体工艺方面最有意义的应用是制作抗蚀剂膜。当去胶和蚀刻工序都干法化后, 如果仍然用甩胶机湿法涂胶, 这样的干法工艺就是不完全和不完善的。只有使抗蚀剂涂敷也干法化, 再加上干法显影, 实现所谓完全干法的真空光刻工艺(即涂胶、曝光、显影、蚀刻和去胶各个光刻工序都是干法的和真空状态下完成的)才有意义。等离子体聚合的抗蚀剂膜既要

在曝光时有较高的灵敏度,又要在蚀刻时耐等离子体腐蚀,目前正致力于寻找合适的聚合物和开发有实用意义的工艺方法。由于聚合膜在高于400K时易分解,故要设法降低基片温度。但由于聚合膜一般是隔热的,当聚合膜生长到一定厚度时,基片致冷对聚合膜表面温度的影响不大,行之有效的办法是采取脉冲放电,或使供给反应器的气流脉冲化来降温。

## 6. 阳极氧化

集成电路元件隔离需要进行Si的选择氧化,以前是用 $\text{Si}_3\text{N}_4$ 作掩膜进行热氧化的。热氧化不但需要1100°C高温,而且要求在掩膜下横方向也发生氧化。等离子体阳极氧化是在氧等离子体中进行的,不仅温度低,氧化速率高,而且膜的针孔少。等离子体阳极氧化目前尚待解

决的问题是如何改善膜的界面特性和搞清楚氧化机理。有人认为等离子体阳极氧化Si时,Si和O沿相反方向通过氧化层而在(Si/SiO<sub>2</sub>)和(SiO<sub>2</sub>/等离子体)界面上都发生氧化。

虽然低压等离子体技术的应用研究取得了可喜成果,但在机理探讨方面还有许多难题。由于实验条件不同,许多作者的见解也不尽一致。在半导体工艺方面的干法工艺作为一种全新的正在发展中的工艺也还需要进一步完善。如工艺过程的控制和工艺参数的确定目前一般还是要靠实验和经验。工艺的完善和设备的改进都有赖于基础理论研究取得进展。殷切希望从事等离子体理论研究和实验研究的同志重视这一工作,为推广应用指明方向和开拓新路。

(上接第424页)

用的物理过程等理论问题;基体的情况方法、工件测温、镀层结合力测试等工艺问题;膜层对基体材料的要求、使用规范、加工对象等实践问题都需要大力进行研究,才能促使这一新技术得

到全面的发展。

## 参 考 文 献

- [1] R. F. Bunshan, *SAMPE Quarterly*, 12(1980), 10.
- [2] J. A. Thornton, *J. Vac. Sci. Technol.*, 15(1978), 171.
- [3] J. S. Chapin, *Res. Develop.*, 25(1974), 37.

(上接第428页)

将是十分广阔的。

## 参 考 文 献

- [1] D. M. Mattox, *Electrochemistry Technology*, 2(1964), 295.
- [2] R. F. Bunshan, *J. Vac. Sci. Technol.*, 9(1972), 1385.
- [3] J. R. Morley and H. P. Smith, *J. Vac. Sci. Technol.*, 9(1972), 1377.
- [4] J. L. Vosson and I. I. O'Neill, *J. Vac. Sci. Technol.*, 14(1977), 85.

- [5] A. Matthews and D. G. Teer, *Thin Solid Films*, 80(1981), 41.
- [6] 小宫宗治,日本金属学会会报,15(1976),735.
- [7] R. F. Bunshan, *J. Vac. Sci. Technol.*, 9(1972), 1388.
- [8] R. F. Bunshan, *SAMPE Quarterly*, 12(1980), 10.
- [9] 綱沢栄二,金属表面技术,30(1979),94.
- [10] B. A. Movchan and A. V. Demchishin, *Fiz. Met. Metalloved.*, 28(1969), 653.
- [11] A. Matthews and D. G. Teer, *Thin Solid Films*, 72(1980), 541.

(上接第432页)

于研究高分子晶体的热电性、导电性高分子和生物高分子的表面电性能,以及时间、表面吸附、温度、湿度、表面平滑性、污染等对高分子薄膜表面带电的影响等。

岑安邦同志做了部分实验工作,在此表示感谢。

## 参 考 文 献

- [1] P. E. Secker, *J. Electrostatics*, 1(1975), 27.
- [2] 内田照雄,南 茂夫,分光研究,23(1974),196.