

大规模集成电路和短沟道效应

王守武

(中国科学院半导体研究所)

自从1960年仙童公司首次宣布制成单块集成电路以来,集成电路技术得到了迅速发展。集成度由最初的每片十几个元件发展到现在的每片数百万元件以上,如图1(a)所示,1975年前集成度平均每年翻一番,1975年后逐步下降为每两年翻一番,同时出现了超大规模集成电路(>10万元件/片)。随集成度的增加,单个元件的尺寸必然不断减小,最细线宽也由最初几十 μm 下降到 $1\mu\text{m}$,如图1(b)所示,平均每年下降13%。集成电路的价格也逐年下降,如图2所示,存储器每位价格平均每两年下降50%。七十

年代中期1K存储器每位约1美分,现在256K存储器价格最低,每位低于0.01美分。

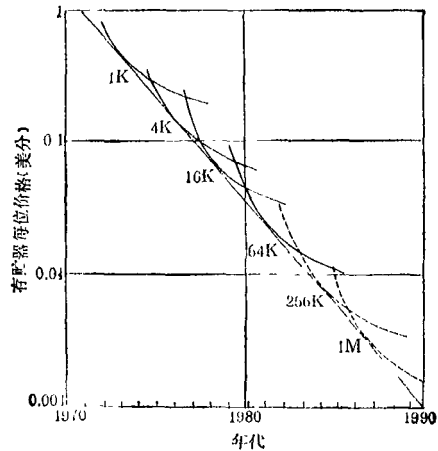


图2 存储器每位价格的降低

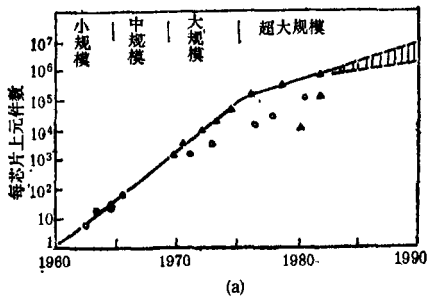


图1(a) 集成度的增加

▲ 为 MOS 存储器; △ 为双极型存储器;
● 为 MOS 逻辑电路; ○ 为双极型逻辑电路

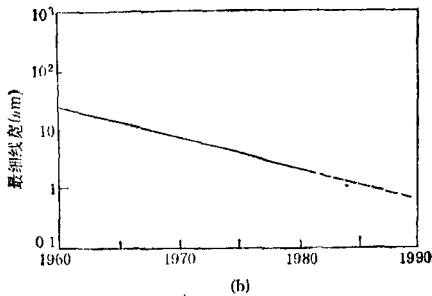


图1(b) 最细线宽的减小

一、大规模集成电路工艺技术中的问题

1. 硅材料制备

众所周知,硅材料是集成电路的基本材料,材料质量的好坏直接关系到集成电路的质量和成品率。目前硅材料的主要研究课题是杂质和缺陷。杂质分为有意识要掺进去的有用杂质和不希望有的有害杂质。通常掺加适当的 III 族、V 族杂质是做器件时所必需的,它所面临的主要问题是均匀性问题(尤其是微观均匀性),造成这种有用杂质在硅单晶中起伏的主要原因是拉单晶过程中,熔融的硅中对流引起的温度场不稳定和杂质凝聚效应。现在采用在太空中做拉单晶试验或加强磁场等来抑制对流。近年 NTD 单晶——中子嬗变掺杂单晶的出现,使均匀性问题得到很大改善。

硅中非有意掺入的杂质主要为氧和碳。氧

是由硅制备中使用石英坩埚引入的，碳是由石墨托和石墨加热器在高温下与 SiO_2 反应生成 CO_2 气体引入的。碳为有害杂质，希望越少越好。氧的行为比较复杂，一方面氧在 450°C 下退火产生热施主， 650°C 下退火产生新施主，严重影响材料的电阻率，而且在 750°C 下长时间退火，氧可凝聚沉积形成微缺陷，这对材料的性能有影响，此沉淀与材料中碳的存在有密切关系，从此意义上讲氧越少越好。但是另一方面，由于淀积前位于间隙位的氧可增加材料的机械强度，而且近年来发展起来的内吸杂工艺正是利用了氧沉淀的存在来改善单晶质量的，因此集成电路所使用的材料要求含有一定量的氧。通常要求硅材料中碳含量低于 $1 \times 10^{16} \text{cm}^{-3}$ ，氧含量在 $5 \times 10^{17} - 1 \times 10^{18} \text{cm}^{-3}$ 范围内。

硅中缺陷主要为位错，近年来微缺陷越来越引起人们的注意。现在我们可以做到无位错单晶，但无位错晶体一般含有大量空位，因此实际使用的材料要求有一定的位错，一般位错数量在 $100 - 1000 \text{cm}^{-2}$ 范围内。

目前，工艺上主要是通过拉单晶硅时减小熔硅的对流来控制氧。方法有三个：(1) 增强横向磁场；(2) 减小液柱高与坩埚直径之比；(3)

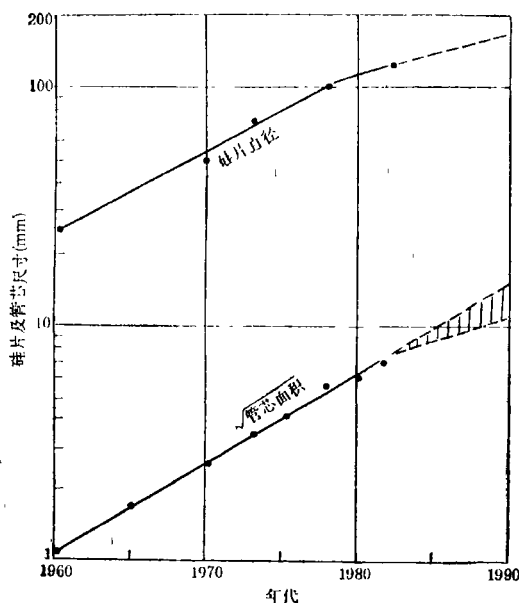


图3 硅片直径及管芯尺寸的增加

采用双重坩埚法。碳的控制主要是靠隔离坩埚与石墨托的接触。

实验发现器件成品率与缺陷密度的关系为

$$Y \propto e^{-CPA}$$

其中 Y 为成品率， P 为单位面积微缺陷数， A 为芯片面积， C 为常数，约为 0.7。

硅片直径随工艺发展不断增大，如图 3 所示，硅片直径平均每年增加 10%，硅片直径的增大可提高劳动生产率和成品率，硅片直径的增加是和芯片面积的增大同步的。随着集成度的提高，芯片尺寸加大，硅片直径也必须加大。通常硅片大小与芯片尺寸的关系为

$$\text{硅片直径} = \sqrt{\text{芯片面积}} \times 20:1,$$

也就是说每一硅片至少应该可制做 250—300 个芯片

2. 薄层的生长和淀积

常用的薄层生长和淀积的方法有三种：化学汽相淀积 (CVD) (包括气相外延)；真空蒸发；溅射(离子轰击)。

主要技术问题是控制成分、厚度及均匀性，以上三种方法的特点如下：

(1) CVD：均匀性差，效率高，易长厚层，工艺上用的较多。改进的 CVD 有低压 CVD (LPCVD) 与等离子体增强 CVD (PECVD)。

LPCVD：由于在低压下进行化学汽相淀积，使反应气体的输运速度大于反应速度，这样反应室前后气相成分接近一致，改进了片子均匀性。

PECVD：除反应室压力低外，由于反应室内形成了等离子体，使反应温度降低，因此除均匀性好外，还特别适用于生长钝化层。

(2) 真空蒸发：初期应用较多，均匀性好，但成分不易控制，常用于纯元素的淀积。

(3) 溅射：成分易控制，均匀性好，但效率低。为了提高效率，常采用磁控溅射以增强离子流。溅射适用于不太厚层的淀积，现在用得越来越多。

从淀积薄膜的材料角度来看，现在常采用的工艺为：

(1) 淀积单晶硅常用气相外延，而多晶硅

常用 LPCVD,

(2) 非晶介质材料淀积: SiO_2 在硅上生长常用直接氧化法,分为干氧和湿氧化两种方法。干氧法速度慢,致密性好,适用于不太厚层,如栅极下面的 SiO_2 层的生长。湿氧法速度快,常用于较厚 SiO_2 层的生长。若氧化要求在低温条件下进行,则常采用高压氧化和等离子氧化以提高氧化速度。若 SiO_2 需要淀积在其他材料上,则常采用 LPCVD 和 PECVD 方法。

Si_3N_4 淀积常采用 LPCVD 和 PECVD 方法。

金属、合金和硅化物的淀积常采用溅射,有时也用真空蒸发。

3. 超精细加工

集成电路要求在同一芯片上做成多个元件,这就要求用光刻技术在硅片上刻出不同的图形,随着集成度的提高,这种超精细加工越来越重要,表 1 给出了可采用的曝光光源及图形转移方法。

表 1

曝光光源(波长)	图形转移方法	掩膜影子	投影	点扫描
近紫外 (4000 Å)		✓	✓	
深紫外 (2000 Å)		✓	✓	
软 X 光 (20—4 Å)		✓		
电子束 (0.1 Å)		✓	✓	✓
离子束 (<0.002 Å)		✓	✓	✓

目前常用的仍为近紫外和深紫外曝光光源,它有两种图形转移方法:掩膜影子和投影方法。

(1) 掩膜影子又可分为接触式和接近式。

接触式:将掩膜版与硅片直接接触(中间仍有光刻胶),其特点是分辨率高,但是易损坏掩膜版,现在基本已淘汰。

接近式:掩膜版与硅片间有一间隙 s ,以保护掩膜版。其分辨率相对降低,它所能得到的最细线宽约为 $0.7\sqrt{\lambda s}$ 。若波长 $\lambda = 0.4\mu\text{m}$,间距 $s = 20\mu\text{m}$,则最细线宽为 $2\mu\text{m}$,一般可做到 $3\mu\text{m}$ 。它的一个致命缺点是掩膜版与硅片不在同一平面上,显微镜下不易聚焦对准。

物理

(2) 投影式,是将图形投影到硅片表面上,根据光学计算可得其最细线宽约为 $0.6\left(\frac{\lambda}{\sin\theta}\right)$,

这里 θ 为物镜投影角的一半。由于成象透镜有一定的镜深,因此对硅片的平整度有一定的要求。成象透镜的镜深约为 $\pm 0.5\left(\frac{\lambda}{\sin^2\theta}\right)$ 。若

$\lambda = 0.4\mu\text{m}$, $\sin\theta = 0.45$,则最细线宽为 $0.53\mu\text{m}$,镜深约 $\pm 1\mu\text{m}$,对 $\pm 1\mu\text{m}$ 的硅片,平整度实现起来较困难。如若 $\sin\theta = 0.225$,则最细线宽约 $1\mu\text{m}$,镜深约 $\pm 4\mu\text{m}$ 。尽管线宽稍大些,但对 $\pm 4\mu\text{m}$ 的硅片,平整度是可以实现的。

若要求线宽小于 $1\mu\text{m}$,则普通光学方法难以达到,必须采用其他方法,如用软 X 射线曝光、电子束曝光和离子束曝光等。由于这些方法的设备昂贵,所以将使成本提高。鉴于这些方法大都尚在研究发展之中,这里就不详细叙述了。

4. 选择性掺杂

众所周知,在半导体中常常要引入一定量的杂质,这就产生了工艺上的选择性掺杂问题。两种常用的工艺是高温扩散和离子注入及退火。

高温扩散是在高温下使杂质通过热扩散进入到硅单晶中,扩散后杂质的状态和分布与炉温分布、杂质源分布及硅表面状态有密切关系,因此严格控制杂质掺入量是较困难的。这种工艺的特点是简单,成本低,但一致性不好。

离子注入和退火是将高能离子束直接轰击进入硅单晶中,之后退火可使杂质激活并消除由于轰击引起的晶格损伤。这种工艺的特点是掺杂量易控制,一致性好。

退火可分为高温工艺和低温工艺两类。高温工艺是在高温下进行热处理,但热处理导致的杂质扩散和再分布常常是不希望的,因此要求发展低温工艺(或瞬时高温处理)。现常用的工艺有红外退火、激光退火和电子束退火。

5. 掩膜版的设计和制造

随着集成电路的发展,人工设计超大规模

集成电路掩膜版已成为不可能的，现在均采用计算机辅助设计和制造掩膜版。

图 4 给出了计算机辅助设计和制造掩膜版的方框图。

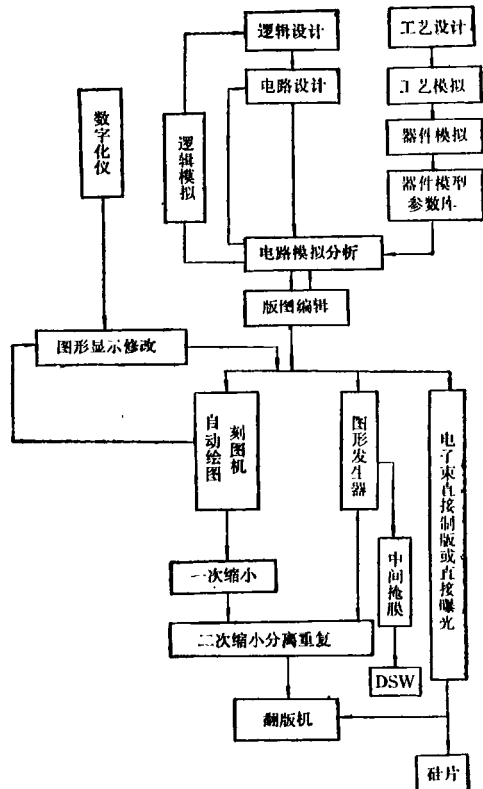


图 4

和版图设计中一开始就要注意考虑测试信号的产生方式，需要用最少的几个测试信号反映出集成电路的全面质量。测试工艺常包括中测和成测两部分。

中测是在芯片封装前进行测量，它可以使成测的合格率提高。但中测的费用有时会占芯片成本的 15% 以上，因此若芯片成品率很高，可省略中测只进行最后的成测。中测与否取决于中测与封装成本的高低。

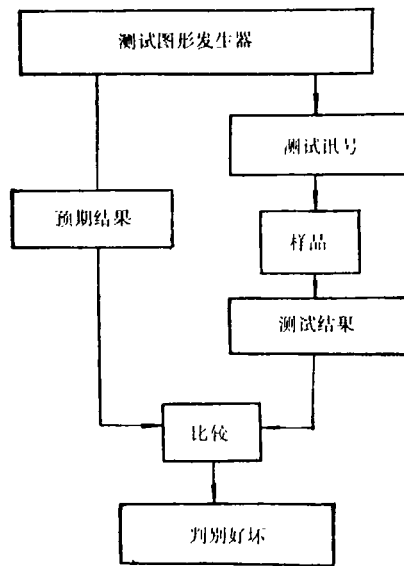


图 5

6. 封装技术

在集成电路工艺中封装技术是非常重要的，这是由于封装成本通常占总成本的一半以上。现常采用的封装工艺有塑料封装和陶瓷封装。

塑料封装：成本低，气密性差，通常用于民用元件生产，可向全自动化方向发展

陶瓷封装：可靠性好，一般用于军用。

近年封装技术朝着许多元件组装在一起的组装封装方向发展，它可使器件体积缩小，提高速度，但需解决散热问题。

7. 测试

测试技术是器件成品的最后一道工序。每一块集成电路均含有几十万个晶体管，为保证在短时间内测出每个晶体管是否合格，在电路

图 5 给出了计算机控制综合测试仪的测试方框图。

二、MOS 超大规模集成电路中出现的问题

由于 MOS 电路不需要隔离，结构简单，如图 6 所示，因此 MOS 电路越来越成为超大规模集成电路的发展方向。

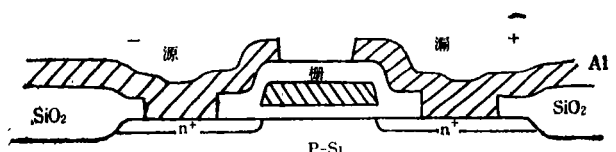


图 6 MOS 电路的结构

随着集成度的提高, 单个元件的尺寸越来越小, 尺寸缩小遇到了许多问题, 下面谈等比例缩小原则、短沟道效应和热电子效应三个方面的问题。

1. 等比例缩小原则

对于单个元件尺寸缩小的方式, 人们自然会想到等比例缩小原则, 即元件的三个方向的尺寸都按一定的比例缩小。但是, 要注意某些物理量是不能按比例缩小的, 如

(1) 能带宽度、p-n 结势垒高度等材料参数是不能按比例缩小的。

(2) 载流子速度的饱和效应、迁移率受垂直电场的影响等二级非线性效应是不能按比例缩小的。

(3) 源漏的分布和接触电阻等非本征晶体管的外部寄生参数是不能按比例缩小的。

(4) 噪声等外部干扰因素是不能按比例缩小的。

为了使元件缩小时, 性能受影响最小, 在等比例缩小原则基础上, 提出了许多改进想法。

(1) 恒定电场原则

表面和垂直方向的几何尺寸同时按比例缩小, 保持栅氧化层中垂直沟道表面的电场不变。在此要求下沟道表面单位面积的电荷浓度不变。

源漏电压:

$$V'_{DS} = L'E' = \frac{L}{\lambda} E = \frac{1}{\lambda} V_{DS}$$

(可见缩小 $\frac{1}{\lambda}$ 倍);

开启电压:

$$V_i = \frac{t_{ox}}{\epsilon_{ox}} \{-Q_{ss} + qN_o W_d\} + \{\Delta W_f + \phi_f\},$$

其中 t_{ox} ——氧化层厚度, ϵ_{ox} ——氧化层介电常数, Q_{ss} ——表面固定电荷, N_o ——沟道掺杂浓度, ΔW_f ——功函数差, W_d ——最大耗尽层厚度, $\phi_f = 2\phi_f$ 为禁带中心至费米能级距离的二倍。

在恒定电场原则下, 我们希望开启电压按比例缩小。由于 ΔW_f 与 ϕ_f 不能按比例缩小, 因此 V_i 完全按比例缩小是不可能的, 但是

物理

$\Delta W_f + 2\phi_f$ 通常较小, 可忽略。 t_{ox} 按比例缩小, 要求 $-Q_{ss} + qN_o W_d$ 保持不变, 通常 Q_{ss} 是保持不变的, $W'_d = W_d/\lambda$, 因此要求 $N'_o = \lambda N_o$, 沟道掺杂浓度要增大 λ 倍。

另一方面,

$$W_d = \sqrt{\frac{2\epsilon_{si}(\phi_s + V_{ss})}{qN_o}},$$

$$W'_d = W_d/\lambda,$$

$$N'_o = \lambda N_o,$$

所以有

$$\phi'_s + V'_{ss} = \frac{\phi_s + V_{ss}}{\lambda},$$

衬底偏压

$$V'_{ss} = \frac{V_{ss}}{\lambda} - \phi'_s + \frac{\phi_s}{\lambda}$$

$$\approx \frac{V_{ss}}{\lambda} - \phi_s \left(1 - \frac{1}{\lambda}\right) < \frac{V_{ss}}{\lambda},$$

这说明衬底偏压应小于按比例缩小值。

在恒定电场原则下, 沟道表面单位面积的载流子浓度不变。这些载流子在不变的电场下速度不变, 因此沟道单位宽度的电流不变, 流过沟道的总电流按比例缩小 $1/\lambda$ 倍。其他的参数的变化规则见表 2。

表 2

	恒定电场原则	恒定电压原则	准恒定电压原则
表面尺寸 W, L	} $1/\lambda$	$1/\lambda$	} $1/\lambda$
垂直尺寸 t_{ox}, W_d		$1/\sqrt{\lambda}$	
掺杂浓度 N_o	λ	λ	$>\lambda$
表面电场 $E_{ }$	} 1	λ	} $\sqrt{\lambda}$
垂直电场 E_{\perp}		$\sqrt{\lambda}$	
电压 V	$1/\lambda$	1	$1/\sqrt{\lambda}$
电流 I	$1/\lambda$	$\sqrt{\lambda}$	1
电容 $C = \epsilon A/t$	$1/\lambda$	$\lambda^{-3/2}$	$1/\lambda$
每个电路的延迟 VC/I	$1/\lambda$	λ^{-2}	$\lambda^{-3/2}$
每个电路的功耗 VI	$1/\lambda^2$	$\sqrt{\lambda}$	$1/\sqrt{\lambda}$
功耗密度 VI/A	1	$\lambda^{3/2}$	$\lambda^{3/2}$

恒定电场原则的缺点是噪声不能按比例缩小, 因此信噪比将按比例缩小, 同时输出不能与 TTL 电路兼容。

(2) 恒定电压原则

表面几何尺寸缩小 $\frac{1}{\lambda}$ 倍，源漏电压不变，则 $E_{||}' = \lambda E_{||}$ 。

由于栅氧化层易击穿，因此垂直电场不宜太高。因此，垂直于表面方向的几何尺寸 t_{ox} ， W_d 缩小 $\frac{1}{\sqrt{\lambda}}$ 倍，则 $E_{\perp}' = \sqrt{\lambda} E_{\perp}$ 。

在恒定电压原则下，希望 V_i 保持不变，因此应有

$$\{-Q_{ss} + qN_o W_d\}' = \sqrt{\lambda} \{-Q_{ss} + qN_o W_d\}.$$

若忽略 Q_{ss} ，则要求 $N_o' = \lambda N_o$ 。

在恒定电压原则下，单位沟道宽度流过的电流增加 $\lambda^{3/2}$ 倍，流过沟道的总电流增加 $\sqrt{\lambda}$ 倍。其他参数的变化规则也见表 2。

恒定电压原则的主要缺点是： $E_{||}$ 增加太快，功耗密度增加太快，与 $W_d'/L' = \sqrt{\lambda} W_d/L$ 有关的短沟道效应严重。

(3) 折衷方案——准恒定电压原则

表面和垂直尺寸都缩小 $1/\lambda$ 倍，则要求 $N_o' > \lambda N_o$ 。单位沟道宽度流过的电流增加 λ 倍，流过沟道的总电流不变。其他参数的变化规则也见表 2。

MOS 管的另一重要参数为三极管区的跨导

$$g_m = \frac{\partial I_o}{\partial V_G} = \beta |V_D|,$$

其中 β 为三极管区增益。从理论上讲

$$\beta = \frac{\mu \epsilon_{ox}}{t_{ox}} \left(\frac{W}{L}\right) = \mu C \left(\frac{W}{L}\right),$$

其中 C 为单位面积栅极电容。 β 反比于 t_{ox} ，因此 β 应该随器件尺寸缩小而增加。

但实际影响 β 的因素很多：

- (1) 迁移率随 $E_{||}$ 和 E_{\perp} 的增加而减小；
- (2) 迁移率随掺杂浓度的增加而减小；
- (3) 有限厚度的反型层相当于栅氧化层下串联一等效电容，使单位面积栅极电容随等比例缩小而趋向饱和；

(4) 源漏间的串联电阻，包括源漏区的扩展电阻和接触电阻。

考虑以上因素，我们得到

$$\beta = \frac{\mu C_c \left(\frac{W}{L_c}\right)}{1 + \mu C_c \left(\frac{W}{L_c}\right) R_T V_D},$$

其中 C_c 为单位面积栅极有效电容， L_c 为有效沟道宽度， R_T 为源漏串联电阻。

图 7 给出了 $L = 3\mu\text{m}$ ， $W = 15\mu\text{m}$ ， $x_j = 0.6\mu\text{m}$ ， $V_D = 5\text{V}$ ， $t_{ox} = 900\text{\AA}$ ， $N_o = 4 \times 10^{15}\text{cm}^{-3}$ 条件下，沟道缩小时 β 值的变化。初始缩小时，由于 C_c 变大， t_{ox} 下降，导致 β 变大，经过一极大值后，由于 R_T 增加很快，从而 β 变小。

图 7 中 n 沟 MOS 的源漏区注入 As，p 沟的源漏区注入 B，由于 As 表面浓度较 B 高，所以 n 沟较 p 沟下降得晚。

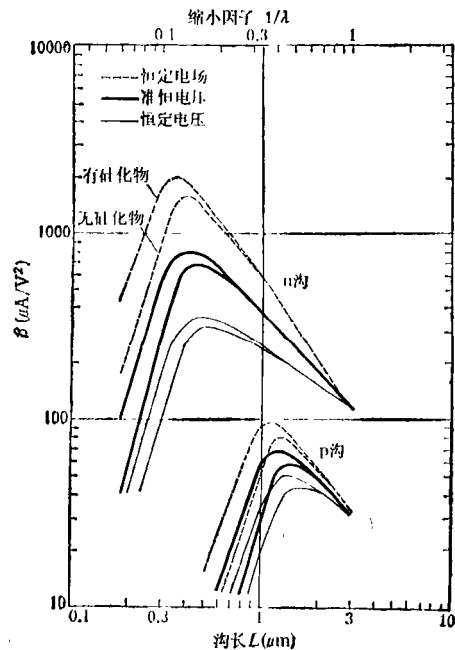


图 7 β 和沟长的关系

2. 短沟道效应

晶体管体积缩小时，源漏耗尽层宽度在整个沟道中所占比重越来越大。开启电压在沟道很短 ($1-1.5\mu\text{m}$) 时，将随沟道变小迅速下降。这就是所谓短沟道效应。短沟道效应是我们不希望发生的。

开启电压的实际表达式为

$$V_t = \frac{t_{ox}}{\epsilon_{ox}} \{-Q_{ss} + qN_o W_d F\} + (\Delta W_t + 2\phi_t),$$

如图 8 所示。

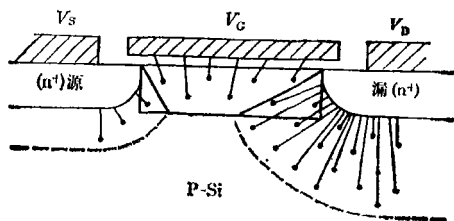


图 8 MOS 管的短沟道效应示意图

$$F = \frac{\text{栅极下梯形面积}}{\text{栅极下矩形面积}}$$

为电荷分配因子。随沟道缩小, F 迅速变小, 从而 V_t 迅速下降。这就是短沟道效应产生的原因。

解决短沟道效应的办法有:

- (1) 减小源漏结的结深, 以增加 F ;
- (2) 增加 N_o , 以减小源漏结耗尽层厚度, 增加 F ;
- (3) 减小 V_{DS} 也可使耗尽层厚度降低, 增加 F 。如图 9 所示, $V_{DS} = 5V$ 较 $V_{DS} = 0$ 的 V_t 下降迅速。

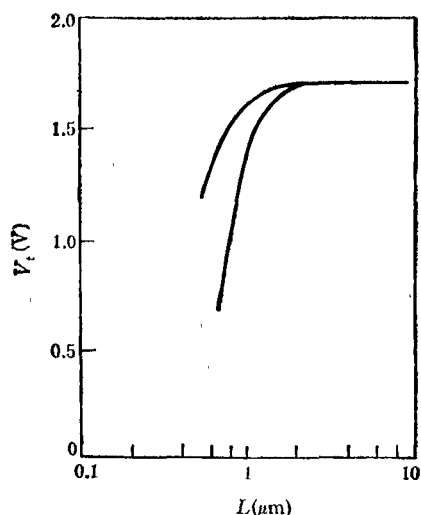


图 9 开启电压 V_t 与沟长的关系
 $N_o = 2 \times 10^{16} \text{cm}^{-3}$; $t_{ox} = 720 \text{Å}$; $V_{BS} = 0$

另一方面, 若结太浅, 则源漏之间的串联电

阻将增大, β 下降。所以通常先做一浅结, 再做一深结以解决此矛盾, 如图 10 所示。

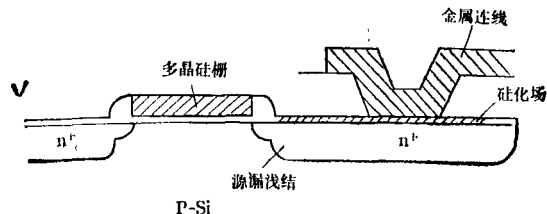


图 10 改进的 MOS 管结构

3. 热电子效应

热电子效应是由于窄沟道器件中电场较强使电子变为热电子。变为热电子后的电子有两种可能的情况:

(1) 热电子直接进入栅氧化层, 它可能穿过栅氧化层进入栅电极, 产生一个栅电流; 它也可能被氧化层中陷阱俘获成为空间电荷留在栅氧化层中, 它导致开启电压的漂移现象。

(2) 热电子也可能碰撞电离产生电子-空穴对, 新生电子为热电子, 也可进入栅氧化层, 而新生空穴则进入衬底而产生衬底电流。

两种热电子是可以区分的。第一种只产生栅电流, 而第二种产生栅电流的同时也产生衬底电流。一般来说, 热电子能否进入栅氧化层中决定于三个因素:

- (1) Si-SiO₂ 交界面处热电子数目;
- (2) Si-SiO₂ 交界面处热电子的速度;
- (3) Si-SiO₂ 交界面处热电子的运动方向。

或者说它决定于

- (1) 沟道表面自由载流子浓度;

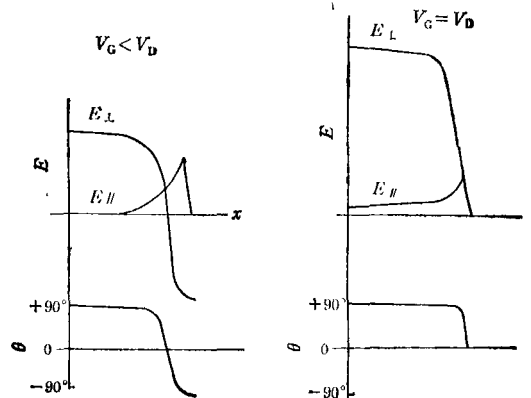


图 11

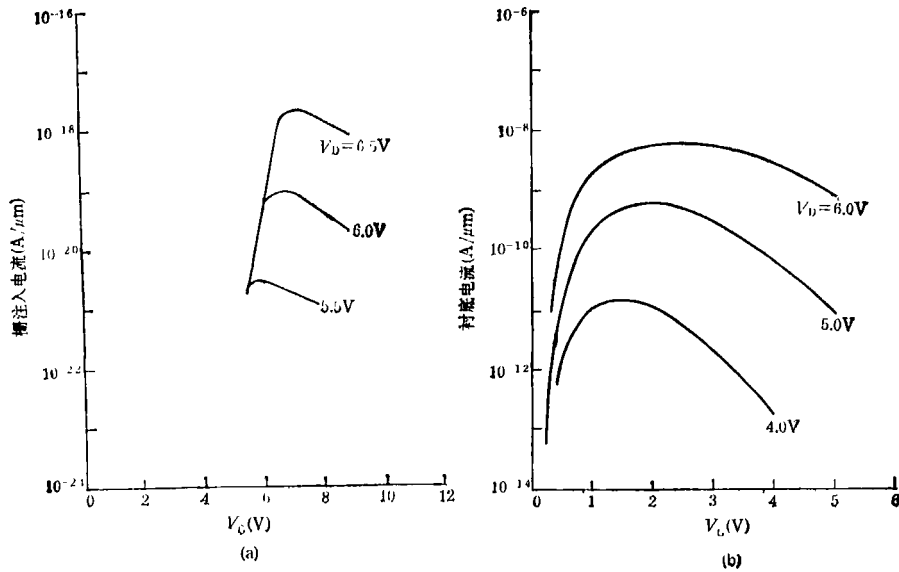


图 12 栅注入电流及衬底注入电流与 V_G 的关系
 $L = 1.8\mu\text{m}$; $t_{ox} = 800\text{\AA}$; $x_1 = 0.6\mu\text{m}$

(2) 电场强度和方向.

图 11 给出了 $V_G < V_D$ 和 $V_G = V_D$ 时电场的分布及其与表面的夹角。热电子进入氧化层的条件是 $\theta > 0^\circ$ ，同时必须有一较强的电场，由图可知，在漏附近电场较强。

图 12 给出了栅注入电流及衬底注入电流与 V_G 的关系。

强场下，上述第一种热电子速度大致正比于电场，逐渐趋于饱和，方向与电场一致，强电场引起的热电子数目正比于沟道表面自由载流子数目。因此，这部分热电子引起的栅电流分布于整个沟道，但大部分集中于漏区的附近。 V_D 由小变大时，沟道表面自由载流子浓度增加，因此栅电流增大。当 $V_G = V_D$ 时，这部分栅电流达到极大值；而 $V_G > V_D$ 时，由于沟道内电场分布趋于均匀，这部分栅电流反而变小。而碰撞电离产生的热电子可通过衬底电流来区别出来，热电子数目与电场强度成指数关系。当 $V_G < V_D$ 时，关断区电场较强，碰撞电离产生的热电子数较多，一般当 $V_G = \frac{1}{2} V_D$ 时，这

部分热电子产生的栅电流达极大值，而 V_G 继续增大时，沟道中电场趋向均匀，这部分栅电流开始下降。

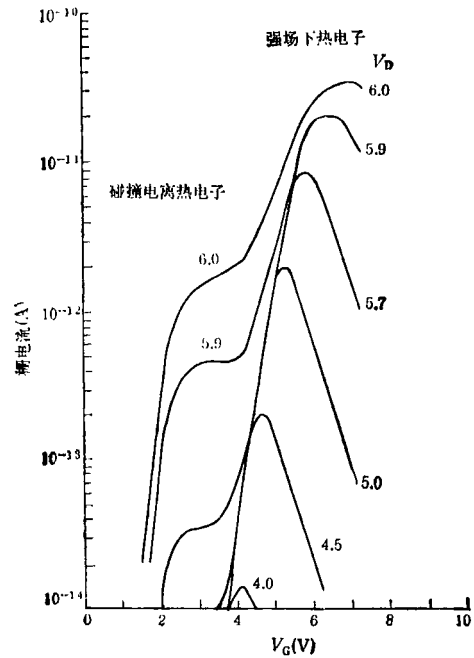


图 13 栅电流与栅电压 V_G 的关系
 $t_{ox} = 100\text{\AA}$; $L = 0.8\mu\text{m}$

图 13 为 $t_{ox} = 100\text{\AA}$ 时，两种热电子引起的栅电流综合结果。与图 7 相比，可见栅电流随栅氧化层的减薄而迅速增大。

热电子效应是我们所不希望的，解决的办法通常是降低沟道电场。

(栾洪发根据录音整理，王守武修改)