

# 极性/非极性半导体异质结构

蒋维栋 张翔九 王迅

(复旦大学表面物理实验室)

## 摘 要

由极性半导体 GaAs, GaP 等和非极性半导体 Ge, Si 等构成的异质结构,为高速集成和光电子集成技术的发展提供了新的机会,同时也为基础物理研究提出了新的课题。本文简要介绍极性/非极性半导体异质结构的制备和特性方面的一些基本问题及其在器件应用方面的发展现状。

### 一、一个吸引人的研究方向

极性/非极性半导体异质结一般是由 III-V 族化合物半导体(如 GaAs, GaP 等)和 IV 族元素半导体(Ge, Si)构成的。前者具有闪锌矿型晶体结构,原子间形成的是极性键,因而称为极性半导体;后者具有金刚石型晶体结构,原子间的键是纯共价性的,因而称为非极性半导体。

III-V 族极性半导体 GaAs, InP, GaP 等是重要的光电材料,它们的材料和器件工艺近年来发展很快,而 Si 的集成技术在各类电子器件的工艺中处于遥遥领先的地位。如果将这二者结合起来,在一块半导体芯片上,既做成 III-V 族光电器件,又做成 Si 集成电路,那未就可实现半导体光电子学与微电子学的结合,大大推进光电子集成技术的发展,这显然具有非常诱人的前景。另一方面,虽然 GaAs 器件在速度和光电特性方面大大优于 Si 器件,但大直径 GaAs 晶片不易获得,成本也比 Si 高得多。如果能在大直径 Si 衬底上生长优质的 GaAs 单晶,则可使 GaAs 器件兼有高性能和低成本的优点,且 Si 衬底的机械强度和导热性能比 GaAs 好,在它上面做成的 GaAs 器件有可能比在 GaAs 衬底上做的器件具有更大的

功率承受能力。所以实现优质的 GaAs/Si 异质外延生长,将使 GaAs 集成电路向大规模生产迈出一大步。

早期,用纯经验的办法生长极性/非极性异质结的尝试是不成功的,因为对这一体系的物理性质了解很少。只有在了解了生长机理和界面电子结构的基础上,制备优质的极性/非极性半导体异质结的技术工作才有可能取得实质性进展。不仅如此,对这一系统的物理性质的了解,还有助于加深了人们对 III-V/III-V 系统界面的认识,并且其中的 GaAs/AlGaAs 系统又是目前物理研究和器件应用中最为普遍的异质结。在极性/非极性半导体界面的情况下,有些问题如界面电荷、能带失配及其与生长条件的关系等,对界面特性有重要影响并难于控制。而这些问题实际上在 III-V/III-V 系统中也存在,只是不太显著而成为一种二级效应。对极性/非极性半导体界面的研究有助于从物理角度弄清这些效应,以便按需要对极性/非极性界面特性进行控制。因此,无论从基础物理研究角度还是从器件应用的巨大潜力来看,极性/非极性半导体异质结的生长和特性无疑是一个很吸引人的研究方向,特别是对从事分子束外延(MBE)和金属有机物化学气相淀积(MOCVD)生长半导体薄膜的工作来说,它已成为当前的热门课题之一。

## 二、极性/非极性半导体的异质外延生长

由于晶格常数、晶体结构、化学成分和活性等的不同,异质外延生长中会发生界面失配位错、反相无序和原子互扩散等一些问题。下面就这些问题的产生原因及其消除方法作一简单介绍。

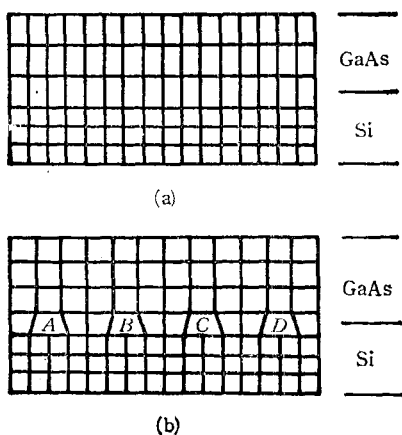


图1 外延生长模式

(a) 共度生长; (b) 非共度生长  
(A, B, C, D 为位错点)

### 1. 失配位错及其抑制方法

如果在晶格常数为  $a_s$  的衬底上生长晶格

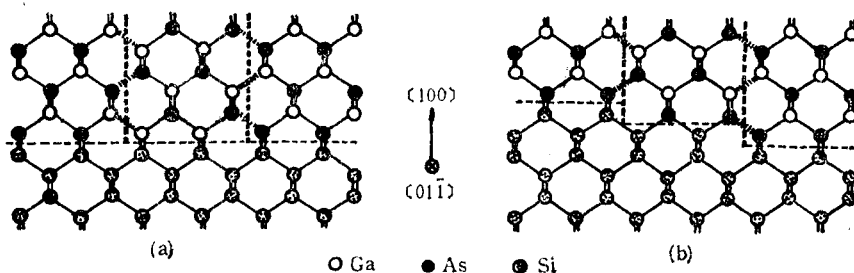


图2 Si(100) 表面外延生长 III-V 族化合物半导体所形成的反相无序

(a) 完全平整的; (b) 实际的

(2) 适当选取衬底的晶向<sup>[2]</sup>。一般是使衬底的(100)面朝 $\langle 011 \rangle$ 方向偏离 $2-4^\circ$ ,或采用(211)面,这会在Si衬底表面产生一个走向为 $\langle 01\bar{1} \rangle$ 的台阶结构,有利于第I类位错的生长,抑制第II类位错。

(3) 改进生长技术<sup>[3]</sup>。先在 $300^\circ\text{C}$ 时采用

常数为  $a_f$  的外延层,则它们之间的晶格失配  $f$  可定义为

$$f = (a_f - a_s) / a_s$$

对于 GaAs-Ge, GaP-Si 和 GaAs-Si 体系,  $f$  分别是 0.08%, 0.36% 和 4%。一般认为,  $f < 0.5\%$  的异质体系属于晶格匹配体系;  $f > 0.5\%$  的是晶格失配体系。对晶格失配体系,界面原子排列的不对应会产生失配位错。虽然用应变层生长的方式可以使两种材料在平行于界面的方向上的晶格常数调节到相同[如图1(a)所示],但这种应变层是亚稳的,其厚度有一个临界值,超过这个值,应变层的能量将以产生界面位错的形式释放出来,变成图1(b)的情形。对 GaAs-Si 体系,这个临界厚度只有  $70 \text{ \AA}$  左右,远低于器件制备所要求的值。

失配位错主要有两类:第I类位错的布氏矢量平行于界面,第II类的布氏矢量与界面成 $45^\circ$ 角。影响外延层质量的主要是第II类位错。目前,在抑制位错方面比较有效的方法是:

(1) 高温( $850-900^\circ\text{C}$ )热退火<sup>[1]</sup>。这可以使外延层中的位错密度由  $10^9 \text{ cm}^{-2}$  以上降到  $10^7 \text{ cm}^{-2}$ ,并且第I类位错增加,第II类位错减少,层错和孪晶完全消失。

MBE的脉冲束模式(MEE)生长 $1000 \text{ \AA}$ 左右的GaAs缓冲层,然后在 $600^\circ\text{C}$ 下用MBE继续生长GaAs。脉冲束模式是通过源挡板的周期性启闭来严格控制Ga原子和As原子的蒸发量,以交替生长Ga和As,使一个周期性操作对应于一个GaAs分子层。实验结果表

明,用 MEE/MBE 办法生长 GaAs 外延层,室温下电子迁移率为  $3100\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ , 接近于 GaAs 同质外延层的  $3300\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ . 而背散射沟道法测得  $x_{\min} = 0.033$ . 这种方法能改善外延层的质量,但其机理目前还不清楚,有可能是 MEE 促使 GaAs 在生长初期以二维原子层的方式而不是通常 MBE 中的三维岛状方式生长。

当然,以上几种方法的结合使用,可以达到最佳效果。

## 2. 反相无序

在非极性半导体衬底上生长极性材料时,会出现反相畴的问题。当外延层原子铺到衬底表面上时,可以在某些区域内以 III 族原子为第一层,另一些区域内以 V 族原子为第一层,于是就出现了不同原子堆垛形式的两种畴,如图 2(a) 所示。畴的边界也是位错,可以一直延伸到外延表面。

为了抑制反相无序,可以利用 As-Si 键强于 Ga-Si 键的特点,先在衬底表面覆盖一个单原子层的 As,然后再生长 GaAs。但实验上发现仍会发生反相无序。其原因是清洁的 Si 表面存在着单原子高度的台阶,表面覆盖 As 以后,台阶两边原子的排列顺序仍然是反相的,如图 2(b) 所示。

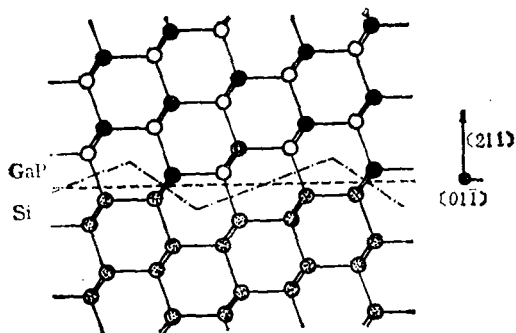


图3 Si(211)表面外延生长 III-V 族化合物半导体时的界面状态

目前已进行了许多消除反相无序的尝试,其中最有效的方法是采用 Si(211) 晶面<sup>[4]</sup>, 如图 3 所示。Si(211) 表面原子有两种不同的悬挂键状态,由于 As-Si 键比较强,双悬挂键位置

物理

比较容易被 As 原子占据,而单键状态则被 Ga 原子占据,结果在外延层中就不会出现反相无序。

另一种方法<sup>[5]</sup>是对 Si(100) 衬底表面进行适当的处理,使之形成双原子层高度的台阶,再预淀积 As 原子,然后进行外延生长,在台阶两侧原子排列就具有相同的顺序。然而要在纯 (100)Si 表面获得上述台阶结构,处理温度要相当高( $\sim 1000^\circ\text{C}$ ),实际工作中常使衬底的 (100)面朝  $\langle 011 \rangle$  方向偏离  $2-4^\circ$ ,降低温度要求。预淀积一层 As 原子后,为防止 As 的高温挥发,可先在较低的温度( $400^\circ\text{C}$ )下生长  $250 \text{ \AA}$  左右的 GaAs,然后提高温度至  $600^\circ\text{C}$ ,并以较高的生长速率 ( $1\mu\text{m/h}$ ) 继续生长 GaAs。这就是所谓的二步生长法。

## 3. 衬底原子的外扩散

在极性半导体衬底上生长非极性半导体时,会出现一些比较严重的问题。例如,在 GaP 表面上外延生长 Si 时, Ga 和 P 会在 Si 外延表面发生偏析。de Jong 等<sup>[6]</sup>发现,在 GaP (100)衬底上生长 Si,即使生长温度只有  $450^\circ\text{C}$ , Si 表面也有高浓度的 Ga, P 可以被检测到。当外延层厚度达到  $1120 \text{ \AA}$  以后, P 的偏析不明显,而 Ga 偏析依然存在。我们对 Si/GaP (111)的实验结果表明<sup>[7]</sup>, P 的偏析比 Ga 来得严重。在  $450^\circ\text{C}$  时生长 Si,当外延厚度达到  $100 \text{ \AA}$  时,表面 Ga 的偏析已不明显,但 P 的偏析持续到  $1500 \text{ \AA}$  以上。

Ga, P 偏析会在 Si 外延层中造成自动掺杂,其浓度可达  $10^{17}\text{cm}^{-3}$  或更高,严重地限制了它在器件上的应用。正在尝试消除或减轻这种偏析的方法,但尚无实质性进展。

## 三、极性/非极性半导体异质结的界面特性

### 1. 界面电荷和偶极矩

在一个理想的陡变界面处,成键的原子对是 IV 族原子同 III 族或 V 族原子。因为所有的键都是四面体键,每个原子同四个最近邻原

子相连,不管是 Si-Si, Ga-As 还是 Si-As, Si-Ga 键,每个键上总电子数均为 2,只是键上电荷的分布不同。如果外延的第一层是 As 原子,则 As-Si 键的存在会使界面电荷不平衡。As 原子向 As-Si 键贡献 5/4 个电子, Si 原子贡献 4/4 个电子,在理想的 GaAs/Si(100) 界面,每个 As 原子与两个 Si 原子成键,这样就多出 1/2 个电子,这部分电荷由于束缚较弱而成为自由电荷,As 原子带正电 ( $+e/2$ ),界面上就有净电荷和电偶极矩。如 Si 的晶格常数是  $a_0$ ,则界面电荷密度为  $e/a_0^2$ ,这是一个相当高的数值,产生一个很强的电场 ( $E = e/a_0^2 \cong 4 \times 10^{17} \text{V} \cdot \text{cm}^{-1}$ )。

Harrison 等<sup>[8]</sup>指出,这样高的净电荷使得界面在能量上是不稳定的,因而在生长时,界面会发生某种原子互混,使界面电荷和偶极矩都变得最小。图 4 就是在 Si(100) 面上 GaAs 与界面 Si 原子重新排列(再构)的情形。Si 衬底最外层的一部分原子被 Ga 原子替代,由于 Ga 原子在形成 Ga-Si 键时,少提供了  $e/2$  电荷,正好与 As-Si 键相反。一旦界面附近 As-Si 键数与 Ga-Si 键数相等,界面就呈电中性。

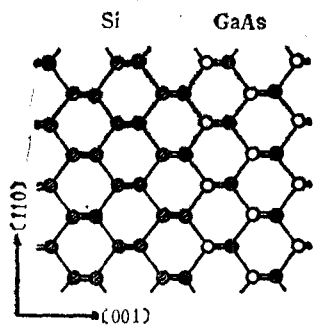


图 4 Harrison 模型: 界面电荷将使界面原子排列发生变化

但事实上,界面再构在生长过程中并不能达到非常完美的地步,界面处仍残留有高度依赖于生长工艺条件的界面电荷和偶极矩。即使消除了 99% 的界面电荷,其残留的部分仍是相当大的,对器件的影响不可忽略。

对于非极性的 (110) 面, Ga 原子和 As 原子数目相等,所以一个理想的 GaAs/Si(110)

界面是电中性的,不会发生界面的再构。其实只要晶向指数  $[hkl]$  满足下列关系,就可获得电中性的异质界面:

$$[hkl] \cdot \langle 111 \rangle = \pm h \pm k \pm l = 0.$$

除了 [110] 外, [112] 和 [123] 晶向也符合上述关系。

## 2. 能带失配

两种不同半导体界面处能带的不连续性是异质结研究中的一个核心问题。界面处的价带失配  $\Delta E_v$  (或导带失配  $\Delta E_c$ ) 是考虑所有异质结特性的出发点。

对于极性/非极性半导体的能带失配问题研究得最广泛的是晶格匹配的 Ge-GaAs 体系,但至今仍有许多问题有待澄清。对于 Si-GaP 体系,有为数不多的工作;而 Si-GaAs 晶格失配体系的界面情况比较复杂,也不易控制,因而尚未得出可靠的实验数据。

对于 Ge-GaAs,早期的实验得到的  $\Delta E_v$  数据相当不一致,从 0.09eV 到 0.54eV 均有报道,其变化范围相当于 Ge 禁带宽度的 68%,而且发现  $\Delta E_v$  值同生长顺序有关,即在 Ge 上生长 GaAs 和 GaAs 上生长 Ge,其能带失配有较大的差异。 $\Delta E_v$  与所用的晶向有关。此外,Ge 在 GaAs 上的  $\Delta E_v$  值还会随时间发生变化等等。这些情况的出现很可能是因为 Ge 和 GaAs 之间有较强的化学相互作用,使这个系统很容易受界面化学反应的影响。并且象前面所提到的反相畴的存在,界面电荷或偶极矩的未完全消失,都会使实验测量值受到很大的影响,结果使  $\Delta E_v$  值同生长的具体工艺有密切关系,不同的实验得出相当分散的  $\Delta E_v$  值。Grant 等<sup>[9]</sup>对 GaAs (110) 衬底上 MBE 生长 Ge 进行了精心的测量,得到了

$$\Delta E_v, [\text{Ge}/\text{GaAs}(110)] = 0.53 \pm 0.03 \text{eV}.$$

由于不存在反相无序,并且  $\langle 110 \rangle$  面具有很小的界面电荷,因而上述结果被认为是比较可靠的能带失配数据。

对于 Si/GaP(110), Perfetti 等用光电子发射测得  $\Delta E_v$  为 0.8eV<sup>[10]</sup>,即 Si 和 GaP 的能带不连续 ( $\Delta E_g = 1.15 \text{eV}$ ) 的大部分发生在

价带处。有过很多理论方法计算这一晶格匹配体系的能带失配值,但多数与实验符合得不好。黄春晖等<sup>[11]</sup>用自洽 EHT 方法和集团与薄片模型计算了这一体系在不同晶向时的  $\Delta E_v$  值,得到的结果是 0.87eV (110), 0.88eV (111) 和 0.97eV ( $\bar{1}\bar{1}\bar{1}$ )。虽然  $\Delta E_v$  的值对不同的晶向来说差别不大,但界面电子态对这三种晶向确有显著的差别。

### 3. 输运特性及其应用

异质结的输运特性主要取决于其能带失配和其它界面特性,极性/非极性异质结也是如此。但是对 GaAs/Si, 由于存在前面所讨论过的各种复杂的界面情况,结的伏安特性并不十分理想。例如,用 MBE 生长加退火方法制成的 GaAs(p)/Si(n) 结,其正向伏安特性的  $n$  因子为 1.5, 反向漏电流为  $10^{-3} \text{A} \cdot \text{cm}^{-2}$  (5V 偏压)<sup>[12]</sup>。如能进一步改善其特性,则不仅可以将 GaAs 器件和 Si 器件做在同一芯片上,并且 GaAs/Si 界面本身也可以作为有源器件同 GaAs 器件和 Si 器件集成在一起。有人曾经尝试过在 Si 衬底上外延 GaP, 做成 GaP(n)/Si(p)/Si(n) 结构的异质结双极型晶体管 (HBT), 以宽能隙的 GaP 做发射极来抑制空穴流, 提高发射效益。但实际制得的器件的共射极电流放大系数  $\beta \leq 9$ , 尚未达到可以应用的水平。理论分析预测这种晶体管的最高振荡频率可达 100GHz<sup>[13]</sup>, 这当然还是很有吸引力的。

## 四、发展水平与展望

Si 衬底上用 MBE 生长的 GaAs 层具有比较高的质量,这反映在它所制造的单个器件的性能上。例如,在 Si 衬底上外延 GaAs 所做的金属-半导体场效应晶体管 (MESFET), 其跨导  $g_m$  可达 200ms/mm, 电流增益截止频率  $f_T = 30\text{GHz}$ , 最高振荡频率

$$f_m = 13.3\text{GHz}^{[14]}$$

这些性能与 GaAs 衬底上外延 GaAs 层以及 GaAs 衬底片上离子注入后制成的 MESFET

的性能相近。另外,在 Si 衬底上做成 AlGaAs/GaAs 调制掺杂场效应管 (MODFET), 可以得到霍耳迁移率为  $38000 \text{cm}^2/\text{V} \cdot \text{s}$  (77K) 和  $51000 \text{cm}^2/\text{V} \cdot \text{s}$  (10K),  $g_m = 170 \text{ms/mm}$  (300K) 和  $275 \text{ms/mm}$  (77K)<sup>[15]</sup>, 也接近于 GaAs 衬底上的 AlGaAs/GaAs MODFET 的性能。

比起场效应晶体管来,双极型晶体管的性能更能反映外延层的质量。在 Si 衬底上生长 GaAs 层做成的 AlGaAs/GaAs HBT, 在基区宽度为  $0.2 \mu\text{m}$  时,具有  $\beta = 13$ ,  $f_T = 30\text{GHz}$ ,  $f_m = 11.3\text{GHz}$  的性能<sup>[16]</sup>, 比起 GaAs 衬底上做成的最好的 HBT 来,性能略为差些,后者的  $f_T = 40\text{GHz}$ ,  $f_m = 26\text{GHz}$ 。

用它来制造 GaAs 集成电路,已经实现的有: (1) 用增强/耗尽 (E/D) 型 MESFET 做的 17 级环形振荡器<sup>[17]</sup>, 其最小延迟时间为 51ps/门, 功耗为 56fJ/门, 其速度-功耗乘积比 GaAs 衬底上做的同样器件略差些。(2) E/D MESFET 1K 位静态随机存储器 (SRAM)<sup>[18]</sup>, 其存取时间为 6—14ns, 相比之下,在 GaAs 片子上做的同样的 SRAM 器件,存取时间为 4—12ns; 二者的功耗可以相比,小于 500mW。

将 GaAs 器件与 Si 器件做在同一块晶片上的尝试也已获得成功。如 AlGaAs/GaAs MODFET 和 Si  $n$  沟道 MOSFET 做在一起<sup>[19]</sup>, 或 GaAs MESFET 与 Si MOSFET 做在一起<sup>[20]</sup>, 不仅器件的直流特性可以同单独的 GaAs 和 Si 衬底上做的器件相比较,而且在经过完全不同于 Si 的 GaAs 器件制造工艺后, Si MOSFET 的特性没有发现退化。这预示着 GaAs-Si 器件的单片集成完全是有可能的。

Si 上的 GaAs 外延层用来制作光电器件 (包括太阳能电池、发光二极管和激光器) 的尝试也已进行。目前最主要的努力是放在 AlGaAs/GaAs 量子阱激光器上。随着外延质量和工艺的不断改进,激光器的阈值电流密度大大降低。最近报道用渐变折射率单量子阱 (GRIN-SQW) 结构做成的激光器,其室温下的阈值电流密度为  $600 \text{A}/\text{cm}^2$ <sup>[21]</sup>。但是,在 GaAs 衬底上做的 AlGaAs/GaAs 单量子阱激光器的阈值

电流密度已达到  $93\text{A}/\text{cm}^2$ 。所以前者离实用尚有一些差距。

总的看来,经过近几年的努力,极性/非极性半导体异质结的研究已有了实质性进展。今后的目标是除继续提高外延层质量和单个器件的性能外,至少还应做好以下几方面较诱人的工作:(1)实现 GaAs 与 Si 电路的单片集成。这包括将大电流的 GaAs 作为输出驱动极与小电流的 Si n-MOS 逻辑电路相结合,以及用 GaAs 光电器件作为 Si 集成电路的输出或接收级来实现光信号从芯片到芯片的传输,提高计算机的速度。(2)以 GaAs/Si 异质结作为衬底,在它上面外延 HgCdTe 或 CdTe 等重要光电材料,以制备新型光电探测器。(3)在 GaAs/Si 异质结中间插入一层  $\text{CaF}_2$ ,做成 GaAs/ $\text{CaF}_2$ /Si 的异质结构,利用  $\text{CaF}_2$  良好的绝缘性能来实现 GaAs 器件和 Si 器件的三维集成。毫无疑问, GaAs/Si (也许还包括其它极性/非极性半导体异质结)在未来的高速电子学和光电子学中的应用前景是很乐观的。

[1] J. W. Lee et al., *Appl. Phys. Lett.*, **50**(1987), 31.

- [2] T. Ueda et al., *Appl. Phys. Lett.*, **25**(1986), L789.  
[3] J. Varrio et al., *Appl. Phys. Lett.*, **51**(1987), 180.  
[4] S. L. Wright et al., *J. Vac. Sci. Technol.*, **21**(1982), 534.  
[5] H. Kroemer, *J. Vac. Sci. Technol. B*, **5**(1987), 1150.  
[6] T. de Jong et al., *Appl. Phys. Lett.*, **42**(1983), 1073.  
[7] Weidong Jiang et al., *Appl. Phys. Lett.*, **51**(1987), 1910.  
[8] W. A. Harrison et al., *Phys. Rev. B*, **18**(1978), 4402.  
[9] R. W. Grant et al., *Phys. Rev. Lett.*, **40**(1978), 656;  
*J. Vac. Sci. Technol.*, **15**(1978), 1451.  
[10] P. Perfetti et al., *Phys. Rev. B*, **30**(1984), 4533.  
[11] 黄春晖等, 半导体学报, (待发表).  
Chunhui Huang et al., *J. Phys. C. Solid State Physics*, (to be published).  
[12] M. S. Unlu et al., *Appl. Phys. Lett.*, **51**(1987), 1995.  
[13] H. Kroemer, *IEEE Trans. Electron Device*, **ED-25**(1978), 1339.  
[14] R. Fischer et al., *IEEE Trans. Electron device*, **ED-33**(1986), 206.  
[15] R. Fischer et al., *Electron Lett.*, **20**(1984), 945.  
[16] R. Fischer et al., *Solid-State Electronics*, **29**(1986), 269.  
[17] T. Nonaka et al., *Jpn. J. Appl. Phys.*, **23**(1984), L 919.  
[18] H. Shichijo et al., *IEEE Electron Dev. Lett.*, **EDL-8**(1987), 121.  
[19] R. Fischer et al., *Appl. Phys. Lett.*, **47**(1985), 983.  
[20] H. K. Choi et al., *IEEE Electron Dev. Lett.*, **EDL-7**(1986), 241.  
[21] H. Z. Chen et al., *Appl. Phys. Lett.*, **51**(1987), 1320.

(上接第 249 页)

极努力,达到了各项预定指标,突出的进展包括大面积薄膜沉积系统和激光刻蚀机等的研制成功,为我国非晶半导体薄膜器件的发展创造了条件;小面积非晶硅太阳能电池的转换效率已达到 9%,并已能批量生产转换效率为 5% 的太阳能电池;大面积液晶显示、压敏器件等的开发和应用研究已取得了一定的成果;可擦重写的相变光盘及一次写入光盘的研究已达到国际水平,并达到了实用化程度。

会议还就我国非晶态研究的现状和发展,非晶态材料的开发和应用等共同感兴趣的问题组织了广泛深入的专题讨论。许多代表认为,我国有一支素质好水平高的研究队伍,年轻力量又占相当大的比例,后继有人。目前我国非晶态领域的研究,在某些方面达到了国际水平。大家认为,非晶态材料在我国经历了十年的高速发展以后,应用前景已非常明显,有的已取得了很大的经济效益。但应该看到,非晶态研究中的一些基本问题尤其是与应用相联系的一些物理问题并不清

楚,有些人已转移到了超导等研究领域,再加上体制投资的收益和各集团的利益等主观上的原因,使非晶态材料应用的发展速度受到限制。今后,非晶态材料的研究还有许多的工作要做,只要有各级领导的关怀和支持,科技工作者一定能为我国非晶态物理学的进一步发展和非晶态材料的更广泛应用作出更大的贡献。

本届会议对给予会议关心和资助的中国科学院数理化学局、四川大学、中国科学院物理研究所、中国科学院半导体研究所、中国科学院上海硅酸盐研究所、冶金工业部钢铁研究总院、冶金工业部有色金属研究总院、冶金工业部上海钢铁研究所、机械电子工业部重庆仪器仪表研究所、北京大学计算机系、北京大学无线电电子学系、北京航空航天大学、山东大学物理系、南京大学物理系、南开大学、兰州大学物理系等单位表示衷心的感谢。

(沈保根)