

亚微米器件的一些物理问题

方兆娃

(苏州大学物理系)

彭英才

(河北大学电子系)

要建造功能比现有的更强大的超级计算机、新型雷达,或在微波段以上甚高频率下工作的通讯卫星,就需要超高速的半导体器件。亚微米器件就是为了适应这种需要而发展起来的。在亚微米器件中,由于空间上的短尺度与时间上的瞬变,各种物理标度之间的相互关系的改变,有可能出现各种新现象和新问题。本文概要介绍这一新兴领域十几年来来的物理研究进展。

在电子电路微型化技术的发展中,按目前超微细加工技术的发展水平来看,在不远的将来把电路中的元器件尺寸缩小到分子尺度(10—20nm)乃至真正原子尺度($\lesssim 10 \text{ \AA}$)并非不可置信。但是,当空间和时间尺度缩小和缩短到分子、原子间的量级时,载流子动力学必然与以往不同,传统的能带理论、有效质量理论、介电响应理论、统计平均方法、经典输运理论,以及经典的器件模拟设计方法等是否还能适用,都将成电子电路继续微型化的过程中最终必将面临的物理问题。

一、物理尺度与新效应

1. 晶体管的工作速度

半导体集成电路不外乎两类,除了数字电路就是模拟电路。由于晶体管对电压变化的响应速度与电子从源极到漏极的运动速度成正比,所以,从根本上说两类电路都要求晶体管能迅速响应栅流的变化。因此,要提高器件的工作速度,或是再度缩小器件的体积以便减少携带信号的电子必需的行程,或是选择电子有效质量更小的材料以便增大电子在器件内的流动速度。例如 III-V 族半导体,比硅具有较小的电子有效质量,再通过调制掺杂技术将电子与电离母施主隔离,有效地抑制了杂质散射,因而获得了很高的电子迁移率^[1]。

2. 速度过冲和速度饱和

在实际晶体(或半导体器件)中电子的运动实际上是随机的,它仅在两次碰撞之间的极短时间($\sim 1\text{ps}$)内才是弹道式飞行的。试想在一亚微米 FET 内,若在 $0.1\mu\text{m}$ 的沟道上跨有 1V 势差,则产生的平均电场约有 10^5V/cm 。一个以 10^7cm/s 的速度进入沟道的电子穿过长 $0.1\mu\text{m}$ 的沟道只需 10^{-12}s 左右,这个时间尺度差不多就是动量、能量与电荷的弛豫时间,在此时间尺度上,电子又遇到极短距离上突变的高场区,因而没有足够的时间去建立任何种类的平衡分布。电子在对高电场的瞬态响应中可被加速到很高的漂移速度,大大高于稳态值,这类现象称为“速度过冲”。速度过冲是一个瞬态非平衡效应,它发生在 $\lesssim 1\text{ps}$ 的时间内,代表一个载流子分布对场强突变的响应,可用 ps 高速激光器的光激发来检测它。例如在室温下 GaAs 中的导电电子起初都在中心谷内,由于速度过冲效应,可以在十分之几微米的行程上被电场加速到具有 500km/s 的漂移速度。但是这种速度过冲不能持久,因为高速运动的电子容易从中心谷散射入卫星谷内,那里电子具有较大的有效质量,因而漂移速度大大降低,并在“速度饱和”状态中受到众多的散射(图 1)。

图 2 为分别对碰撞持续时间 τ_c 为零和非零($=0.1\tau_0$)的情况作出的载流子平均速度对时间的瞬态曲线,表明当载流子从中心谷到卫星谷的转移需要有限时间时高瞬时速度的可能性。

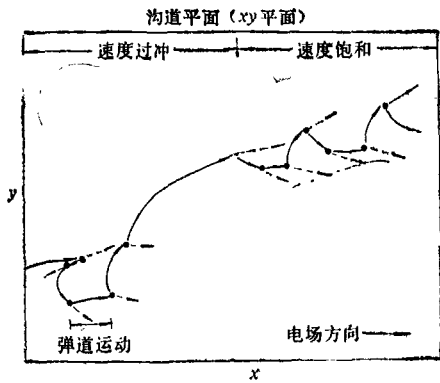


图1 GaAs 晶体中初始在中心谷的导电电子沿着外电场方向的漂移运动
实线代表电子的运动路径;虚线代表声子的散射^[2]

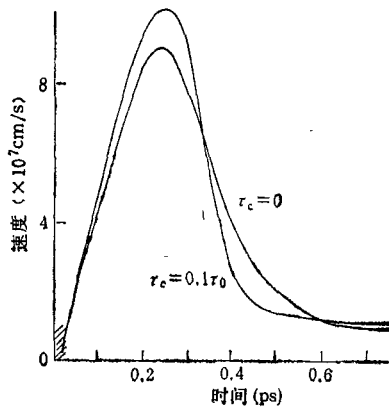


图2 根据量子运动方程起始的三个矩,对 GaAs 作出的瞬态曲线^[2]
GaAs, $N_0 = 10^{17}$; $F = 27 \text{ kV/cm}$; $T = 300 \text{ K}$;
阴影 平均弹道区

图3表示随着器件尺寸(L)缩短表观饱和漂移速度增大,同时原来存在的负微分迁移率(曲线下降部分)消失。这给我们提示设计一种尺寸相关器件的可能性,这种器件在某种情况下提供负微分迁移率,而在另一种情况下提供速度饱和。从图3还可以看出,在甚微器件中过冲效应的重要作用并不在于减少渡越时间的直接意义上,而在于其增大有效饱和速度的间接贡献。

图4表示速度过冲与偏置水平(或场强)的关系。在1,5及10kV/cm三种不同偏置水平下,速度峰值逐级提高同时离漂移速度达到稳定值时的时间间隔越来越短,即速度弛豫时间

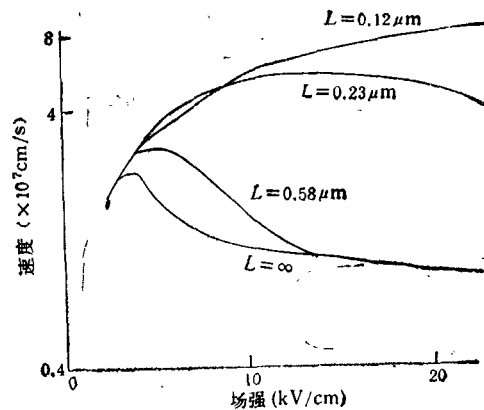


图3 以渡越距离 L 为参数得到的漂移速度(= L/t)与场强的关系^[2]

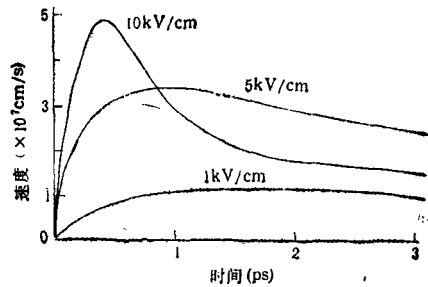


图4 以偏置水平(场强)为参数得到的漂移速度与时间的关系^[2]

越来越短。这是由于偏置水平愈高热载流子的速度就愈快,但散射率也就愈大。图4还表明,对于给定的微米级器件尺寸存在一个最佳的场强使得速度过冲最大。

许多半导体中呈现速度过冲现象。前面看到,在GaAs中速度过冲是由于电子在谷际迁移中存在有效质量的差异而引起的,而在Si中则可以由于弛豫时间的差别引起速度过冲。因为当能量弛豫时间 τ_E 大于动量弛豫时间 τ_M 时将首先出现速度冲上一峰值,然后随着平均能量增加而引起的散射率增加使速度衰减到一稳定值。

3. 弹道输运、速度过冲结构与弹道电子器件^[3]

所谓“弹道输运”是指载流电子在半导体中无散射的平滑运动。由于碰撞是不连续地发生的,所以电子可以在不发生碰撞的情况下运动一段距离。若将半导体器件做得非常之小,使得电子必行的路程显著小于两次碰撞间的平均

距离,则原则上便可实现或接近电子的弹道输运。

以短沟道 FET 为例,若电子能以尽可能大的速度“发射”到导电沟道中去,则其平均速度将会大大提高,从技术上讲就可能实现器件中电子的弹道输运。以砷化镓、掺杂砷化镓和砷镓铝三元化合物为材料做成的某种异质结^[1]、平面掺杂势垒和隧道势垒已被用作这类电子注入极。(它们各自的结构及速度过冲机构,可参看《半导体中的弹道电子》一文^[2]。)

普通的 FET 中电子是沿着有源层作水平运动的,现在设计一种薄膜生长成的迭层结构做成的新颖的 FET,称为垂直型 FET,只要充当导电沟道的那层膜相当薄,电子从源极到漏极的路径就可以极短,又有适当的注入极,可望实现弹道电子输运的超高速器件。目前这类弹道电子器件正在不断出现。

4. 量子干涉和 Aharonov-Bohm 效应(以下简称 A-B 效应)^[4,5]

Aharonov 和 Bohm 在 1959 年曾根据量子力学原理预言:如果让电子束从一屏蔽磁体的附近通过,电子波函数的相位将会发生改变。他们把这种效应归因于磁场内外各处都存在着一种可称为“磁矢势”的实体。在电相互作用中完全对应地也存在着“电标势”和静电 A-B 效应,即电标势也能在不存在电场的某一区域内造成电子波函数的相位偏移。其实,将熟知的杨氏双缝干涉实验稍加改变^[4],观察到改变前后电子波干涉图案的明显偏移,便可表明这两种 A-B 效应的存在。

人们为测定固态导体中的 A-B 效应,在一些小到基本消除了非弹性散射的固态导体中,例如在一根 $0.03\mu\text{m}$ 见方、长 $1\mu\text{m}$ 的细金属线中,或在一个内径 $0.78\mu\text{m}$, 外径 $0.86\mu\text{m}$ 的小金属环中,测定了电子干涉效应,发现了这些导体的电导或电阻的周期振荡现象。很快又在其它金属和半导体中也得到了证实。振荡值可高达总电阻的 50%。

人们预言,量子干涉和 A-B 效应在未来的电子学中可能会有特别重要的作用,这里要提

到一种“中观结构”(mesoscopic structures),指的是一种在一切方向上的尺度均可与非弹性平均自由程相当的结构。1985 年以来大量实验已经证明,在这类结构内的电子输运受量子干涉效应的影响,因而产生了一些以控制波函数相位为基础的“横向”量子干涉器件的设想。也可望实现采用“势”来调节电子波动特性以控制电阻和电压的新型器件。以及利用“量子镣”实现用电子波导仿造在集成光学和微波电路中熟知的许多东西。最后值得提到一种横向表面超晶格器件,它的主要特点是有一个 200nm 周期的金属格栅极,当源漏间加上微小电压后,随着栅压的升高,电子费米波长减小,当其半波长的整数倍等于栅格的周期时,就出现离周期势的反向衍射。在充分负的栅压下,栅金属下的二维电子被耗尽,留下一个隔离的、抛物型势阱阵或“量子斑”(quantum dots),每平方米有 25 亿个量子斑(100nm 周期的格栅,量子斑的直径约 25nm,密度可达每平方米 100 亿个)。利用量子斑阵与其四邻按预期方式相互作用,将来可望实现大规模并行计算,也是细胞自动机设计中的一个可行方案。

5. 过热载流子效应

在高场下 ($>10^3\text{V/cm}$),半导体内的载流子被加速到远远超过它们的热平衡能量(即由晶格温度给出的能量)。在远离热平衡的情况下,电子在晶格内的运动就象在高温下一个高度无粘性的流体在较冷的晶格内运动并将能量传给晶格。热电子比冷(低能)电子可以激发更多的晶格振动,结果这种温度升高使电导率降低;电子气的流动性变差后,散射就更频繁,所以欧姆定律不再成立。显然,要使电子气与晶格保持热平衡就要采用较小的电场,这样随着器件越来越小电压也必须越来越小。然而,由于一方面半导体器件的阈电压各不相同,另一方面半导体器件的内建电压具有半导体能隙的量级,而能隙又是晶体的固有特性,它是不能按比例缩小的,所以加于半导体器件的电源电压未必能降到 1V 以下。

6. 微器件和二维度

随着器件尺寸的缩减,载流子被限制在由元器件大小所确定的窄势阱内,因而产生“尺寸量子化”效应^[4]。如果阱宽比电子波长还小,尺寸量子化就导致大间距的子带,此时载流子具有准二维性质,可看作该区域内的准二维电子气体,由子带物理学决定其输运性质。声子的“二维性”和限制载流子的界面势关系不大,而取决于相邻两媒质的弹性常数。此外,几乎所有的散射机构都与最终的态密度有灵敏的依赖关系。在三维半导体内态密度随 \sqrt{E} 而增加,然而,在准二维反型层时,它竟与能量无关!

对微器件预期的效应,Hess等人曾列过一张表共28项,不便在此逐一细述,有兴趣者请参看文献[6]。

二、亚微米器件的输运物理学^[7,8]

玻耳兹曼输运方程(以下简称BTE)一直是经典和半经典输运理论的基础,但它只在弱耦合极限时才是正确的,即电场是弱的,至少是缓慢变化的;碰撞是二元的并且在空间和时间上都是即时发生的。

在亚微米器件的尺度下,经典的概念还适用否?我们不妨把空间尺度分成 $0.25\mu\text{m}$ 以上的、 $0.1-0.25\mu\text{m}$ 的以及 $\leq 250\text{\AA}$ 的三档,且按相应的活性区长度(例如MOSFET中的沟道长度)定义为微器件(以SD表示)、中等微器件(MSD)以及甚微器件(VSD)来考虑。

以MOSFET为例,当沟道长度在 $0.25\mu\text{m}$ 以上时,器件渡越时间 τ_d 、平均自由时间 τ 和单体碰撞时间 τ_c ,三者满足不等式

$$\tau_c \ll \tau \ll \tau_d.$$

此时,经研究,那些固态电子学的传统概念:有效质量、能带理论以及唯象的玻耳兹曼输运理论,除去在一些甚高频、甚强场以及某些瞬态现象的场合外,都还是适用的。

在MSD时, τ 可达到 τ_d 的分数级。更重要的是, τ 可与 τ_c 相差无几,即 $\tau_c \leq \tau < \tau_d$ 。这种情况,部分是由于外加电压与温度都不能实行按比例缩小,因而由于速度饱和或功耗增加,越来越高的工作场强导致 τ 的减小。经研

究,可以认为MSD的输运物理学可以建立在Wigner载流子分布的类玻耳兹曼图象的基础上。

在甚微尺度($\leq 250\text{\AA}$ 的VSD)时,平均自由时间(τ)的概念就变得无意义了。这是由于在更高的工作电场($\sim 600\text{kV/cm}$)下,又是如此短的沟道长度,使得渡越时间 τ_d 比 τ 还要短,简直可与碰撞时间 τ_c 相比,即 $\tau_c \lesssim \tau_d$ 。

此时外场和环境的影响都不能当作微扰看待,同时玻耳兹曼图象也就完全失效。相干和隧穿的输运过程变得可能。随之而来的尺寸量子化,可导致 1meV 到 1eV 的能量间距。这样,室温量子效应也就可能。这种尺寸量子化使得必须根本改变描绘输运的方法。

在VSD尺度时,载流子波长伸展到四周的接触、界面、互连以及其它器件中去,因而整个体系的空间不均匀性不容忽略。已有人建议把电荷密度波(CDW)和de Broglie波导作为VSD阵的可控特性。例如,在金属化互连的侧向尺寸到达 100\AA 时,把输运看作“de Broglie波”导引的要比看作由经典质点轨道所控制的更为合适。

以上所说,都足以说明在不久以前还纯属理论物理学领域的概念和方法,现在已开始被人们认为对将来技术上可行的器件具有普遍的指导意义了。

三、亚微米器件的物理与工艺极限

1. 物理极限

(1) 电流热效应

随着电子器件尺寸的缩小,元件和引线的截面或宽度甚微,因阻抗而以热量的形式所损耗的每单位面积的功率增加。过于集中的热量如果不设法散发出去,电迁移效应将会导致导体变形乃至器件被烧毁。除非设计制造耗能更小的新型元件,否则每块芯片上的元件数将达到极限。

(2) 量子隧穿效应

如果在两个导体之间有一很薄的绝缘体,厚度在 $10-100\text{\AA}$ 之间,则由于量子隧道效应,

电子有一定的几率穿过绝缘层。在 MOSFET 中,隧道电流应远小于工作状态下的电路电流。因此,量子效应构成了对栅极氧化物层和耗尽层厚度的基本限制,其极限尺寸为 50 \AA 。目前,栅氧化层厚度已达 $100-200 \text{ \AA}$,此值与极限尺寸已相距不远。

(3) 介质击穿效应

介质击穿限制了半导体中的电场,因而也限制了器件尺寸的减小和工作速度的提高。如果电场超过了半导体的临界电场 ($3 \times 10^5 \text{ V/cm}$),则由于雪崩击穿会导致电流迅速增大,这对减小尺寸是个极大限制。

(4) 统计涨落效应

作为器件掺杂技术,通常采用热扩散和离子注入,由于这两种掺杂所确定的杂质分布是一种统计分布,其精确度有一定限制。当器件尺寸缩减到微米量级以下时,实际上“认为是均匀掺杂的”这一观念就不再适用了。掺杂统计涨落效应的存在直接影响到这个尺度下的其它性能;例如击穿特性等。

(5) 寄生效应

单纯将传统器件按比例缩小,结果由尺寸缩小所得的好处,最终势必要被骤增的各种寄生效应引起的损耗全盘抵销。

2. 工艺极限

(1) 光学曝光

在集成电路蚀刻工艺中,目前仍多采用光学曝光,而集成电路的尺寸,今天已减小到受光波波长限制的范围。由于光的衍射现象,光在穿透掩膜的空隙时会发散。光线发散的程度取决于光的波长。目前所使用的光源波长约为 $0.5 \mu\text{m}$ 。当芯片中元件尺寸和间距尺寸减小到上述量级时,光学曝光方法便不再适用。

(2) 电子束曝光

由于电子束波长比可见光短得多,可用来加工尺寸更小的电路。在实验室中进行的电子束刻蚀,线宽可减小到 $0.3-1 \mu\text{m}$ 。但是,由于采用电子束曝光存在着邻近效应,以致严重影响其分辨率,在显影后形成的抗蚀剂图象不能精确地复现电子束照射象。

(3) X射线曝光

X射线的特点是波长短、能量高、对物体有很强的穿透能力,并且随波长的缩短而增强。由于邻近效应很小,所以能复印出极为精细的图形。

(4) 离子束刻蚀

在更远一点的将来,还可以采用离子束刻蚀。离子束曝光的最小尺寸,其量子力学理论极限原则上与电子束相似,但由于离子质量比电子大得多,因此可复印出比采用X射线曝光更为精细的图形。人们预料其加工线宽可达 100 \AA 。

3. 新功能器件及电路

由于电路集成度的迅速提高,加工线宽急剧减小,预计在90年代初期,平面蚀刻技术就将面临不可逾越的亚微米极限,这就迫使人们不得不另辟新径而开发、制造和使用新功能器件及电路,以解决由物理与工艺极限引起的问题。这也是近年来各国科学家竞相研制超导计算机,光计算机以及生物计算机的历史背景。

然而,微电子技术本身的历史证明,电子输运物理学、材料科学技术以及器件加工技术的研究是微电子技术发展中的一辆三套马车,只要三者并驾齐驱,加上新的测试技术能够跟上,那么总是在正当我们感到山穷水尽疑无路的时候总会出现柳暗花明又一村的转机。

新概念、新器件、新工艺正在不断出现^[1],有些已达到在实际试样上进行实验的程度。在提高器件工作速度,解决电流热效应以及功耗等方面都已显示出诱人的发展前景。

- [1] 方兆桂,电子科学技术, No. 4(1988), 32.
- [2] W. R. Frensley, 科学(中译本), No. 12(1987), 46.
- [3] M. Heiblum, L. F. Eastman, 科学(中译本), No. 6(1987), 35.
- [4] Y. Imry, R. A. Webb, 科学(中译本), No. 8(1989), 18.
- [5] F. Capasso et al., *Phys. Today*, No. 2(1990), 22.
- [6] K. Hess, *Phys. Today*, No. 10. (1980), 40.
- [7] D. K. Ferry, et al., *Physics of Nonlinear Transport in Semiconductors*, Plenum, New York (1980), 577.
- [8] C. M. Snowden, *Rep. Prog. Phys.*, 48(1985), 223.