

单电子晶体管

郭宝增

(河北大学电子与信息工程系, 保定 071002)

介绍了单电子晶体管是一种每当在栅压作用下在沟道内加进一个电子, 晶体管就可以导通和截止一次的奇妙的器件. 阐述了单电子晶体管的发现过程, 工作原理以及它的一些可能的应用.

近年来, 随着微细加工技术的发展, 纳米结构的制造技术日趋成熟, 因此纳米结构特性的研究也越来越深入了. 这些研究导致了许多重要的发现, 如众所周知的整数量子霍尔效应、分数量子霍尔效应等. 本文将要介绍的是最近在这个领域研究中的一个重要的发现, 即单电子晶体管的发现^[1]. 这种器件最初是在1988年马萨诸塞工程学院和 IBM 公司的研究人员偶然发现的. 从那时起, 这种器件及其特性的研究引起人们的极大兴趣, 研究不断取得新的进展. 在单电子晶体管中, 有一个极窄的导电沟道, 在沟道内人为地引入两个势垒, 两个势垒之间的区域称为分割段(或库仑岛). 在极低温下, 每当在栅压的作用下在分割段内增加一个电子, 其电导就要周期性地振荡一次, 相当于器件导通和截止一次. 在常规的金属-氧化物-半导体场效应晶体管(MOSFET)中, 要使器件导通, 就要在沟道中加进许多电子, 要使器件截止, 就要使这些电子耗尽. 而我们介绍的器件, 只要加进分割段内一个电子, 器件就可以导通和截止一次, 因而它的工作方式是相当奇特的. 单电子晶体管的发现对于了解电子在纳米结构中的输运特性具有重要意义, 同时随着研究的进展很可能在实际中获得重要应用.

一、单电子晶体管的发现

在80年代, 由马萨诸塞工程学院和 IBM 公司的研究人员组成的研究小组一直致力于极窄沟道的晶体管在极低温下(100mK)工作特性的研究. 在极低温下, 这种器件的沟道电导具有物理

随电子密度的变化发生涨落的特性. 在晶体管充分导通的情况下, 电导随磁场变化涨落的幅度总是在 e^2/h 的量级, 人们把这种涨落称为泛电导涨落(universal conductance fluctuations)^[2]. 1988年, 这个研究小组的研究生 Scott-Thomas 制造了一种新的窄沟道晶体管, 人们认为在这种新的晶体管中也应该存在泛电导涨落现象. 结果出人预料, 在这种器件中, 人们没有发现泛电导涨落现象, 却发现了电导随栅压变化周期性地振荡的现象.

Scott-Thomas 制造的晶体管的结构如图1(a)所示^[3]. 这种结构很类似于常规 MOSFET 结构. 两者不同之处在于, 常规 MOSFET 只有一个金属栅极, 而新晶体管有两个金属栅极. 上层的栅极与常规 MOSFET 相同. 下层的栅极在中间有一个窄缝, 窄缝宽约为70nm. 当上层栅加正电压, 下层栅接地或加负电压时, 只有窄缝下面的半导体表面才出现电子反型层, 即形成了一个窄的导电沟道[图1(b)]. 在两层栅的束缚下, 沟道中的电子只有在沟道长度方向上才是自由的, 而在其余两个方向上是量子化的. 这种晶体管与以往他们制造的一维结构相比, 差别在于这种晶体管下层栅的间隙只有原来晶体管的1/5—1/3(实际电子气的宽度比间隙要窄, 大约为15—30nm). 如前所述, 在这种新的结构中, 他们没有发现泛电导涨落现象, 而是发现了沟道电导随栅压变化而周期性地振荡现象[图1(c)]. 仔细研究发现, 这种结构实际上相当于一个平行板电容器, 栅压的增加即表示沟道内电子数量的增加. 当栅压增加 ΔV_g 时, 单位沟道长度增加的电子数为

$$e\Delta(N/L) = (C/L)\Delta V_g, \quad (1)$$

e 为电子电荷, L 为沟道长度, C 为电容, N 为沟道内的电子数目, $\Delta(N/L)$ 即表示单位沟道长度增加的电子数. 因此图1(c)的曲线也可以认为是电导随电子密度变化的曲线.

从表面上看图1(c)的曲线很类似于泛电导涨落的曲线, 但仔细观察会发现两者有本质不同, 因为图1(c)所示的曲线电导随栅压变化的振荡是严格地周期性的, 即沟道电导随沟道电子密度增加周期性地振荡. 那么要进一步搞清楚的是振荡的周期是由器件的哪个参数决定的? 一个自然的想法是振荡周期是由晶体管沟道长度 L 决定的. 为了验证这个想法, 实验制造了沟道长度 L 分别为 $10\mu\text{m}$, $2\mu\text{m}$ 和 $1\mu\text{m}$ 的晶体

管, 用这些器件进行实验测量, 结果表明振荡周期与沟道长度 L 无关.

实验发现所有的样品, 如果一直把它置于低温下, 即使经历了足够长的时间, 电导振荡的曲线完全是可重复的, 故振荡周期是固定不变的. 但是, 如果让样品经历从低温到室温, 然后再到低温的温度循环后, 再测量电导随栅压变化的曲线, 结果表明每经历一温度循环后, 振荡曲线都发生变化, 振荡周期各不相同, 这种变化完全是随机的.

样品的特性对热循环的敏感性在以前泛电导涨落的研究中也同样发现了, 研究人员认为这是由于 Si 和 SiO_2 界面电荷的重新分布引起的, 界面电荷的重新分布导致了振荡周期的变

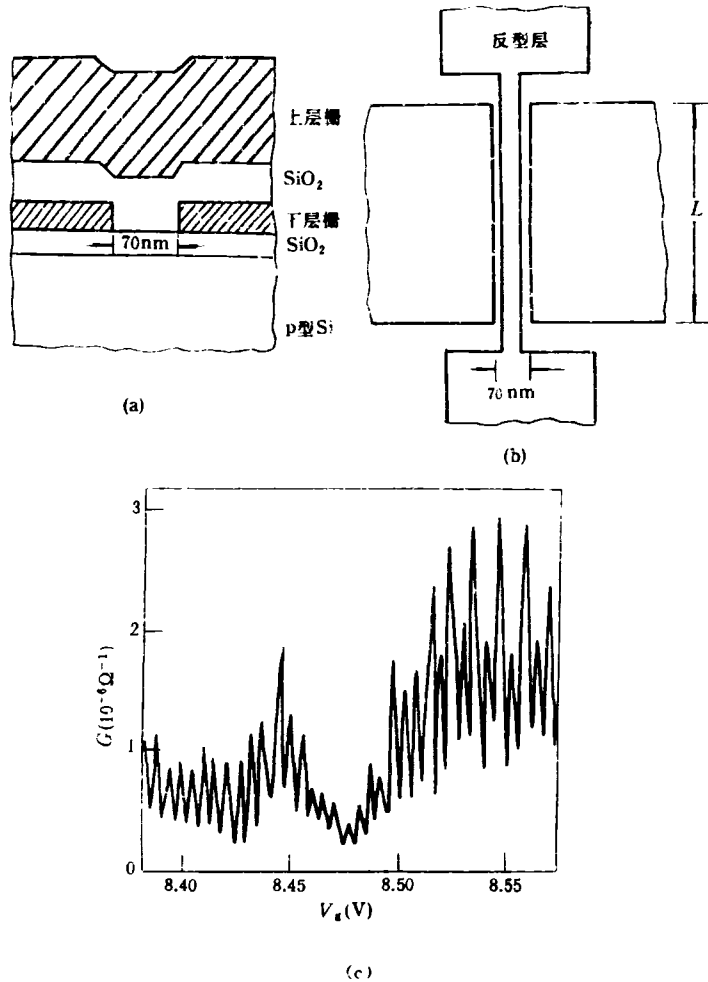


图1 (a)和(b)分别为 Scott-Thomas 晶体管截面图和顶视图; (c)晶体管沟道电导随栅压变化的振荡曲线

化. 众所周知, 在 Si-SiO₂ 系统中, 这样的界面电荷总是存在的, 在最好的界面中电荷密度大约为 10¹⁰/cm². 对图1所示的晶体管沟道面积约为 20nm × 1μm, 平均来说在这个面积上有两个电荷. 在不同样品中, 电荷分布完全是随机的. 器件每经历一次温度循环, 电荷的分布要发生变化. 研究人员们猜想: 两个电荷在沿着沟道长度的方向上建立了两个势垒(如图2所示), 两个势垒间的距离 L_0 决定了振荡周期, 每个振荡周期相当于在两个势垒之间加入一个电子. 然而, 这仅仅是一个猜想, 因为人们不能排除每周期相当于加进了自旋相反的两个电子的可能性. 考虑到硅的能带结构, 一个振荡周期也可能需要四个电子. 要得到确切的答案, 就必须直接测量两个电荷之间的距离 L_0 . 然而在上述的结构中, 根本不可能测出 L_0 .

在发现了上述的 Si 器件中沟道电导随栅压变化周期性地振荡的现象之后, IBM 公司的研究人员 U. Meirav 等人采用 GaAs 材料制造了类似于上述硅器件结构的晶体管^[4,5]. GaAs

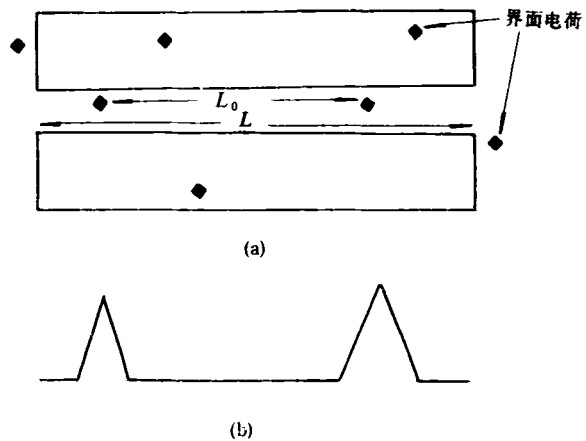


图2 (a)电子运动的窄沟道示意图(沟道是由开有窄缝的金属栅决定的, 阴影部分表示金属栅, 小黑方块表示随机分布的界面电荷); (b)考虑界面电荷后沟道的电位分布
的优点之一是半导体和绝缘层之间的界面电荷密度比 Si-SiO₂ 界面电荷密度低的多, 这使得人为地在沟道之间引进势垒成为可能, 因此势垒间的距离 L_0 成为已知参数.

这种器件的结构如图3所示, 衬底为 N 型重掺杂 GaAs, 这一层相当于 Si 器件的金属栅

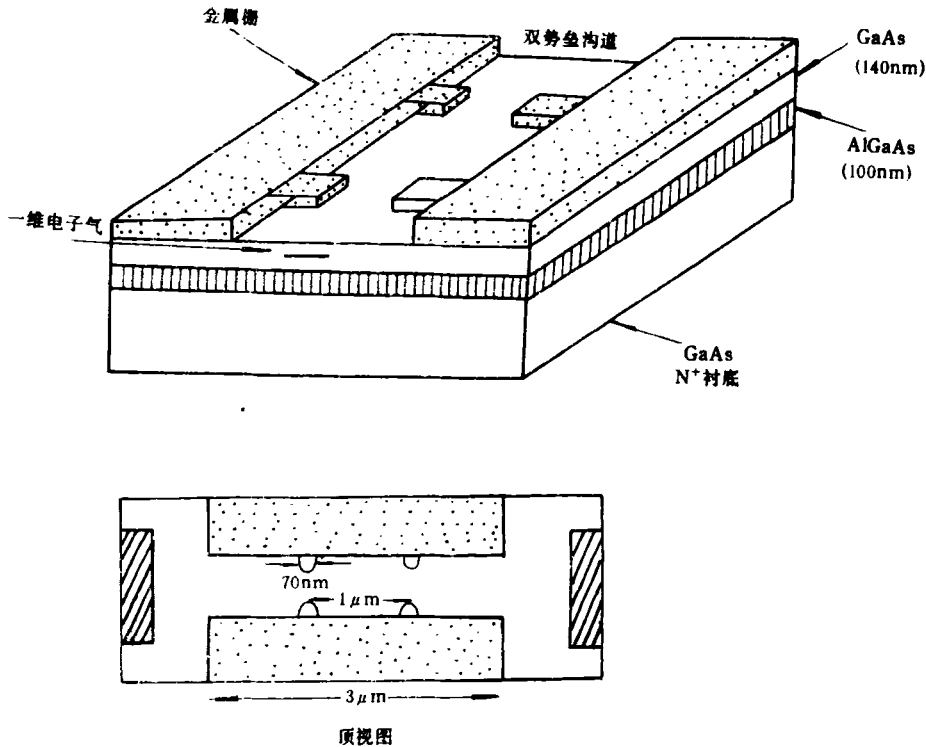


图3 GaAs 单电子晶体管结构图

极. 在其上面用分子束外延生长一层 AlGaAs, 这一层相当于 Si 器件中的 SiO₂ 绝缘层. 因为 GaAs 和 AlGaAs 的晶格常数相差很小, 故界面之间的晶格失配很小, 界面电荷密度很低. 在 AlGaAs 层上面生长一层纯 GaAs, 因为 GaAs 的禁带宽度小于 AlGaAs 的禁带度, 电子在纯 GaAs 层发生积累, 形成导电沟道. 通过在 N⁺ 衬底上加正电压, 控制导电层中电子密度. 在纯 GaAs 层的上面形成如图3所示的金属栅极, 它的作用相当于 Si 器件的下层栅. 金属栅极加负偏压, 它排斥其下面 GaAs 层中的电子, 使电子束缚在狭窄的沟道内. 这种结构形成的一维电子沟道与 Si 晶体管是基本相同的. 所不同之处在于 GaAs 和 AlGaAs 之间的界面态密度很小, 故可在沟道间人为地引入势垒. 如图3所示在两侧的金属上, 每一侧各有两个凸出的部分, 彼此相对, 形成两个缩颈, 它们的作用是在沟道中形成两个势垒, 我们把两势垒之间的沟道称为分割段(或库仑岛). 在这种器件中两势垒间的距离 L_0 是已知的.

图4(a), (b)所示的是两个缩颈距离相同

($L_0=1\mu\text{m}$)的 GaAs 晶体管的电导随栅压变化的曲线. 与 Si 器件相同, 电导随栅压的变化而周期性振荡, 但是有一个重要差别, 这就是在两个 GaAs 器件中, 虽然电导振荡的幅度不同, 但是振荡周期是严格相同的. 让样品经历从低温到室温, 再到低温的温度循环后, 再测量电导随栅压变化的曲线, 较之温度循环前, 电导振荡幅度变了, 但是振荡周期没有变. 图4(c), (d)所示的是两个缩颈距离不同的 GaAs 晶体管的电导随栅压变化曲线. 两个样品的 L_0 分别为 $0.8\mu\text{m}$ 和 $0.6\mu\text{m}$. 由图可知, L_0 短的器件电导振荡周期比较长. 上述的结果令人信服地表明, 电导振荡周期只与沟道内两个势垒间的距离 L_0 有关, 而与沟道长度 L 无关.

根据(1)式可计算一个周期加进分割段内的电子数, 但需注意应以 L_0 来代替 L , C 表示的是分割段的电容. C 可以由在每个栅压下积分分割段内电荷得到. 根据计算得到的电容值和测得的振荡周期 ΔV_g , 可得 $\Delta N=1$, 即在一个振荡周期内, 在栅压作用下, 在分割段内加进一个电子. 换句话说, 每当加进分割段内一个电

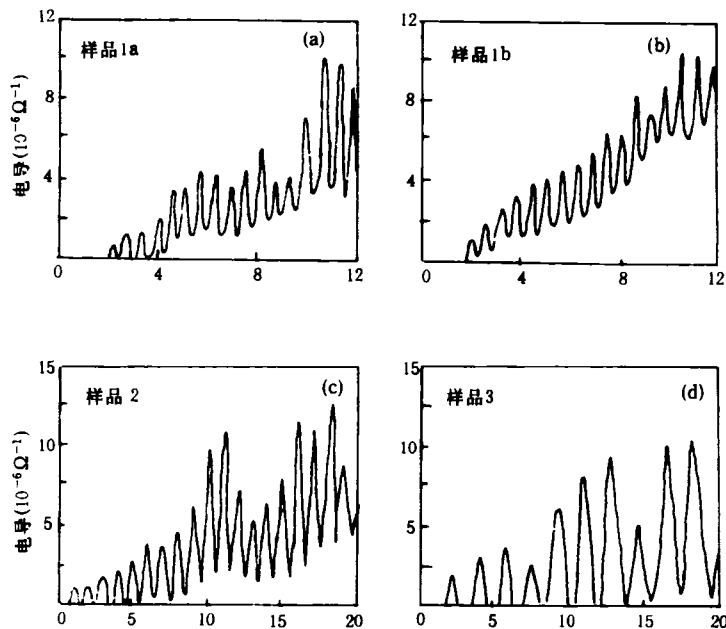


图4 两组样品电导振荡曲线的比较

(样品1a和样品1b的 L_0 均为 $1\mu\text{m}$, 故它们具有相同的振荡周期; 样品2的 $L_0=0.8\mu\text{m}$, 样品3的 $L_0=0.6\mu\text{m}$, 故样品2的振荡周期较小)

子,晶体管就开关一次^[6].由(1)式可知当 L_0 较大时,电容 C 也较大,振荡周期必然要小,这与实验结果正好符合.

二、单电子晶体管理论

单电子晶体管结构的主要特点是在一维沟道内引入两个势垒,在两个势垒之间形成分割段.这种结构的原理可以由库仑封锁模型来说明.所谓库仑封锁模型指的是在两个具有一定

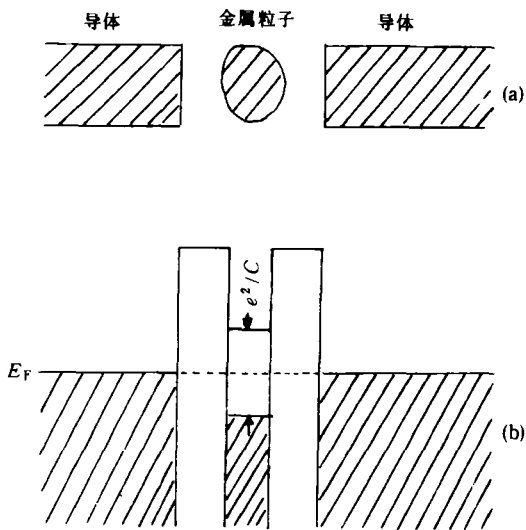


图5 库仑封锁模型示意图

(a)库仑封锁模型结构;

(b)系统的能态谱(斜线所示的区域为电子填充态)

间隔的导体之间引进一个金属颗粒(如图5).对于图5所示的结构,人们一般会认为电子会从一个导体通过隧道效应流到金属颗粒上,然后再

$$Q_0 = Ne$$

通过隧道效应流到另一个导体上.事实上,由于颗粒内部电子间的库仑相互作用,这种情况不会发生,也正是由于这个原因,我们把金属颗粒称为库仑岛.要把电荷从导体移到库仑岛上必须附加一定的能量.加电荷 Q 到库仑岛上需要的能量为 $Q^2/2C$, C 为库仑岛与器件其他部分之间的电容.加一个电子到库仑岛上需要的能量为 $e^2/2C$.因此,库仑岛的隧道态密度有一个间隙(如图5).加一个电子到库仑岛上,要求电子能量比费米能级高 $e^2/2C$.加一个空穴到库仑岛上,要求空穴的能量比费米能级低 $e^2/2C$.因此,隧道态密度的间隙为 e^2/C .

GaAs 单电子晶体管比上述的模型在性能上更优越,因为单电子晶体管可以通过调节栅压来控制库仑岛内电子的平均数目.设栅和电子气之间的电位差为 V_g ,库仑岛内电荷 Q 的静电能为

$$E = -QV_g + Q^2/2C, \quad (2)$$

第一项为带正电的栅极和岛内的负电荷的吸引能,第二项为岛内电荷间的排斥能.令 $Q_0 = CV_g$,再在(2)式中加一个常数项,(2)式可改写为

$$E = (Q - Q_0)^2/2C. \quad (3)$$

可以通过改变栅压 V_g 来选择 Q_0 ,使得能量 E 最低.但是,因为电荷是量子化的,对于给定的 Q_0 ,能量只能取分立的数值.图6表示的是两种情况:一种是栅压 V_g 使得 $Q_0 = Ne$ 时,即使能量最小的电子数目是整数,从 N 个电子中增加或减少一个电子,库仑互作用的能量差为

$$Q_0 = (N + \frac{1}{2})e$$

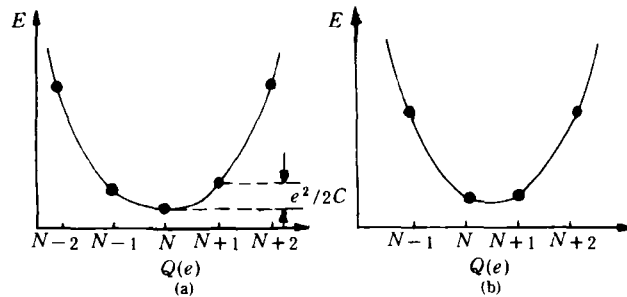


图6 能量与库仑岛上的电荷的关系

(由于电荷的量子化,只有圆点位置对应的能量才是允许态)

$e^2/2C$, 这种情况就如图5所示, 一个电子流到库仑岛, 所需的激活能为 $e^2/2C$; 一种是栅压 V_g 使得 $Q_0 = (N + \frac{1}{2})e$ 时, 即使能量最小的电子数目是半整数, 此时 $Q = Ne$ 和 $Q = (N+1)e$ 的能量是简并的, 电荷在这两值之间涨落, 因此隧道态密度的间隙消失, 不出现图5所示的 e^2/C 的态密度间隙。

根据这样一个模型, 就可以解释单电子晶体管的行为了^[2]。除了使得 $Q_0 = (N + \frac{1}{2})e$ 的栅压外, 在其他所有栅压下, 电导都受到热激活, 这导致低温下电导形成一系列的峰值。当 V_g 使得 $Q_0 = Ne$ 时, 库仑岛内的能态间隙为 e^2/C , 电子进入库仑岛需要 $e^2/2C$ 的激活能, 电子的隧道几率最小, 此时电导又呈现极小值。当栅压增加到 $Q_0 = (N + \frac{1}{2})e$ 时, 由于隧道态密度的间隙消失, 电子的隧道几率最大, 此时电导呈现极大值。当栅压继续增加, 使得 $Q_0 = (N+1)e$ 时, 电导又呈现极小值, 实现了一个周期的振荡。一个周期内栅压变化为 e/C , 库仑岛内增加了一个电子。

事实上, 除了电荷的量子化外, 因为库仑岛的面积很小, 本征能量也是量子化的。能量的量子化, 也会影响电子的隧道穿越。图7所示的是在考虑能量量子化后, 在电导的极小值和极大值两种栅压下库仑封锁模型的能态密度谱^[8,9]。

对于 $Q_0 = Ne$, 态密度间隙为 e^2/C , 与经典情况相同, 但间隙之外能量是分立的。

对于 $Q_0 = (N + \frac{1}{2})e$, 只有费米能级与分立能级之一对齐时, 电荷涨落才能发生, 因此电导峰值的精确位置依赖于分立的能级。在不考虑能级的分立化时, 电导的振荡周期为 e/C 。在考虑到能级的分立化时, 只有当费米能级与某一分立的能级对齐时, 才能出现电导峰值, 因此电导的振荡周期为

$$\Delta V_N = e/C + \Delta E_N/e, \quad (4)$$

ΔE_N 为分立能级间隔, 这表明峰值电压的位置直接与能级分裂成正比。

虽然电导振荡周期有规律可循, 但是电导峰值的幅度差别却相当大, 而且电导幅度的涨落完全是随机的。这是因为某一特定的峰值电导依赖于分立能级中某一特定能级的隧道矩阵元, 因为这个矩阵元成指数地依赖于电子穿越势垒时波函数的衰减, 所以不同峰值的幅度差别相当大。由于缺陷或杂质而引起的电位涨落, 使得电导幅度的涨落完全是随机的。通常随着栅压增加, 费米能级接近势垒顶部时, 幅度涨落增大(如图4)。

以上用简单的模型解释了单电子晶体管的原理。现总结如下: 电导随栅压变化而周期性振荡起决定作用的因素有两个, 即库仑岛内电子库仑相互作用和电荷的量子化, 两者相互作用, 在绝对零度下, 消除了除 $Q_0 = (N + \frac{1}{2})e$ 的栅压外, 其他所有栅压下电荷的涨落, 对于 $Q_0 = (N + \frac{1}{2})e$, 电荷涨落只有一个电子。这使得器

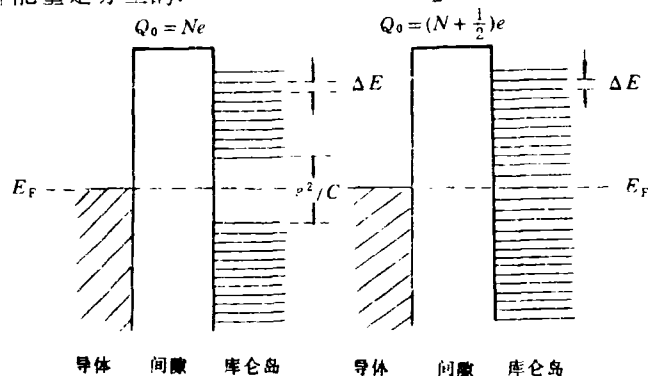


图 7

件表现出非寻常的特性,即在栅压作用下,每当在库仑岛内增加一个电子,晶体管就开关一次.另外,库仑岛内能量的量子化对电导振荡也有重要影响,它不但可以解释电导振荡幅度的随机性,而且对振荡周期也有一定影响.

迄今为止,单电子晶体管工作原理问题还有很多谜没有解开,比如人们不理解为什么一个如此简单的库仑作用项相减公式就能很好地说明单电子晶体管的工作原理?在解释中对库仑岛内电子间的相互作用采用了简单的电容模型.但是在所研究的栅压范围内,岛内的电子大约只有100个左右,电子数目仅相当于一个大原子,这种情况电容模型是不适用的.但是,人们猜想这里面可能还有什么秘密没有被发现,或许还掩盖着更令人吃惊的物理现象,这些问题还有待于研究.

三、单电子晶体管的应用

对于一个重要的科学发现,不可能一开始就准确地估计出它的应用前景,因为未来的发展常常出人预料.就器件本身的特点分析,单电子晶体管有可能用于高速微波电路或微波系统中,因为在现代亚微米器件中,电子在器件中的

输运时间常常是可忽略的,限制器件工作速度的是电容充放电时间,而单电子晶体管的电容大约只有 10^{-16}F ,所以可望获得更高的速度^[10].如果器件能够在更高的温度下工作,它有可能应用于多值逻辑电路中.另外,人们估计如果这种器件能够在技术上发挥重要作用,它很可能不是作为分立元件使用,而是在芯片内部形成相互耦合的列阵作为集成元件使用.

- [1] M. A. Kastner, *Rev. Mod. Phys.*, **64**(1992),849.
- [2] F. Capasso (ed), *Physics of Quantum Electron Devices*, New York, (1989),1.
- [3] Scott-Thomas et al., *Phys. Rev. Lett.*, **62**(1989), 583.
- [4] U. Meirav et al., *Phys. Rev. B*, **40**(1989),5871.
- [5] S. J. Wind et al., *Microelectronic Engineering*, **13** (1990),411.
- [6] D. V. Averin et al., *Phys. Rev. Lett.*, **65**(1990), 2446.
- [7] H. V. Houten et al., *Phys. Rev. Lett.*, **63**(1989), 1893.
- [8] Y. Meir et al., *Phys. Rev. Lett.*, **66**(1991),3048.
- [9] C. W. J. Beenaker, *Phys. Rev. B*, **44**(1991),1991.
- [10] L. P. Kouwenhoven et al., *Phys. Rev. Lett.*, **67** (1991),1626.

未来计算系统中的光互连

陈雷 陈益新 张永涛

(上海交通大学应用物理系,上海 200030)

论述了光互连网络对巨型计算机和智能计算机发展的重要作用,指出了光互连网络是解决目前电子计算机中通信“瓶颈”的关键.讨论了采用光互连取代电互连的物理依据,强调了光互连网络的高效、快速和大容量特性.最后分析了我们正在研究的光学交叉开关(crossbar)互连网络的几个关键参数和初步实验结果.

一、光电混合计算的必要性

巨型计算机(supercomputer)是现代科学

技术,特别是国防尖端技术和高技术的迫切需要,如核武器设计、空间技术、气体动力学、长期天气预报、石油勘探、粒子束模拟计算、实时图像识别、人工智能等.随着集成电路技术的发展,依靠提高主频来提高系统性能难度越来越