

## 呼之欲出的新一代 MOS 栅极电介质材料\*

陈刚 王迅

(复旦大学应用表面物理国家重点实验室 上海 200433)

**摘要** 传统的  $\text{SiO}_2$  栅极电介质材料无法克服 MOS 器件特征尺度缩小带来的量子隧穿效应的影响.作为进一步提高微电子器件集成度的途径,利用新一代具有高介电常数的栅极电介质材料取代  $\text{SiO}_2$  的研究工作已经展开.文中介绍了此类材料抑制隧穿效应影响的原理和其应当满足的各项性能指标.并对目前几种主要的研究方案,如几种高介电常数金属氧化物、硅酸盐及其迭层结构的研究状况和优缺点给予了简要评述.

**关键词** 高介电常数材料,栅极电介质,集成度

## PROMISING NEXT GENERATION DIELECTRIC MATERIALS FOR MOS GATES

CHEN Gang WANG Xun

(State Surface Physics Laboratory, Fudan University, Shanghai 200433)

**Abstract** Traditional  $\text{SiO}_2$  gate dielectric materials fail to overcome the influence brought on by the quantum-mechanical tunneling-effect, which is induced by the scaling down of the MOSFET. As an essential approach to continue the scaling down in size of microelectronic devices, efforts to replace  $\text{SiO}_2$  by next-generation dielectric materials with high dielectric constant ( $K$ ) are underway. The principle of these so-called "high  $K$  materials" to restrain the influence of the tunneling effect and other demands of performance are described. Several present projects on high  $K$  materials such as high  $K$  metal oxides or their stack structures with  $\text{SiO}_2$  and  $\text{SiN}$ , and high  $K$  metal silicates, as well as their respective demerits and virtues are reviewed.

**Key words** high dielectric constant material, gate dielectric, integrated level

## 1 硅集成工艺的发展路程表

在当今飞速发展的微电子工业中,硅器件占据了约 99% 的市场份额.硅芯片(集成电路)正在改变着人类社会发展的进程,它触及到了我们生活和文化的各个侧面.可以说,现代产品中已很少有什么东西不含有硅芯片,甚至有人将我们所处的时代戏称为“硅时代”,其实也并不为过.

硅集成电路经历了从最初的小规模到后来的大规模和超大规模(VLSI),一直到今天的甚大规模集成电路(ULSI)的发展阶段.其中每一个阶段的集成度都比前一个有很大提高,而这种集成度的提高是建立在金属氧化物半导体场效应管(MOSFET)的特征尺度的不断缩小的基础之上的.

20 世纪 60 年代,美国 Intel 公司的 J. Moore 根

据当时硅芯片集成度提高的速度,提出了一个经验定律,即著名的 Moore 定律,称:硅芯片上的晶体管数目(集成度)每 18 个月增长 1 倍(即每 3 年增至 4 倍).这一趋势被称为“缩小律”(scaling down).从那时起,直到 90 年代的 30 多年中,Moore 定律一直被证明有效(见图 1).图 1 中给出了 1970 年以来的近 30 年中,两种典型微电子器件:动态随机存储器(DRAM)和微处理器(microprocessors)的单位芯片中所含晶体管数以指数形式增长的趋势.这与 Moore 定律所预言的情形是一致的.

当然,这种缩小律不可能是无止境的.人们一直在谈论,到什么时候集成电路的发展势头会开始减慢,从而不再遵循 Moore 定律.因为从技术上说,细线条的光刻受到光波长的限制,而电子束曝光只适

\* 1999 - 08 - 26 收到初稿,2000 - 01 - 10 修回

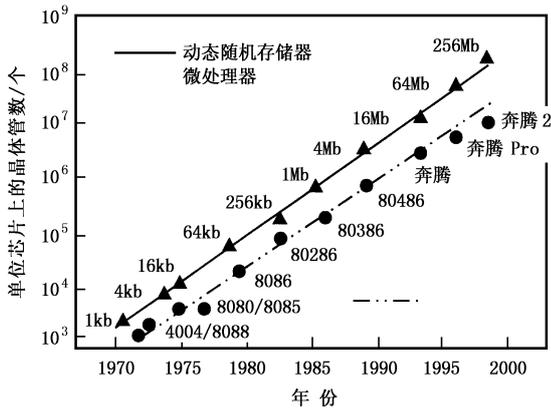


图1 30年来微电子器件(以 DRAM 和微处理器为例)集成度的提高始终遵循着 Moore 定律

宜于制作掩膜而不能用于生产.从物理上来说,当 MOSFET 的沟道长度(栅极线宽)小于电子的平均自由程后,电子的弹道发射将取代以散射为基础的输运过程.当沟道长度小于电子的德布罗意波长时,电子的波动性质和位相将显得十分重要,因而经典的 MOS 器件工作原理将不再适用.此外,在 MOSFET 的栅极氧化层减薄之后,热电子效应也将变得很严重.所以,人们曾预言,当沟道长度进入亚微米量级后, MOS 器件将走到极限,集成度的提高也到了尽头.但事实上, MOSFET 的发展超过了原来的预计.到目前为止,规模生产的硅 MOSFET 的栅极线宽已达到  $0.25\mu\text{m}$ ,即将进入  $0.18\mu\text{m}$ ,而实验室试制的 MOSFET 栅极线宽在 90 年代初即已小到  $20\text{nm}$ <sup>[1]</sup>.1997 年美国半导体工业协会(SIA)制定的“国家半导体技术发展路程表”<sup>[2]</sup>中,预测工业生产的 MOS 栅极线宽将继续不断缩小,到 2012 年将下降到  $0.05\mu\text{m}$ (见表 1).这意味着到达硅工艺的极限还有 10—15 年.目前世界上微电子工业先进的国家都在朝着这一路程表的目标前进.顺便提一下,美国 SIA 在 1994 年就制定过路程表的初稿.1997 年稿比 1994 年稿在各指标达到的时间上又提前了 1—2 年.

表 1 美国 SIA“国家半导体技术发展路程表”

年份	1997	1999	2001	2003	2006	2009	2012
栅极线宽/ $\mu\text{m}$	0.25	0.18	0.15	0.13	0.10	0.07	0.05
等效栅极氧化层厚度 $t_{\text{eq}}/\text{nm}$	4—5	3—4	2—3	2—3	1.5—2	<1.5	<1.0

## 2 缩小律带来的栅介质问题

众所周知, MOSFET 的栅极线宽  $L$ (即沟道长度)已经成为电路集成度和光刻工艺水平的最重要

的标志.同时栅极氧化层的厚度也在随着栅极线宽的不断缩小而越来越薄.这是因为栅极线宽缩小后,为防止源漏穿通,必须对沟道区进行高掺杂,这将导致阈值电压的上升.而为避免短沟道效应, MOS 器件应工作在较低的电压.因此,必须通过缩短栅极电介质层厚度来减小阈值电压,即增加栅极电容以提高栅压对沟道的控制能力.顺便提一下,在同样以 MOS 为基础的动态随机存储器(DRAM)中,由于栅极线宽和线长的缩小引起的电容下降会大大损害器件的存储性能,从而也必须设法减小栅极电介质的厚度.因此,栅极介质厚度  $t_{\text{ox}}$  也被认为是一个重要的集成度表征参数.总之,集成度的提高依靠的正是栅极线宽和栅极电介质厚度的同时缩小和缩短.1999 年,国际上工业生产的高性能处理器中,上述两个参数中的前者正如第一节中提到的,已经达到了  $0.18\mu\text{m}$ ,而后者也已小于  $4\text{nm}$ .按照美国 SIA 的路程表,这两个参数仍将继续减小,尤其是栅极线宽在未来几年中进入亚  $0.1\mu\text{m}$  量级.这种发展趋势的后果之一就是  $\text{SiO}_2$  在栅极电介质材料中的垄断地位将被动摇.

这是由于当栅极线宽小于  $0.1\mu\text{m}$  之后,栅氧化层厚度开始逐渐接近原子间距.此时,受隧穿效应的影响,栅极漏电流开始成为一个不容忽视的问题.量子隧穿效应(Fowler-Nordheim 隧穿)所引起的栅极漏电流与栅极电介质的厚度成指数关系:

$$I \propto \exp(-2\sqrt{2m^*}\phi/h) \quad (1)$$

如以  $\text{SiO}_2$  栅介质为例,则式中  $m^*$  是指电子的有效质量; $\phi$  是 Si 和  $\text{SiO}_2$  界面的势垒高度, $t$  是  $\text{SiO}_2$  栅极电介质层厚度; $\hbar = h/2\pi$ ,  $h$  是普朗克常数.当偏置电压为  $1\text{V}$  时,栅极漏电流从栅氧化层厚度为  $3.5\text{nm}$  时的  $1 \times 10^{-11}\text{A}/\text{cm}^2$  陡增到了  $1.5\text{nm}$  时的  $1 \times 10\text{A}/\text{cm}^2$ ,即当栅氧化层厚度减小约 1 倍时,漏电流增长了 12 个数量级.栅极电介质漏电流的陡增造成 MOS 器件“关”态时的功耗增加,因而对器件集成度、可靠性和寿命都有很大的影响.事实上若继续用  $\text{SiO}_2$  作 MOS 栅介质,即便采用  $\text{SiO}_2/\text{SiN}$  迭层等结构加以改进,其等效栅氧化物厚度也很难再减小到  $1.5\text{nm}$  以下.要实现表 1 中小于  $1.5\text{nm}$  的等效氧化物栅介质厚度,必须要采用新的栅介质材料.

对新一代栅极电介质材料的要求首先是能够在保持或增大栅极电容(即保持或缩小等效栅极氧化物厚度)的同时,使介质层仍保持足够的物理厚度来限制隧穿效应的影响,以降低由隧穿引起的漏电流.显然,具有高介电常数  $K$  的材料是满足这个要求的

最有效和直接的选择.事实上,目前该领域中被研究的材料中绝大多数都具有较高的介电常数  $K$ ,从某种意义上来说,高介电常数材料,或者简称为高  $K$  材料,已经成为新一代栅极电介质材料的代名词.除此之外,新一代栅极电介质材料还应当具备栅极电介质材料所应有的其他一些重要性质,如较大的能隙;其导带与 Si 导带间应有足够大的势垒高度,以利于抑制由热电子效应引起的漏电流;新材料与 Si 衬底间的良好界面特性和热稳定性.

这里简单介绍一下前面提到的等效栅氧化物厚度  $t_{eq}$  的概念,并举例说明高  $K$  材料的作用.等效栅氧化物厚度  $t_{eq}$  是指将任意电介质材料的薄层厚度  $t_x$  换算为具有相同单位面积电容的  $\text{SiO}_2$  层的厚度  $t_{eq}$ .其数值关系如下式所示:

$$t_x = t_{eq} \frac{K_x}{K_{\text{SiO}_2}} \quad (2)$$

式中的  $K_x$  和  $K_{\text{SiO}_2}$  分别是指任意电介质材料和  $\text{SiO}_2$  的介电常数 ( $K_{\text{SiO}_2} \approx 3.9$ ).假设用某种  $K$  为 13,且界面势垒接近于 Si/SiO<sub>2</sub> 界面势垒高度的高  $K$  材料取代  $\text{SiO}_2$  制成栅介质层.由(2)式可以得到,在其单位面积电容与栅介质厚度为 1.5nm 的  $\text{SiO}_2$  栅介质层相同(即等效栅氧化物厚度为 1.5nm)的情况下,相应的高  $K$  材料栅介质层的物理厚度约为 5nm.根据(1)式可知,此时的栅极漏电流将比 1.5nm 的  $\text{SiO}_2$  栅介质层小 20 个数量级以上.显然隧穿漏电流的影响被有效地抑制了.

表 2 给出了对新一代电介质材料性能的期望值以供参考<sup>[3]</sup>.

表 2 对基于新一代栅极电介质材料的 MOSFET 的技术要求

项 目	期望值和要求
介电常数	> 10
栅极电容	> 30fF/ $\mu\text{m}^2$
栅极漏电流	< 1 A/ $\text{cm}^2$
界面态密度	< $10^{11}/\text{cm}^2$
界面热力学性质	热稳定性良好;不与衬底发生反应而形成合金或化合物;无界面互扩散
界面势垒	接近或大于 $\text{SiO}_2/\text{Si}$ 界面势垒高度
能带结构	能隙较大
结晶性质	不易结晶
沟道输运性能	无退化现象
工艺兼容性	与 CMOS 工艺兼容
可靠性	> 10 年

### 3 高 $K$ 介质的几种主要方案

以下将简单介绍目前几种主要的方案及它们各

自的优缺点,并从中大致勾勒出未来新一代栅极电介质材料的发展趋势.

这里将被提到的几类材料都可以归入高  $K$  非硅基金属氧化物或硅氧化物材料及其迭层.根据具体情况的不同,它们可以被区分为以下几种类别.

#### 3.1 非硅基金属氧化物 $\text{Ta}_2\text{O}_5$ <sup>[4]</sup>, $\text{TiO}_2$ <sup>[5]</sup>, $\text{SrTiO}_3$ <sup>[6]</sup> 等

这些材料的介电常数介于 10 到 80 之间(参见表 3),是名副其实的高  $K$  材料.正是由于这个原因,使它们作为成熟的动态随机存储器(DRAM)电容材料已经得到了广泛而深入的研究<sup>[7]</sup>,甚至在工业界已经有现成的专用加工设备.在某些利用 CVD 完成的工作中,已经使  $\text{Ta}_2\text{O}_5$  薄层的介电常数从原来的 25 左右<sup>[8]</sup>上升到了 90 至 100<sup>[7]</sup>,从而获得了更大的电容,并有效地抑制了漏电流.

但要将这些材料应用到 MOSFET 时则遇到了较大的困难.这主要是由于它们同 Si 衬底接触时形成的界面不能完全满足表 2 中给出的对界面性质的要求.由于界面的热不稳定性,使其与 Si 的界面处发生氧化从而形成  $\text{SiO}_2$  薄层,而工艺中不可缺少的热处理过程更加强了  $\text{SiO}_2$  的形成.虽然这种无意间得到的金属氧化物/SiO<sub>2</sub>/Si 结构被许多实验证明是降低漏电流所必需的<sup>[9]</sup>,但正如下面将会提到的,这种实质上的多层电介质结构有可能会降低高介电常数材料的有效性.除此之外,界面处还可能形成金属氧化物/SiO<sub>2</sub> 合金<sup>[9]</sup>,这使它们完全不能胜任栅极电介质的角色.因而,这两种材料作为新一代栅极电介质材料的前景并不十分乐观.至于  $\text{SrTiO}_3$ ,实验证明虽然在体材料时,  $\text{SrTiO}_3$  会与 Si 发生反应,但通过外延得到的薄膜却可以在低于 800℃ 以下时,保持与 Si 界面的稳定性<sup>[6]</sup>,因而  $\text{SrTiO}_3$  仍被认为是一种有希望的材料.

表 3 文中述及的部分材料的介电常数

材 料	介电常数
$\text{Ta}_2\text{O}_5$	25—110
$\text{HfO}_2$	18—40
$\text{ZrO}_2$	12—20
$\text{HfSiO}_4$	13
$\text{ZrSiO}_4$	13
$\text{SrTiO}_3$	60—200
$\text{Al}_2\text{O}_3$	11—13

#### 3.2 高 $K$ 金属氧化物( $\text{Ta}_2\text{O}_5$ , $\text{TiO}_2$ )/反应阻挡层/Si 衬底结构

与上面提到的无意间获得的界面  $\text{SiO}_2$  薄层的现象不同,人们为了改善界面性质,正在尝试通过界

面工程,在上述高  $K$  金属氧化物材料与  $\text{Si}$  衬底之间淀积硅的氮氧化物层或  $\text{SiO}_2/\text{SiN}$  迭层(参见图2).意图是使之起到反应阻挡层的作用,以提供一个反应势垒,防止或至少设法降低它们之间的反应<sup>[4]</sup>.

这种方法在一定程度上已被认为是有效的,但同时也带来了新的问题:淀积这层额外的超薄电介质既增大了器件加工的工艺复杂度,同时也会限制进一步的比例缩小.因为这种多层电介质结构等效为若干相互串联的电容,从而使栅极电介质层的总电容受到其中最小电容的控制,并由此限制了栅极电介质层的最小厚度( $t_{\text{eq}} > 0.5 \text{ nm}$ )<sup>[10]</sup>.此外,每个额外的电介质间的界面还有可能引入新的电子或空穴陷阱.这都对器件的可靠性构成了威胁.可见,这种途径也非最理想的选择.

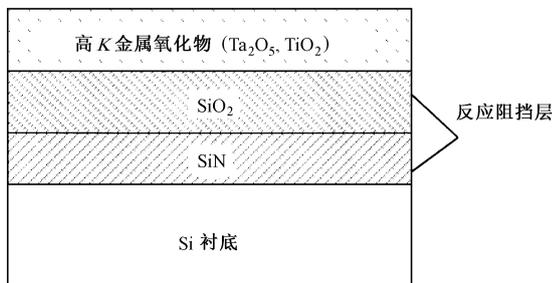


图2 高  $K$  金属氧化物 ( $\text{Ta}_2\text{O}_5$ ,  $\text{TiO}_2$ ) / 反应阻挡层 /  $\text{Si}$  衬底结构示意图

### 3.3 $\text{Al}_2\text{O}_3$ <sup>[7]</sup>、 $\text{Y}_2\text{O}_3$ <sup>[11]</sup>、 $\text{CeO}_2$ <sup>[12]</sup>、 $\text{ZrO}_2$ <sup>[13]</sup> 和 $\text{HfO}_2$ <sup>[10]</sup> 等

与  $\text{Ta}_2\text{O}_5$  和  $\text{TiO}_2$  等材料不同,上述这些材料不仅属于高介电常数材料(见表3),而且都具有对  $\text{Si}$  的接触热稳定性,因而能使栅极电介质层中不必再引入额外的界面层.

但这些过渡金属氧化物薄膜也有其自身的弱点,其中最主要的是它们在低温时便趋于晶化,其晶界将为漏电流提供很好的路径,从而导致漏电流的迅速上升<sup>[10]</sup>.

同时,由于氧的扩散,上述几种材料也都易于在其与  $\text{Si}$  的界面上形成  $\text{SiO}_2$  层( $\text{Al}_2\text{O}_3$  除外,它是一种较好的氧势垒,可以有效地抑制氧的扩散).这显然又会引入多层电介质结构,对器件的性能和可靠性产生不良影响.

另外, $\text{Si}$  也可能会扩散到金属氧化物中,从而在界面形成一层低质量的金属硅酸盐层.尽管金属硅酸盐被认为具有良好的硅界面特性,同时其介电常数值也较高,但扩散过程中形成的金属硅酸盐层

的厚度和均匀度都不受控制,反而可能会影响界面的性质.

### 3.4 $\text{ZrSiO}_4$ 和 $\text{HfSiO}_4$ <sup>[10]</sup>

以金属硅酸盐  $\text{ZrSiO}_4$  和  $\text{HfSiO}_4$  来取代前面提到的金属氧化物  $\text{ZrO}_2$  和  $\text{HfO}_2$  的目的是获取更稳定的界面性质,同时保持较高的介电常数.事实上, $\text{ZrO}_2$  和  $\text{HfO}_2$ ,以及  $\text{ZrSiO}_4$ 、 $\text{HfSiO}_4$  在  $\text{Si}$  界面上的稳定性是可以从对三元相图的热力学分析中找到依据的<sup>[14,15]</sup>,这也与其化学成键结构密切相关<sup>[16]</sup>.目前尚无关于  $\text{ZrSiO}_4$  作为栅极电介质的性能报道,但最近对  $\text{HfSi}_x\text{O}_y$  的研究已经取得了较大进展<sup>[10]</sup>.据文献[10]报道,利用溅射得到的  $\text{HfSi}_x\text{O}_y$  薄层的等效氧化物厚度已经达到了  $1.8 \text{ nm}$ ,而且其漏电流仅为  $10^{-6} \text{ A/cm}^2$ ,比相应厚度的  $\text{SiO}_2$  层的漏电流下降了6个数量级.此外,其能隙中界面态密度仅为  $10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ ,击穿电压强度则达到了  $10 \text{ MV/cm}$ .总之其各项性能距满足工业界对新一代栅极电介质的要求并不遥远了,甚至在漏电流方面已超出了人们的预期(见表2).但到目前为止,对于它们在  $\text{Si}$  表面引入的界面态情况和界面互扩散等现象及其机制还缺乏透彻的认识.进一步的研究工作将围绕  $\text{ZrSiO}_4$ 、 $\text{HfSiO}_4$  与  $\text{Si}$  衬底间的界面性质,诸如界面势垒、界面电子态、界面原子结构、界面热稳定性以及介质的缺陷和陷阱等问题展开.

## 4 展望

从目前来看,栅介质有效厚度的减小是  $\text{Si}$  芯片集成度提高的主要障碍之一.若不对  $\text{SiO}_2$  介质进行改良,则很难在不损害芯片的性能和可靠性的前提下使  $t_{\text{eq}}$  减小到  $2-2.5 \text{ nm}$ .而即便对其进行改良,如采取在  $\text{SiO}_2$  介质层中引入  $\text{Si}$  的氮氧化物电介质层或利用  $\text{SiO}_2/\text{SiN}$  迭层取代单纯的  $\text{SiO}_2$  层等措施<sup>[17,18]</sup>,虽然可以使介电常数和物理厚度略有提高,并使界面性质得到进一步的改善,但最多也只能使  $t_{\text{eq}}$  达到  $1.5 \text{ nm}$ .以高  $K$  介质取代  $\text{SiO}_2$  介质已被认为是能使  $t_{\text{eq}} < 1.5 \text{ nm}$  的最有希望的途径.但到目前为止,文中介绍的各种高  $K$  介质的方案还没有最后成熟.虽然要实现  $t_{\text{eq}} < 1 \text{ nm}$  的高  $K$  介质栅是非常困难的,还有许多固有的化学、物理和电子态问题需要克服,但已有报道说,实验室水平的栅介质有效厚度已达到  $1.6 \text{ nm}$ ,远远超过表1中所预期的进展.所以,CMOS 在微电子领域的统治地位在今后的  $10-15$  年内仍将是不可动摇的.

不过, Si 芯片的缩小律不仅受到技术上的限制,在工业上还受到经济因素的限制.目前建立一条 0.35—0.5 $\mu\text{m}$  线宽的 8 英寸硅片生产线,投资在 10—15 亿美元左右.未来的 0.25 $\mu\text{m}$  线宽的 12 或 16 英寸硅片生产线的投资将近百亿美元,这不是一家企业可以承担的,可能由多个公司或多个国家共同投资兴建.因此,在投资得到回报之前,要建造新一代器件的生产线,毕竟是不经济的.这可能是在 CMOS 集成达到技术和物理上的极限之前,影响 Moore 的缩小律继续有效的主要因素.

在 10—15 年之后,硅芯片将被什么东西所取代,这也是人们目前十分关心的问题.半导体研究者钟情于量子器件,而化学家、生物学家和计算机科学家则在寻找新的途径.1999 年 7 月 19 日,美国纽约时报的一篇文章以“芯片设计者探求硅以后的生活”为题,报道的是化学组装的纳米计算机(分子电子学 moletronics)和以 E. Coli 细菌为电子线路的处理器.但谁也不敢肯定究竟这些方案中哪一个是希望所在,而哪些最终是徒劳的.

### 参 考 文 献

[ 1 ] Hartsein A, Albert N F, Bright A A *et al.* J. Appl. Phys., 1990, 68 :2493  
 [ 2 ] The National Technology Roadmap for Semiconductors (3rd ed.), Semiconductor Industry Association, 1997  
 [ 3 ] BAI Gang. High K Gate Stacks for sub 0.1 $\mu\text{m}$  CMOS Technology. In: Program and Abstract Booklet for International Conference on Next Generation Materials and Devices for Si-based Microelectronics. Shanghai, 1999. 12—14  
 [ 4 ] Park D, King Y C, Liu Q *et al.* IEEE Electron Dev. Lett., 1998, 19 :441

[ 5 ] Campbell S A, Gilmer D C, Wang X C *et al.* IEEE Trans. Electron Dev., 1997, 44 :104  
 [ 6 ] Mckee R A, Walker F J, Chiholm M F. Phys. Rev. Lett., 1998, 81 :3014  
 [ 7 ] Lin Jun, Masaaki N, Tsukune A *et al.* Appl. Phys. Lett., 1999, 74 :2370  
 [ 8 ] Sundaram K, Choi W K, Ling C H. Thin Solid Films, 1993, 230 :145  
 [ 9 ] Alers G B, Werder D J, Chabal Y *et al.* Appl. Phys. Lett., 1998, 73 :1517  
 [ 10 ] Wilk G D, Wallace R M. Appl. Phys. Lett., 1999, 74 :2854  
 [ 11 ] Choi S C, Cho M H, Whangbo S W *et al.* Appl. Phys. Lett., 1997, 71 :903  
 [ 12 ] Yoshimoto M, Shimozono K, Koinuma H. Jpn. J. Appl. Phys., 1995, 34 :L688  
 [ 13 ] Hwang C S, Kim H J. J. Mater. Res., 1993, 8 :1361  
 [ 14 ] Hubbard K J, Schlom D G. J. Mater. Res., 1996, 11 :2757  
 [ 15 ] Beyers R. J. Appl. Phys., 1984, 56 :147  
 [ 16 ] Blumenthal W B. The Chemical Behavior of Zirconium. Princeton: Van Nostrand, 1958. 201  
 [ 17 ] Feldman L, Gusev E P, Garfunkel E. Fundamental Aspects of Ultrathin Dielectrics on Si-based Devices. Garfunkel E, Gusev E P, Vul A y eds. Dordrecht/ Boston/ London: Kluwer Academic Publishers, 1998. 1  
 [ 18 ] Baumvol I J R, Krug C, Stedile F C *et al.* Appl. Phys. Lett., 1999, 74 :806



### 作者简介

陈刚,男,1972 年出生.现为复旦大学应用表面物理实验室博士研究生.主要研究领域为表面物理.

E-mail: 990016@fudan.edu.cn

(上接第 400 页)

[ 9 ] Goma M A, Kasim S A. Nucl. Instr. Meth., 1980, 176 :579  
 [ 10 ] Benton E V, Frank A L, Aowald R *et al.* Solid State Nuclear Track Detectors. Francois H *et al.* eds. Oxford and New York: Pergamon Press, 1980. 469  
 [ 11 ] Fleischer R L. Nucl. Tracks, 1988, 14 :421  
 [ 12 ] Alter H W, Fleischer R L. Health Physics, 1981, 40 :693  
 [ 13 ] 庞德聆, 马国才, 周智新. 核技术, 1991, 14(3) :144 [ PANG De-Lin, MA Guo-Cai, ZHOU Zhi-Xin. Nucl. Techniques, 1991, 14(3) :144 (in Chinese) ]

[ 14 ] Jonsson G. Nucl. Tracks, 1987, 13 :85  
 [ 15 ] Tommasino L. Nucl. Tracks, 1988, 15 :555  
 [ 16 ] 翟鹏济, 冯玉水. 原子能科学技术, 1993, 174 [ ZHAI Peng-Ji, FENG Yu-Shui. Atomic Energy Science and Technology, 1993, 1 :74 (in Chinese) ]  
 [ 17 ] Zhai P J, Zhao Y L. Nucl. Tracks Radiat. Meas., 1993, 22 :509  
 [ 18 ] Henshaw D L. Nucl. Tracks, 1989, 16 :253  
 [ 19 ] Henshaw D L. 14th L. H. Gray Confence. Oxford, UK, 1988