

超大规模集成电路的一些材料物理问题(I)*

——Cu 互连和金属化

刘洪图

(中国科学技术大学物理系 合肥 230026)

吴自勤

(中国科学技术大学天文和应用物理系 合肥 230026)

摘要 21 世纪初,超大规模集成电路(ULSI)的特征尺寸将由 150nm 逐代缩至 50nm.文章以 100nmULSI 器件为主,简要介绍与互连相关的一些材料物理问题,其中包括 Cu 互连、金属化及低介电常数介质.

关键词 超大规模集成电路,Cu 互连,金属化

SOME ISSUES OF THE MATERIAL PHYSICS FOR ULTRA LARGE SCALE INTEGRATION ——Cu INTERCONNECT & METALLIZATION(I)

LIU Hong-Tu

(Department of Physics, University of Science and Technology of China, Hefei 230026, China)

WU Zi-qin

(Department of Astronomy & Applied Physics, University of Science and Technology of China, Hefei 230026, China)

Abstract At the beginning of the 21st century, the characteristic dimensions of ultra large scale integration(ULSI) will decrease from 150nm to 50nm. Using 100nm ULSI devices as the main example, we discuss briefly some issues of the material physics involved, including Cu interconnects, metallization and low ϵ dielectric materials associated with interconnection.

Key words ULSI, Cu interconnect, metallization

1 引言

半导体工业的显著特点之一就是它能够在几十年内始终保持着性能/价格比的空前的增长.自 20 世纪 90 年代以来,超大规模集成电路(ULSI)的性能的改善主要是通过器件特征尺寸(多晶硅栅长度)的按比例缩小来实现的,即在硅芯片上放置更多的晶体管,同时适当增加芯片的尺寸,使集成度提高.目前金属-氧化物-半导体场效应晶体管(MOSFET)的最小特征尺寸已缩至深亚微米的阶段.1995 年和 1997 年国际上先后开发出 $0.18\mu\text{m}$, $0.13\mu\text{m}$ 的 1G 和 4G 的 CMOS 动态存储器(DRAM),其集成度分别为 2.2×10^9 和 8.8×10^9 .进入深亚微米的 ULSI 仍然遵循所谓“摩尔定律”向前发展,其 MOSFET 的特征尺寸以每代 0.7 因子在缩小,而 DRAM 的集成度以每隔 18 个月增加一倍的速度增长,其性能(运算速度)也获得了成倍的提高.

美国半导体工业协会(SIA)组织 600 多位各学科的科学家和微电子工业生产第一线的工程师们,

耗时达 2 年之久,于 1997 年提出新的技术发展规
划.表 1 给出了这一技术规划的部分指标.各技术时
代的特征尺寸是 DRAM 的线间距的 1/2,比微处理器
(MPU)的多晶硅栅长度要稍大一些.根据这一指标,
器件的特征尺寸将缩至 2012 年的 50nm.这种器件
特征尺寸按比例缩小所带来的好处是显而易见的,
但实现规划所提出的指标的技术途径在许多情况下
(特别是后面的各技术时代)尚不十分清楚.而且这
种尺度范围内器件已达到微电子器件工作的物理极
限^[1],随着纳米电子器件的相继出现,量子化特征会
越来越明显,而且在硅集成电路中所引入的新材料
和新概念的更替速率也是前所未有的.

表 1 1997 年 SIA 的 ULSI 技术规划择选^[2]

时间/年	1997	2001	2006	2012
技术时代/nm	250	150	100	50
MPU 晶体管数/每片百万	11	40	200	1400
芯片尺寸/ mm^2	300	445	790	1580
MPU 时钟频率/GHz	0.75	1.4	2.0	3.0
MPU 功率/W	70	110	160	175

* 2001 - 01 - 15 收到初稿,2001 - 03 - 07 修回

我国的集成电路发展正处于赶超国际先进水平的阶段.1999年,我国0.35 μm 的CMOS集成电路正式投产.为了尽快缩短与国外的差距,必须注重与此相关的科学、技术的基础研究.本文的目的就是想通过对深亚微米各技术时代的超大规模集成电路(ULSI)的发展历程中所遇到的一些材料物理问题进行综述,跟踪微电子技术的发展.为叙述方便,我们首先简要介绍一些集成电路的基本结构和基本概念,尺寸缩小所遇到的基本问题,然后讨论ULSI中与互连相关的一些材料物理问题,主要是Cu互连及其金属化问题.对于CMOS晶体管运作的内在结构、材料、电接触以及金属化问题,ULSI所需的大直径硅单晶问题,以及一些影响IC性能的其他材料物理问题和纳米电子器件发展展望,将在“超大规模集成电路的一些材料物理问题(II)”一文中讨论.

2 集成电路的基本结构和互连

微米、亚微米各代的超大规模集成电路广泛采用互补型金属-氧化物-半导体(CMOS)集成电路作为基本结构单元,它具有功耗低、速度快、抗干扰能力强等一系列优点.

以一个CMOS倒相器电路为例,其开关时间 t 可用下列简单而有用的公式表示:

$$t \approx 4 C_L / \beta V_{DD} \approx R_C C_L, \quad (1)$$

其中 R_C 为MOSFET的有效沟道电阻, $\beta = K \frac{W}{L}$, K 为材料结构因子, $K = \mu C_{ox}$, μ 为N沟道MOS或P沟道MOS中的电子或空穴迁移率, C_{ox} 为MOSFET的多晶硅栅极单位面积的氧化层电容, $C_{ox} = \epsilon_{ox} / d_{ox}$ (ϵ_{ox} 为介电常数, d_{ox} 为氧化层厚度), W/L 为多晶硅栅极的宽长比, C_L 为静态CMOS倒相器的负载电容, V_{DD} 为电源电压.

电路的速度性能主要由MOS器件的RC时间常数决定的,进入深亚微米阶段后的ULSI速度性能主要是由互连电阻和分布电容决定的.由于MOS管的驱动栅与互连线,以及互连线与接收栅之间也存在相互作用.可以证明,如果在MOS管的驱动栅处输入一个方形阶梯信号,则接收栅的电压达到 V_{DD} 的一半时所需要的时间近似为

$$T_{1/2} = 0.4 r_1 C_1 l_1^2 + 0.7 (R_d C_r + R_d C_1 l_1 + r_1 l_1 C_1), \quad (2)$$

其中 r_1, C_1 为长度为 l_1 的互连线每单位长度的电

阻和电容, R_d, C_r 分别为驱动栅和接收栅的有效电阻和电容,它们相应于(1)式中的 R_C 和 C_L .

(2)式中共包括4项.第一项为纯互连线的贡献,第二项为纯逻辑栅的贡献,而第三、四项为它们之间的相互作用的贡献.这一公式是评估、分析、降低CMOS逻辑电路的时延的关键公式.其中三项与互连线有关.即使互连线电阻 $r_1 \approx 0$,仍存在互连电容 C_1 的作用,而且纯互连时延与 l_1^2 成正比,互连线愈长,贡献愈大.

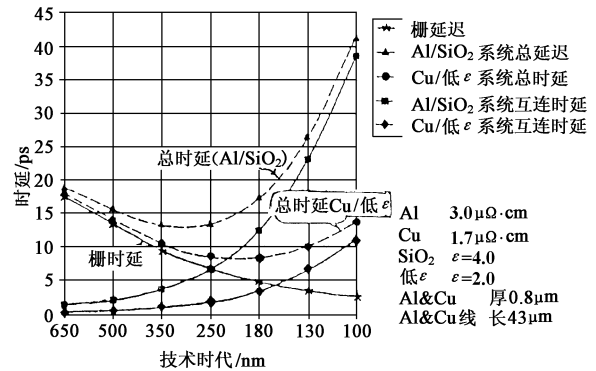


图1 计算的栅时延和互连时延与IC技术时代的关系^[3]

图1给出了在一定条件下估算的从0.25至0.1 μm 各代的栅延迟和互连延迟之和的关系曲线.我们注意到,尽管CMOS的栅延迟随着特征尺寸的缩小而稳步减少,但如果继续使用传统的Al/SiO₂互连系统,0.1 μm 的IC时延将是0.25 μm 的IC的总时延的三倍,互连时延将占系统总时延的95%.如果把Al互连材料换为电阻率低的Cu互连材料,同时用低介电常数(ϵ)的聚合物来替代SiO₂,即互连系统变为Cu/低 ϵ ,假定Cu的电阻率和聚合物的介电常数各为Al/SiO₂系统的1/2,则可使系统总时延得到很大的改善,然而互连时延仍占总时延的78%(0.1 μm IC).显然,如果特征尺寸进一步缩小至50nm,则情况变得更糟,发生所谓“互连危机”.互连电阻和互连线之间的电容成为决定硅芯片最终性能的决定因素.这一点与微米、亚微米IC电路有着本质的区别.特征尺寸按比例缩小所带来的突出问题是互连问题.

互连线按其功能不同分为两类.一类称为“局域互连”,是一个功能块内的不同元件的栅之间的互连,这种互连线较短(R 小),而栅电容(C)是影响RC时间常数的主要因素;另一类称为“整体互连”,是不同功能块之间的互连.在亚微米以上区域,由整体互连引起的RC时间延迟基本上保持为常数,其

物理

大小远小于由局域互连引起的时间延迟,这时栅电容是决定 RC 的主要因素.而进入到深亚微米后,整体互连的时间延迟(RC)急剧上升,大大超过了局域互连的贡献,所谓“互连危机”,主要是整体互连成为决定芯片最终性能的决定因素.整体互连不仅带来 RC 时间延迟的增长,性能下降,同时还会引起噪声、功耗和电迁移等一系列新的问题.

Cu 互连材料的引入明显地改善了 IC 的最终性能.而系统性能是由 RC 延迟和互连之间的交叉干扰(crosstalk)来评估的.所谓交叉干扰是指由于互连线中电流的快速变化而产生的对邻近互连线的扰动,它是 IC 电路噪声的重要来源,也是高性能的 IC 设计中的重要问题.

3 Cu 互连材料和金属化

3.1 金属化特点

如前所述,互连线线宽缩小到 $< 0.25\mu\text{m}$ 时,Al 及其合金的电阻率已不能再满足使互连的时延同步降低的要求.同时在大的电流密度下,Al 易发生电迁移.而且在 $300\text{ }^\circ\text{C}$ 左右的工艺温度下,Al 薄膜上会形成突起,穿透相邻互连线之间的电介质绝缘层造成短路.因此,以电阻率低的 Cu 替代 Al 作为多层布线的金属化材料是集成电路发展的必然趋势,它可使局域互连的传输速度改善 10%,使整体互连的传输速度改善 50%,保证集成度提高的同时也能提高速度性能.Cu 还具有熔点高、抗电迁移能力强,与通常采用的扩散势垒材料的反应性低等优点.但是,Cu 在硅基 IC 中的应用存在许多困难.譬如,Cu 在 Si 和 SiO_2 中的可动性强,如不加阻挡,会在 Si 中产生深陷阱中心,损害器件的性能;由于缺乏挥发性的卤化物,不能采用传统干法对它进行等离子刻蚀;Cu 在低温 ($< 200\text{ }^\circ\text{C}$) 下空气中很易氧化,其氧化层不具备防护作用;与常用的电介质薄膜材料附着力差;在较低温度下形成 Cu 的硅化物.所有这些缺点都会对器件可靠性造成伤害.因此,在 Cu 与 Si, Cu 与 SiO_2 之间加一合适的扩散阻挡层是成功应用 Cu 材料的关键.

目前研究最多、最具吸引力的阻挡层材料是难熔金属(W, Ta, Ti, Mo, Cr)以及它们的氮化物.因为它们具有高的熔点、高热稳定性、优良的电导特性,以及与介质材料具有良好的附着性.表 2 给出了一些扩散阻挡层材料的性能.绝大多数扩散阻挡层材料的热稳定温度均在 $550\text{ }^\circ\text{C}$ 以上.物理气相沉积的

TaN 是最好的阻挡层材料,热稳定温度可达 $750\text{ }^\circ\text{C}$, W 也是很好的阻挡层材料,多用于元器件中需要做欧姆接触的部位.为了防止 Cu 外扩散到 Si 中破坏器件,必须对分布在 IC 各层中所有部位上的 Cu 导线和插件接头进行全封闭式的包敷.包敷的阻挡层应该足够薄,以使 Cu 导线的截面尽量大.在冶金上要求阻挡层薄膜是稳定的,不与 Cu 发生反应,但与 Cu 具有好的粘附性.阻挡层薄膜的表面特性和微结构对后续沉积生长的 Cu 膜的结构和晶粒大小有强烈影响,它决定了 Cu 导线的电迁移可靠性.因此,要求势垒薄膜的微结构对沉积 Cu 具有某种籽晶的作用.

表 2 Cu 的一些扩散阻挡层材料性能

样品	稳定性	沉积条件	参考文献
Si/ Ti W(100nm)/ Cu	725 $^\circ\text{C}$ 30s	Cu on Ti W(原位)	[4]
	775 $^\circ\text{C}$ 30s	Cu(空气) on Ti W	
Si/ Ti W(50nm)/ Cu	600 $^\circ\text{C}$ 1h	溅射	[5,6]
Si/ Ti W(50nm)/ Cu	650 $^\circ\text{C}$ 1h	等离子体处理 CVD	
Si/ Ta(60nm)/ Cu	600 $^\circ\text{C}$ 1h	溅射	[7]
Si/ Ta ₂ N(50nm)/ Cu	$> 650\text{ }^\circ\text{C}$ 30min	溅射	[8]
Si/ TaN(100nm)/ Cu	750 $^\circ\text{C}$ 1h	溅射	[9]
Si/ TiSi ₂ (30nm)/ Ta-Sr N(80nm)/ Cu	900 $^\circ\text{C}$ 30min	溅射	[10]
Si/ W(25nm)/ Cu	650 $^\circ\text{C}$ 30min	溅射	[11]
Si/ W ₂ N(25nm)/ Cu	790 $^\circ\text{C}$ 30min	溅射	[11]
Si/ WN(20nm)/ Cu	$< 550\text{ }^\circ\text{C}$ 30min	PECVD	[12]

3.2 独特的 Cu 金属化工艺简介

Cu 和扩散阻挡层的特点决定了 Cu 工艺的特殊性.Cu 的图案化与传统的 Al 工艺不同,不能只靠光刻和等离子刻蚀来完成,而是由所谓“镶嵌”工艺^[13]完成的.在目前发展的主流工艺中,主要由在氧化层上光刻沟槽和通道孔、淀积阻挡层、淀积 Cu 和化学机械抛光(CMP)组成.图 2 表示多层布线的 ULSI 中的 M_1 到 M_2 层完成金属间互连所用的“双镶嵌(dual damascene)”工艺形成的结构示意图.

现对图中所列的结构作一些简要的说明.

(1)氧化层是 IC 各层中互连线的绝缘隔离层,要求平整、致密、均匀,对高性能的深亚微米级 IC,可采用低介电常数的聚合物或干凝胶代替.可在其上刻蚀出不同深宽比的沟槽或通道孔.

(2)沟槽或通道孔中阻挡层材料的淀积是一项技术性很强的关键工艺.沟槽底部和内壁上要求沉积厚度均匀一致的全包敷形薄膜.目前效果最佳的物理沉积方法是在磁控溅射的衬底上加一定的负偏压,使等离子区中的金属原子大量电离.这些电离的

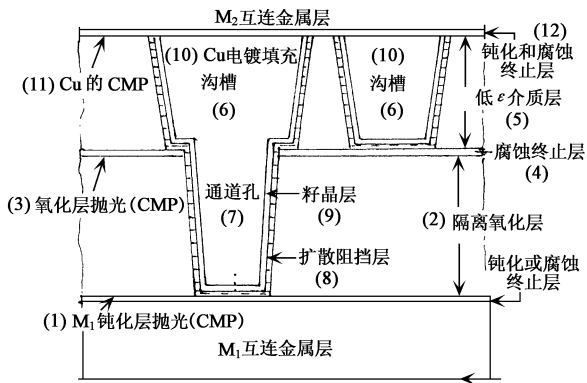


图2 Cu金属化的“双镶嵌”结构示意图

(1) M_1 钝化层抛光(CMP); (2) 金属间隔离氧化层沉积(如 PSG); (3) 氧化层抛光(CMP); (4) 腐蚀终止层沉积($SiN, 30nm$); (5) 低 ϵ 介质或氧化层沉积(CVD); (6) 刻蚀沟槽; (7) 刻蚀通道孔; (8) 阻挡层沉积($Ta - PVD$); (9) 籽晶层沉积($Cu - PVD/CVD$); (10) Cu 电镀填充; (11) Cu 的化学机械抛光(CMP); (12) 钝化和终止层沉积(SiN)

原子在向衬底沉积时,有很强的方向性和一定的能量,可使已沉积在沟槽底部的薄膜再溅射到内壁上,沉积层厚度可由外加偏压控制.偏压增加时内壁上膜层厚度增加,而底层厚度减少.利用这一方法可在各种不同深宽比的沟道中形成优质的全包敷的阻挡层薄膜.

(3) 双镶嵌工艺是向具有阻挡层的沟槽和通道孔中同时沉积 Cu 金属线和通道接头.通常用物理方法(PVD)向具有阻挡层内壁的沟槽中填充金属时,由于沟槽口处的沉积速率大,常出现“搭桥”现象,在沟槽内部形成空洞,增加导线电阻.深宽比越大,此现象越严重.而 CVD 方法存在杂质、工艺复杂性以及工艺设备不成熟等问题.至今为止,用电镀法沉积 Cu 金属线是最有希望的工艺,能无空洞填充,沉积速率高,温度低,系统简单和工艺可控性强,但它需先形成一层 Cu 籽晶层.这可采用上面沉积全包敷阻挡层的 PVD 法,先沉积一薄层 Cu 籽晶层,然后采用电镀法对其沟槽和通道进行填充,通过向 Cu 电镀液中可控地加入不同的添加剂,可获得晶粒细微($< 0.1\mu m$)、表面光亮均匀的优质的 Cu 金属沉积.

(4) 金属 Cu 的 CMP 常出现所谓凹陷现象或图案损伤.因 Cu 的 CMP 的同时也要对包敷 Cu 的阻挡层进行抛光,Cu 很软,在标准化学配料下易氧化,阻挡层(如 Ta 或 TaN)却很硬,化学上不活泼,两种材料在 CMP 工艺中选择性相差很大,从而造成严重的凹陷问题.通常可采用两步抛光法,分别选用不同的化学配料进行 CMP,以克服这一问题.另外还要精

心避免由于 CMP 后的清洁处理不当可能造成的交叉污染.

(5) 工艺中所用腐蚀终止层 Si_3N_4 是一种高介电常数($\epsilon \sim 7$) 介质,可增加互连系统的有效介电常数,其厚度必须尽可能薄,以使对 RC 时延的影响最小.

总之,Cu 金属化工艺与传统的 Al 工艺有着根本的区别,它不能完全沿用 Al 工艺的设备,目前适用的 Cu 工艺的设备 and 工艺流程尚在努力发展完善之中.

3.3 Cu 金属化系统失效机理

以难熔金属和它们的氮化物为阻挡层的 Cu 金属化系统发生失效的主要原因有三:(1) Cu 向阻挡层内扩散;(2) 发生界面反应;(3) Cu 与阻挡层附着力差而脱落.不同体系的具体失效机理决定于体系的成分、微结构、相变过程、界面反应等因素.下面仅以 Cu/Ta, Ta_2N , TaN/Si 和 Cu/TiW/Si 体系为例说明这方面的研究结果.

3.3.1 Cu/Ta/Si 体系

Cu/Ta/Si 体系对一个特定的阻挡层材料,在扩散势垒作用和附着特性之间存在一个折衷.如果阻挡层薄膜与 Cu 完全不反应,那它阻挡作用很好,但具有差的附着特性;但如果与 Cu 易发生反应,那么附着特性会很好,但阻挡作用一定很差.对于既具有好的阻挡作用,又具有强的附着性的理想薄膜应与 Cu 具有有限程度的反应. Cu/Ta/Si 体系就体现了这种折衷.难熔金属 Ta 薄膜在高温下不与 Cu 反应,是化学稳定的,Cu 在 Ta 中的扩散系数很小($D_0 = 9 \times 10^{-4} cm^2/s$,在 $400 - 700^\circ C$ 范围内,扩散激活能 $E_d = 2.3eV$),是 Cu 扩散阻挡层的潜在材料. Cu/Ta/Si 体系的温度特性研究表明,在两个界面处存在着多种微结构的相变过程.如用高分辨透射电子显微镜(HRTEM)研究 Cu/Ta 界面^[14], $400^\circ C$ 下退火 1h 后 Cu - Ta 之间存在一个约 3nm 的非晶层,它对改善 Cu - Ta 界面的附着性起着重要作用,而且退火到 $500^\circ C$ 时,非晶层厚度无明显增加($\sim 4nm$).衍射研究发现, $600^\circ C$ 退火,亚稳态的四角结构的 $\beta - Ta$ 转变为稳定的 bcc - Ta.在 Cu/ $\beta - Ta$ 的界面处,(111) Cu 可在四角(002) Ta 上异相外延生长,即 Ta 层又可作为 Cu 的成核层.实验发现,50nm 的溅射 Ta 膜在 $600^\circ C$ 之下退火 30min,仍可有效地防止 Cu 与 Si 的反应.但在较高温度下,Cu 渗透过 Ta 膜,并在 Ta/Si 界面形成 $\eta - Cu_3Si$ 沉积,同时 Ta 与 Si 反应生成 h -

TaSi₂.当薄膜退火后暴露在室温空气中时,在铜的硅化物沉积颗粒周围生成非晶态的 SiO₂,使薄膜的电阻率急剧上升. TEM研究发现,在较高温度下退火时,可以促使 β - Ta 完全向 bcc - Ta 相转变,β - Ta 结构的 c 轴是 Cu 快扩散的通道,而 bcc - Ta 相的形成具有使其 c 轴与衬底法向平行的择优取向,这一结果造成 Ta 膜在较高温度(600 °C 以下)下阻挡作用大大减弱.

3.3.2 Cu/Ta₂N, TaN/Si 体系

如果在 Ta 薄膜中加入杂质原子,并超过其固溶度,杂质原子将向 Ta 晶粒间界处分凝,堵塞其快扩散的通道,就可以改善阻挡层的性质.根据这一思想,在溅射 Ta 膜时加入一定量的 N₂,当 Ar 气中 N₂ 的浓度足够高时,可生成 Ta₂N 薄膜, Ta₂N 具有高的熔点,比 Ta 更稳定,具有更低的电阻率,同样是一种好的阻挡层材料.

分析表明^[15],在直流磁控溅射制备的 Cu/Ta₂N/Si 体系中,50nmTa₂N 属非晶和晶态的混合结构,在 700 °C 退火 30 min 后没有发现 Cu 的硅化物.比 Cu/Ta/Si 体系的耐温能力提高 100 °C.而 XRD, AES 分析表明^[3],体系一直到 750 °C 仍是热稳定的.而在 Cu/TaN/Si 体系中, TaN 属 FCC 点阵.在薄膜中 N 含量的增加,明显地改善了扩散阻挡层的性质.两个系统的失效分析表明,至少在 650 °C, Ta₂N 能有效地阻止 Cu 的扩散, Cu/Ta₂N/Si 体系的失效是由 Ta₂N/Si 界面反应开始的,而 TaN/Si 界面直至 800 °C 仍是稳定的,没有界面反应. Cu/TaN/Si 体系的失效与 Cu/Ta/Si 相同,是由 Cu 的扩散引起的.由 Cu - Ta - N 的三相图^[13]可知, Cu 相对于 Ta, Ta₂N 和 TaN 是热力学稳定的,但 Ta, Ta₂N, TaN 对 Si 是不稳定的, TaN/Si 比 Ta₂N/Si 界面需在更高温度下发生界面反应.这一点可以说明两者发生失效的机制是不同的.

3.3.3 Cu/TiW/Si 体系

由于应力作用造成 Cu 膜(或线)脱落是 Cu 金属化技术中要解决的另一个重要问题.如 Cu/TiN/Si 系统,往往在光刻金属层后,金属线图形即从 TiN 上脱落.通过退火能消除薄膜沉积后形成的应力,但阻挡层材料的成分和结构是决定附着能的主导因素.在亚微米级的 IC 电路中, W 和 TiW 合金是形成欧姆结和互连的良好材料,同时又是 Cu 的扩散阻挡材料(500 °C 以下),实验证明^[16], Cu/TiW 界面的附着力远大于 Cu/TiN 界面.其中, Cu - Ti 的 s 轨道交叠对提高 Cu/TiW 界面的附着力起着关键作用.

3.4 低介电常数介质

互连线之间介质材料的选择与互连材料的选择具有同等的重要性.以 Cu/低 ε 材料系统取代 Al/SiO₂ 系统是 ULSI 发展的必然趋势.用 Cu 取代 Al,可使导线电阻降低 40%,而用低介电材料取代 SiO₂,可使电容减少约 50%.两者加起来可使芯片运算速度快 4 倍.上面介绍的 Cu 的双镶嵌工艺是其主线工艺,低介电常数介质的引入需要对主线工艺进行整合.低介电常数介质固然可以降低 RC 时间常数,提高 IC 性能,但它的热导系数小,热耗散困难,器件温度提高又会制约性能的提高.因此还要求新引入的介电材料与近邻材料有好的附着特性,对 O₂ 等离子刻蚀、光刻胶去除等平面工艺具有高的稳定性.

目前研制的低介电常数介质主要有:掺杂氧化物(SiO₂)类(如掺 F 的 FSG(ε ~ 3.5),掺 H 的 HSG(ε ~ 2.6 - 3.5),掺 C 的 MSG(ε ~ 2.5 - 3.2)),它们的介电常数不太低,但与传统的 Al/SiO₂ 系统标准工艺相容,而且掺 C 的 MSG 的介电常数与材料密度成线性关系,可在一定范围内调整;氟化的非晶碳(α - CF)具有较低的介电常数(ε ~ 2.0 - 2.5),但 F/C 比控制不当,会形成 C - C sp² 导电键,造成漏电,需在薄膜内部加隔离层;纳米干凝胶(xerogels)为多孔介质,介电常数小(ε ~ 1.0 - 2.2),但薄膜的机械强度低,与金属材料附着性可能差,对 CMP 工艺的合理整合是此类材料能被采用的关键.

参 考 文 献

- [1] 马俊如.物理,1985,12:742[Ma J R. Wuli(Physics),1985,12:742(in Chinese)]
- [2] National Technology Roadmap for Semiconductors. In: Solid State Technology,1998,41:No.1,73;41:No.2,43;41:No.3,85
- [3] Bohr M T. Proc. IEEE International Electron Devices Meeting, 1995,241
- [4] Wang S Q et al. J. Appl. Phys.,1993,73:2301
- [5] Olowofe J O et al. Appl. Phys. Lett.,1991,58:469
- [6] Kim D H et al. Appl. Phys. Lett.,1996,69:4182
- [7] Ono H et al. Appl. Phys. Lett.,1994,64:1511
- [8] Holloway K et al. J. Appl. Phys.,1992,71:5433
- [9] Takeyama M et al. J. Vac. Sci. Technol.,1996,B14:674
- [10] Kolawa E et al. J. Appl. Phys.,1991,70:1369
- [11] Oku T et al. VLSI Multilevel Interconnect Conf. Proc.,1995,182
- [12] Lu J et al. Adv. Metal, and Inter. Sys. for VLSI Applic.,1997,87
- [13] Edelstein D et al. IEEE Intl. Electron Devices Meeting Digest., 1997:773
- [14] Ryu C et al. Solid State Technology,1999,42:53
- [15] Min K H et al. J. Vac. Sci. Technol. B,1996,B14:3263
- [16] Lee S et al. J. App. Phys.1999,85:473