

超大规模集成电路的一些材料物理问题(II)^{*}

——尺寸缩小带来的巨大挑战

刘洪图

吴自勤

(中国科学技术大学物理系 合肥 230026)

(中国科学技术大学天文和应用物理系 合肥 230026)

摘要 随着 CMOS 技术缩至 100nm 或更小,在 CMOS 器件结构、接触电阻以及大直径硅晶片等方面均遇到一些材料物理的巨大挑战.

关键词 超大规模集成电路,接触电阻,自对准硅化物工艺,大直径硅晶片

SOME ISSUES OF THE MATERIAL PHYSICS FOR ULTRA LARGE SCALE INTEGRATION(PART II) —— GIANT CHALLENGES FOR THE SCALED ULSI

LIU Hong-Tu

(Department of Physics , University of Science and Technology of China , Hefei 230026 ,China)

WU Zi-Qin

(Department of Astronomy & Applied Physics , University of Science and Technology of China , Hefei 230026 ,China)

Abstract We discuss the giant challenges that material physics faces regarding the structure of CMOS devices , contact resistance , and large diameter silicon wafers when CMOS technology reaches below 100nm.

Key words ULSI , contact resistance , salicide process , large diameter silicon wafers

1997 年, SIA 的 ULSI 技术规划对 CMOS 的内在结构形式、有效沟道长度、栅氧化层厚度、结深以及电接触结的电阻等提出了具体的要求. 其部分技术指标列于表 1 中. 下面以 0.1 μ m ULSI 为主, 分别对

CMOS 结构中的寄生电阻、接触电阻以及尺寸缩小对自对准硅化物等提出的要求中所涉及的材料物理问题加以简要介绍.

表 1 1997 年 SIA 的 ULSI 技术规划择选^[1]

时间/年	1997	2001	2006	2012
技术时代/nm	250	150	100	50
芯片尺寸/nm ²	300	445	790	1580
晶片直径/nm	200	300	300	450
电源电压/V	1.8—2.5	1.2—1.5	0.9—1.2	0.5—0.6
CMOS 结构形式	DES	DES	提升 S/D	提升 D
有效沟道长度/nm	140—210	84—126	56—84	28—42
栅氧化层厚度/nm	4—5	2—3	1.5—2.0	< 1
电接触结深度 X_j /nm	100—200	60—120	40—80	10—20
沟道区结深 X_j /nm	50—100	30—60	20—40	10—20
侧壁隔离层/nm	100—200	60—120	20—40	5—10
硅化物厚度/nm	70	45	45—70	新结构
硅化物方块电阻 R_s (Ω/\square)	2	3.3	2	2
硅/硅化物接触电阻($\Omega \cdot \text{cm}^2$)	< 10^{-6}	< 4×10^{-7}	< 2×10^{-7}	< 3×10^{-8}
S/D 总寄生电阻与沟道电阻之比	< 10%	< 10%	< 10%	< 10%
沟道驱动电流 NMOS	600	600	600	600
I_{on} ($\mu\text{A}/\mu\text{m}$) PMOS	280	280	280	280

* 2001-01-15 收到初稿, 2001-03-07 修回

1 CMOS 漏极延展结构的寄生电阻和接触电阻

从历史上看,在超大规模集成电路中,为降低漏极的电场,减少热电子向栅介质层的注入,其漏极采用所谓“漏极延展结构(drain extension structure, DES)”,如图 1 所示,其中用多晶硅栅作为掩膜进行离子注入,在漏极窗口处首先形成一个轻掺杂(lightly doped drain, LDD)浅结,然后采用 CVD 沉积、各向异性的反应离子刻蚀(RIE),形成栅介质隔离环,用离子注入和退火形成深接触结,接着自对准形成金属硅化物欧姆结.这种漏极延展结构,在沟道区形成的浅结还可减少器件短沟道效应,是各代深亚微米的 ULSI 技术规划中所喜欢采用的首选结构形式.

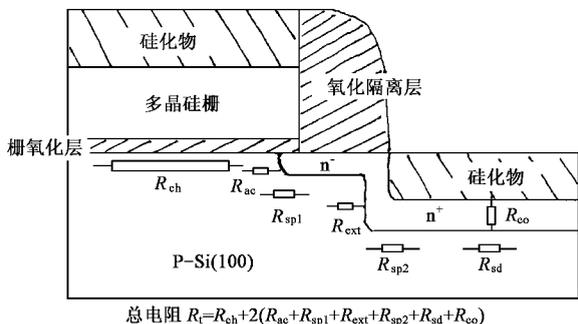


图 1 MOS 晶体管的漏极延展结构及其串联电阻的组成

漏极延展结构的 MOS 器件的总电阻 R_t 是由图 1 所示的不同成分组成的^[2]。 R_{ch} 为沟道电阻, R_{sp1} 、 R_{sp2} 和 R_{ac} 为结边处的扩展电阻和积累电阻, R_{ext} 为延展薄层电阻, R_{sd} 为源漏结区电阻, R_{co} 为接触电阻.

利用表 1 所给出的各技术时代的 ULSI 的数据(结深和栅氧化隔离环的宽度),并假定表面掺杂浓度为 $1 \times 10^{20} \text{cm}^{-3}$,可得到各代器件的串联电阻的各分量的电阻和宽度乘积与特征尺寸的关系,如图 2 所示.图 2 表明,串联电阻的 4 个成分中的三个是随特征尺寸缩小而下降的,而接触电阻 R_{co} 在特征尺寸小于 $0.2 \mu\text{m}$ 时成为器件电阻的主要成分^[3].因而,为满足表 1 技术规划中所规定的总寄生电阻必须限定在沟道电阻的 10% 范围内,采用新的工艺途径降低接触电阻成为提高 ULSI 性能的关键.

金属硅化物接触电阻的分析表明,有几种因素影响其大小.其一是硅化物形成过程中,要“吃”掉一部分结区,使剩余部分的结区的方块电阻增加;其二是结区中的掺杂浓度是随结深而减少,当硅化物的

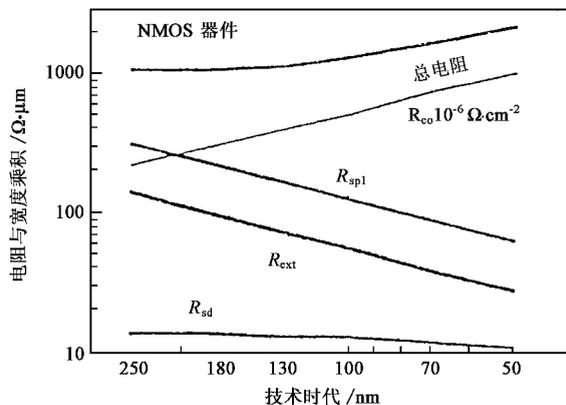


图 2 各深亚微米技术时代的 NMOS 器件中串联电阻各分量阻值与宽度乘积

厚度增加时,在硅化物与硅的界面处的掺杂浓度会不断减小,这也会导致接触电阻的增加,这两种现象的总效果^[4]引起接触电阻的增加.在实际工艺中,一般确保结区的消耗不超过结区的一半.

器件电阻是外加电源电压与驱动电流相除的商.以 $0.25 \mu\text{m}$ 的 NMOS 器件为例,驱动电流 $I_{on} \approx 0.6 \text{mA}/\mu\text{m}$,电源电压为 2.5V ,则饱和区的沟道电阻 R_{ch} 为 $4200 \Omega \cdot \mu\text{m}$,当源漏电压较低时,器件线性区的电阻要比饱和区低几倍,图 3 表示了饱和区和线性区的器件电阻和宽度的乘积与各代技术尺寸参数之间的关系,其中画出了 4 条不同的比接触电阻 ρ_c 以示比较.当器件尺寸缩小时,器件沟道电阻减少,但如果比接触电阻率较大 ($\rho_c = 10^{-6} \Omega \cdot \text{cm}^2$) 时,会使得器件的总寄生电阻增加.

当 NMOS 器件特征尺寸为 $0.1 \mu\text{m}$,或几十纳米时,必须设法使比接触电阻率降低约两个量级,才能

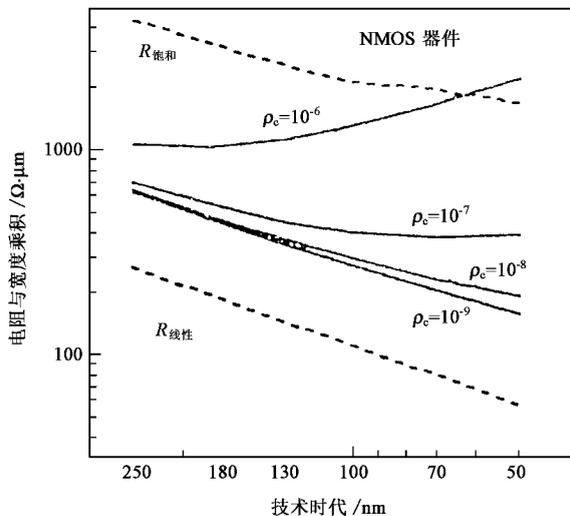


图 3 未来 NMOS 器件电阻与寄生串联电阻比较

可靠地制备接触电阻率小于 $1 \times 10^{-7} \Omega \cdot \text{cm}^2$ 的器件。这相应于表面可激活的掺杂浓度应为 $(1-2) \times 10^{20} \text{cm}^{-3}$ 。在浅结平衡掺杂工艺中, n^+ 区和 P^+ 区同时达到如此低的电阻率在物理上是不可能的。目前正在使用和研究中的方法主要有以下几种。

(1) 用硅化物作为扩散源 (SADS)。如图 4 所示, 在形成栅侧壁隔离环 (a) 之后立即形成自对准硅化物 (b), 掺杂剂直接注入到硅化物 (c) 中, 而后退火扩散入衬底 (d)。这种方法要求硅化物具有足够高的热稳定性, 能承受向衬底的高温扩散。但实际上, 没有任何一种硅化物材料具有特别高的热稳定性, 利用这种技术只能形成相对来说较浅的结, 其主要优点就是实现高掺杂, 使 Si 与硅化物界面处的掺杂浓度达到电激活极限。而传统的自对准硅化物工艺常会造成掺杂剂从硅向硅化物的分凝, 增加接触电阻。这种 SADS 方法可以使驱动电流提高 10% 以上。

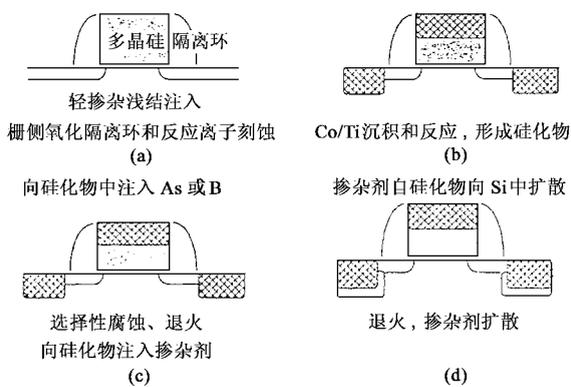


图 4 硅化物作为扩散源工艺

(2) 提升源/漏的器件 (ESD)。ESD 技术特点是在源、漏区窗口形成深接触结 (n^+ 或 P^+) 之后, 进行选择硅外延生长, 利用高剂量的离子注入到外延层中并扩散入衬底, 形成较厚的硅化物的接触。这种极高而均匀的掺杂可获得最低的电阻, 提高驱动电流。

(3) 增强掺杂剂的激活。含有掺杂剂原子的非晶层经退火 (550°C) 后, 掺杂原子很快变为替代式原子, 这相当于非晶层的快速固相外延生长, 是一种非平衡过程。测量到的载流子浓度远高于杂质原子的固溶度, 杂质原子处于过饱和状态, 它与退火温度的高低和冷却速率密切相关。选择合适的退火温度和冷却速率, 人们可以找到减少退激活过程的方法, 从而使掺杂浓度远远超过其平衡值。通过增加掺杂剂的激活来降低接触电阻。通常的方法是: 首先形成硅化物结, 然后进行非晶化注入, 使刚刚超过硅化物深度处的表层非晶化, 非晶层在硅化物形成之前或之

中进行再结晶快速热退火, 使掺杂剂浓度高于固溶度。在热退火过程中, 表面杂质原子的蒸发会降低界面浓度, 因此在热退火前在表面上覆盖一层 Si_3N_4 , 防止或减少杂质原子蒸发, 可有效地减少接触电阻。

(4) 减少势垒高度。P 型半导体的肖特基势垒高度与材料禁带宽度 E_g 成正比。许多研究者^[5]建议加 SiGe 合金层来降低接触电阻。 $\text{Si}_{1-x}\text{Ge}_x$ 的禁带宽度在 0.67eV 和 1.12eV 之间, 其值由 Ge 的量 (x) 和晶格应力大小决定。因此具有较小的禁带宽度的 $\text{Si}_{1-x}\text{Ge}_x$ 可降低 P^+ 结的势垒高度, 从而减少了接触电阻。用此方法可得到 $6.9-9 \Omega \cdot \text{cm}^2$ 的低接触电阻。如采用掺杂方法, 同时把 Ge 和 B 大剂量注入硅中, 由于较大原子 Ge 的加入, 使得较小原子 B 引起的热应力得到补偿, 从而减少了重掺 B 的硅中的失配位错的数目, 也可增加 B 掺杂的效率。

(5) 增加有效接触面积。增加有效接触面积可在一定程度上降低接触电阻。用等离子刻蚀使接触面粗化, 或用 CVD 方法沉积颗粒状的 Si 或其他材料, 均可增加有效接触面积。

2 尺寸缩小对自对准硅化物的要求

自对准硅化物是几代 ULSI 中实现源 (S)、漏 (D) 和栅区低电阻互连的关键材料, 对降低 RC 时延, 提高运算速度起着重要作用。Ti、Co、Ni 硅化物在已开发的 $0.25\mu\text{m}/0.18\mu\text{m}$ 的 ULSI 中形成了标准化的自对准工艺, 但特征尺寸缩至 $0.1\mu\text{m}$ 或更小的范围时, 却面临着许多挑战。

2.1 Ti 自对准硅化物

Ti 自对准硅化物 TiSi_2 存在一个高阻相 C49 ($\sim 70\mu\Omega \cdot \text{cm}$) 和一个低阻相 C54 ($\sim 15\mu\Omega \cdot \text{cm}$), 而且退火过程中 C49 相先形成, 因此在 $0.25\mu\text{m}$ 的 ULSI 标准化工艺中是采用两步退火过程。第一步低温退火形成的 C49 - TiSi_2 薄膜, 第二步高温快速热处理 (RTP) 的目的是使 C49 - TiSi_2 完全转变为低阻的 C54 - TiSi_2 ^[6]。这种相转变的效率取决于硅化物薄膜中 C54 相成核密度的高低, 通常晶粒间界的三叉结点为 C54 的成核中心, 在 $0.25\mu\text{m}$ 以上的工艺, 有足够的成核中心确保在第二步 RTP 中实现完全的相转变。但随着特征尺寸变为 $0.1\mu\text{m}$ 或更小时, 其线宽可与晶粒大小 (C49 晶粒尺寸约为 $0.2\mu\text{m}$) 相比, 晶粒间界的三叉结点数明显减少, 这样就不利于 C54 低阻相的生成。解决这一问题的基本思路和方

法有两条:一是用离子注入方法在硅和硅化物的界面前沿形成一个非晶区^[7](典型值~30nm),使得第一步退火中形成的 C49-TiSi₂ 相的晶粒尺寸减小(约0.07μm),从而增加晶粒间界和成核中心密度;二是在硅和硅化物界面处添加一种掺杂剂(如 Mo)^[8],可改变 C54 相的形成机制,使得在退火过程中 C54 相先形成.高分辨的透射电镜(HRTEM)研究表明,Mo 可以有效地改变硅化物的形成机制,在 Ti/Si 界面的高度无序可能是造成 C54-TiSi₂ 直接成核和生长的原因.按照以上思路,在 Ti/Si 界面处,实现非晶化,同时掺入杂质 Mo,经一次低温退火就可直接形成低阻(C54)的欧姆接触,此项研究结果已用于 0.1μm 的 CMOS 工艺.

2.2 Co 自对准硅化物

Co 自对准硅化物 CoSi₂ 的电阻率(16—18μΩ·cm)可与 C54-TiSi₂ 相比拟,而且晶粒尺寸小,可在 Si(100)单晶上直接实现外延生长.

CoSi₂ 不存在像 TiSi₂ 的相转变问题,对横向和纵向尺寸缩小不敏感,可以在线宽大于 0.06μm 的范围内实现低电阻率的硅化物薄膜.而且,在栅区的边缘或 S/D 的边缘会形成较厚的薄膜,降低薄膜的方块电阻,构成相反的线宽效应.因此,许多半导体公司考虑到现有产品顺利向 0.1μm 和超深亚微米(几十纳米)的过渡,在目前 0.25μm/0.18μm 的 CMOS 中启用 Co 自对准硅化物工艺,尽管它只需要多晶的 CoSi₂(而不是外延 CoSi₂)就足够了.

Co 硅化物的主要尺寸问题是浅结漏电^[9].首先,Co 硅化物对 Si 的表面状况是非常敏感的.不像 Ti/Si 界面,Co/Si 界面处,Co 不能去除硅表面氧化物.因此 CoSi₂/Si 结的方块电阻和二极漏电均取决于硅化物生长前 Si 表面的清洁程度.其次,在硅化物形成中,Si 是主要的扩散粒子,低温下(450℃)形成的硅化物往往残存着 Co 和 CoSi,易形成“毛刺”,使 CoSi₂/Si 界面变得粗糙,造成浅结漏电.

超高真空条件下,CoSi₂ 在 Si(100)面上的外延生长可形成十分平整的界面,对改善超浅结的二极管漏电是很有效的,也为结深的进一步缩小开辟了道路.但分子束外延(MBE)、离子束或激光束的合成等项技术所需的超高真空环境与硅化物的实际工业应用尚有很大距离,必须发展工业上实用的 CoSi₂ 外延技术.在沉积 Co 薄膜之前,在 Si(100)衬底上先沉积约 5nm 的 Ti 或直接沉积 Co-Ti(10at%—20at%)合金^[10],这种中间层的主要作用是降低 Co/

Si 界面对 O 沾污的敏感性,有利于 CoSi₂ 的外延生长.一种在 Si(100)表面加超薄的 Ti 或 TiN 覆盖层的 CoSi₂ 外延生长技术已成功地实现 0.1μm 以至 0.06μm 的 CMOS 工艺.

2.3 Ni 自对准硅化物

对 Ni 的硅化物已进行了广泛的研究^[11,12].NiSi 相具有较低的电阻率(~15—18μΩ·cm),在 400—500℃下一次热退火就可以形成 NiSi 相薄膜.与 CoSi₂ 一样,是 0.1μm 以下电接触的潜在材料.NiSi 相硅化物不像 TiSi₂ 那样对线宽很敏感,同时,与 CoSi₂ 相比,同样厚度的硅化物,它所消耗的 Si 层要少一些.

与 CoSi₂ 一样,NiSi 的不利之处在于,NiSi 对表面沾污很敏感,会造成 NiSi/Si 界面粗糙和更大的浅结二极管漏电.加超薄的 TiN 覆盖层或掺 N 可防止表面氧化的影响,改善二极管漏电状况.另外,还要防止在 600℃温度下 NiSi₂ 高电阻率相的形成会使(NiSi)薄膜电阻率增加.

总之,自对准硅化物 TiSi₂,CoSi₂ 和 NiSi 对成功实现 0.1μm CMOS 工艺具有巨大潜力,并已部分进入生产阶段.但小于 0.1μm 时,低电阻率和浅结的要求可能使现有的硅化物工艺大部分或部分地不适用,必须发展新的替代材料和工艺.

3 大直径硅单晶

增加硅芯片尺寸是硅 ULSI 发展的基本途径之一.由表 1 可知,每一代 DRAM 的硅芯片面积为前一代的 1.5 倍,致使硅单晶必须越做越大.未来的 ULSI 应用的硅单晶直径将为 450mm.对此硅晶片的质量也提出了新的要求:

(1)硅单晶片在 26×44mm² 区域内的局域平整度为 0.08μm;为满足高分辨率的光刻,尺寸≥0.03μm 的颗粒要控制在 <0.03 个/cm²;晶片正面的微粗糙度小于 0.1nm.

(2)体单晶中重金属杂质总量要低于 5×10⁹ 个/cm³.

(3)氧原子浓度在 22±1.5ppm(百万分之一),径向均匀性要好于 2%.

(4)在 450mm 的硅单晶内不但要彻底消除位错,单位表面的体微缺陷数应≥100 个/cm²,而且器件工艺中产生的二次结构缺陷(如氧化感生层错 OISF)密度要小于 1 个/cm².

(5) 晶片中少数载流子的复合和产生寿命的典型值分别为 500 和 1500 μ s.

(6) 外延层厚度为 0.8 ($\pm 2\%$) μ m, 平坦程度为 0.5nm.

对深亚微米的 DRAM 而言, 硅材料质量对 ULSI 性能和成品率的影响, 主要是影响栅极氧化物的完整性 (GOI). 当栅氧化层厚度达 1.0—2.0nm 范围, 影响 GOI 的主要因素为金属杂质、晶体缺陷和表面粗糙度等. 而晶体生长中的点缺陷、微缺陷成为 GOI 破坏程度的主要因素. 研究这些微缺陷的形成机制、结构、演变和热历史成为大直径单晶制备中的热点, 点缺陷动力学的计算和模拟的研究成果^[13]对有效生长优质硅单晶起着明显的指导作用.

硅中的氧被认为对金属杂质的内吸除 (IG) 是有益的, 它可延长少数载流子的寿命并提高 IC 的成品率. 因此, 硅单晶中氧的浓度和均匀性的控制成为晶体生长技术的重要指标. 硅单晶中氧来自石英坩埚向硅熔体中的溶解, 其浓度是由固液交界面处熔体和整个熔体中的氧分布决定的. 因此, 溶解速度、熔体的对流和扩散、自由熔体表面的蒸发、坩埚与熔体的接触面积、温度、转速等生长条件对晶体中氧的含量和纵横的均匀性均有决定性的影响. 大直径晶体生长过程中的热场分布、液流动力学、氧的运输和分凝的计算和模拟目前已取得显著进展. 磁控直拉技术 (MCZ) 可有效改善 200mm 硅单晶生长参数, 但对 300 和 450mm 的大直径硅单晶生长仍面临着巨大的

挑战.

晶体生长后, 大直径晶片的成形、抛光、清洗以及晶片表面的机械的、电学的、化学的性能检测和表征, 对控制和优化 ULSI 的生产工艺也是十分重要的. 它已成为大直径硅材料研究开发的重任之一.

4 总结和展望

超大规模集成电路 (ULSI) 特征尺寸缩至深亚微米, 将在材料和技术上面临“巨大的挑战”. 这一挑战导致技术规划的国际化. 1999 年, 由 SIA 发起, 众多欧洲和亚洲的半导体工业协会参加, 制定了新的国际半导体技术规划 (99' ITRS, 如表 3 所示), 其特点充分反映了当前微电子工业的发展趋向. 第一, 首次把每代二年的规划改为每代三年; 第二, 明确每代特征尺寸是由 DRAM (1/2 线间距) λ MPU (栅长) λ MPU - ASIC (1/2 线间距) 以及 ASIC (栅长) 四项指标来标定的, 而不仅限于前两项; 第三, 明确界定 2005 年 (100nm) 前后为两个不同的发展阶段. 在未来五年内, 现有材料和技术尚有一定的应用和发展余地. 但 2005 年 (100nm) 之后, 传统的 Si, SiO₂ 以及多晶硅尺寸缩小方法将遇到巨大的障碍. 必须寻找新的栅氧化层和掺杂多晶硅栅电极的替代材料, 即这两项 CMOS 的关键技术将退回到 20 世纪 60 年代的状况. 然而, 这并不意味着微电子工业发展的终结, 而是现在的尺寸缩小原理的终结.

表 3 99' ITRS 国际半导体技术规划 部分指标择选^{[14]*}

时间(年份)	1999	2002	2005	2008	2011	2014
技术时代/nm	180	130	100	70	50	35
DRAM $\frac{1}{2}$ 线间距/nm	180	130	100	70	50	35
MPU (栅长)/nm	140	85—90	65	45	30—32	20—22
MPU - ASIC $\frac{1}{2}$ 线间距/nm	230	160	115	80	55	40
ASIC 栅长/nm	180	130	100	70	50	35
等价栅氧化层厚度/nm	1.9—2.5	1.5—1.9	1.0—1.5	0.8—1.2	0.6—0.8	0.5—0.6
漏极延展结深/nm	42—70	25—43	20—33	16—26	11—19	8—13
MPU 中 Cu 线的阻挡层和夹层厚度/nm	17	13	10	0	0	0
MPU 中互连金属层间介质的介电常数	3.5—4.0	2.7—3.5	1.6—2.2	1.5	<1.5	<1.5

* 表中 ASIC——专用集成电路, MPU——微处理器, DRAM——动态随机存储器 ——有建议方案 ——尚无解决方案

在互连材料方面, 2005 年 (100nm) 之前, 继续完成从 Al/SiO₂ 向 Cu/低 ϵ 系统的过渡, 解决由于新材料的引入而引起的“双镶嵌”工艺技术中的材料物理问题. 2006 年 (<100nm) 之后, Cu 和相关的双镶嵌工艺等随着尺寸进一步缩小均不再能满足性能提高的要求. 而且不断引入的新材料 (低 ϵ 介质、阻挡层材料、籽晶材料), 要求不断地进行工艺整合, 解决诸如界面、沾污、粘附、力学稳定性、热耗散、电参数以及

多层布线等一系列复杂问题. 新技术、新概念会不断涌现.

在 CMOS 方面所面临的挑战, 一方面表现在从 Cu/低 ϵ 系统的双镶嵌工艺转向寻找新的栅叠层材料以替代 SiO₂ 和掺杂多晶硅栅; 同时由于较大的驱动电流 I_{on} 可使栅电容快速充电, 99' ITRS 的驱动电流比 97' SIA 规划的要增加 25% (NMOS 从 600 \rightarrow 750 μ A/ μ m, PMOS 从 280 \rightarrow 350 μ A/ μ m). MPU 栅长的缩

短以及驱动电流的增加,两者均要求进一步搞清和减少 CMOS 源-漏区内所有寄生电阻的来源.浅结($< 30\text{nm}$)的低能离子注入和高激活掺杂浓度,从 2.2×10^{22} 上升到 4.6×10^{22} (100nm),使杂质浓度远远超出 Si 中杂质的固溶度.这意味着掺杂是亚稳态的.

2006 年($< 100\text{nm}$)后各代的技术途径尚不清楚.由表 3 可知,等价栅氧化层厚度将小于 $1.0\text{—}1.5\text{nm}$,漏极延展结深将小于 20nm ,Cu 引线的阻挡层和夹层厚度将小于 10nm ,并降为零,引线间的介质的介电常数小于 1.5 .即超过 100nm 各代技术中更需要引入新材料、新技术和新的思想.高温超导材料在 GHz 频率下具有很低的电阻,在芯片间(off-chip)的互连中已有试用,但与目前硅技术中采用的低介电常数介质是不相容的.由于 Al 或 Cu 互连电阻在液氮温度(77K)下,其电阻率要降低 9 倍,而 CMOS 器件在 77K 下性能会增加一倍,故采用低温环境或微通道制冷器,必将提高热耗散效率,大大改善 ULSI 电路的性能.另外,适用于 $0.1\mu\text{m}$ 或以下 CMOS 器件的垂直 MOSFET 也研制成功.其次,ULSI 电路进入 100nm 后,影响 CMOS 晶体管内在结构的运作性能的因素还包括对大直径硅单晶材料均匀性和完整性的要求,超微量杂质和点缺陷的控制、计量和检测均是至关重要的,同时要求更严格的超净环境:直径大于 $0.03\mu\text{m}$ 的尘粒每平方米应小于 0.03 个.这些问题的解决涉及到多学科的交叉,以及先进的超微细加工技术和表面分析技术的结合.由表 3 可知,CMOS 器件的栅氧化层已达 $1.0\text{—}1.5\text{nm}$ 以下,这种超薄氧化层与硅的界面处常因硅中微缺陷的作用而引起软击穿现象,以及热电子注入引发的应力和缺陷均成为影响 CMOS 性能、稳定性、可靠性的主导因素.材料、器件和电路之间的关系比以往任何时候都更加密不可分,以互连为中心的模式化、标准化 IC 软件设计也必须以新引入的基础材料和整合工艺、技术为基础进行.

99'ITRS 展示出,在未来五年内,许多已知的半

导体制造技术的能力已逼近或达到微电子器件的物理极限.纳米尺度的电子器件的运行机理、材料和微细加工技术都不同于微电子器件.在纳米尺度的电子器件中通过的电流是很少的,一般在一万个电子之下,电流是不连续的,其电子的能量状态也明显地表现出量子化特征.这标志着微电子器件已发展到它的下一代纳米电子器件.有关纳米材料、纳米器件、纳米电子学等一系列新课题展现在人们的面前.各种新奇的单电子器件已经提出和得到了证实.如果由单个硅原子开始组装一个纳米器件最少需要多少个硅原子?纳米电子学的基底材料是否还是硅?在纳米尺度的电子器件中,杂质原子和分立的电子能量状态对器件的运作有何影响?如果说在微米以上宏观尺度内,制作材料和器件所严格控制的“杂质分布”只具有统计平均的意义,那么这种“杂质工程”在纳米尺度范围内的意义又是什么?是否还意味着必须实现单个杂质原子位置的精确控制?具有分立能量状态的电子器件运作方式又是什么?材料的所谓“能带工程”又有何具体含意?我们相信,所有这些问题的解决将使人们对物质世界的认识提高到一个新阶段,也必将使人类的文明推向一个新的水平.

参 考 文 献

- [1] National Technology Roadmap for Semiconductors, SIA, 1997
- [2] Ng K K, Lynch W T. IEEE Trans. Electron Dev. Ed-33, 1986 965
- [3] Osburn C M *et al.* Thin Solid Films, 1998 332 428
- [4] Osburn C M *et al.* J. Electron Mater., 1996 25 :1725
- [5] Chieh Y S *et al.* IEEE Electron Dev. Lett., 1996, 17 360
- [6] Kittl J A, Hong Q Z. Thin Solid Films, 1998 320 :111
- [7] Kittl J A *et al.* Thin Solid Films, 1998, 332 404
- [8] Mouroux A *et al.* Appl. Phys. Lett., 1996 69 975
- [9] Hong Q Z *et al.* IEDM. Tech. Dig., 1997 :107
- [10] Wang Q F *et al.* VLSI Tech. Dig., 1995 :17
- [11] Ohguro T *et al.* IEDM Tech. Dig., 1995 453
- [12] Goto K *et al.* Proc. of 36th Intl. Reliability Physics Symp., IEEE, 1998 363
- [13] Sinno T, Brown R A. Semiconductor Silicon, 1994 625
- [14] Burggraaf P. Solid State Technology, 2000 43 31.

封 面 说 明

中国科学院物理研究所 C606 组分别建立、发展了三种基于不同原理的纳米加工技术,制备了 6nm 宽的线条栅和间隔仅为 6nm 的“纳米电极对”.为开展碳纳米管晶体管及其电路的研究,该小组还发展了变形的“纳米电极对”的制备技术,制备出了非直线型的“纳米电极对”、双缝型的“纳米电极对”和定位型的“纳米电极对”.封面图为该研究小组利用“纳米电极对”技术制备的点接触平面栅型单电子晶体管的原理图,其结构由上至下为:金属栅极、 SiO_2 绝缘层、Si 导电层、 SiO_2 掩埋层和 SOI 衬底的 Si 层.

(中国科学院物理研究所 王太宏)