

钛酸锶钡材料 应用于超高密度动态随机存储器的研究*

朱小红 郑东宁[†]

(中国科学院物理研究所超导国家重点实验室 北京 100080)

摘要 铁电钛酸锶钡材料具有十分优越的介电性能:高的介电常数,较低的介电损耗,好的绝缘漏电性能;而且,通过调节材料中的 Ba/Sr 成分比,可改变材料的居里相变温度 T_C ,以满足特定应用环境的温度需要.在超高密度集成的动态随机存储器(DRAM)方面表现出广阔的应用前景.文章概括介绍了 $Ba_xSr_{1-x}TiO_3$ 薄膜材料在 DRAM 应用中已取得的最新研究进展,并对这一应用所面临的问题也进行了详细讨论.

关键词 铁电/介电薄膜,钛酸锶钡,动态随机存储器

$Ba_xSr_{1-x}TiO_3$ as an alternative dielectric to SiO_2 for high-density DRAMs

ZHU Xiao-Hong ZHENG Dong-Ning[†]

(National Laboratory for Superconductivity, Institute of Physics, Chinese Academy of Sciences, Beijing 100080, China)

Abstract Ferroelectric $Ba_xSr_{1-x}TiO_3$ materials have excellent ferroelectric/dielectric properties, i. e. high dielectric constant, relatively low dielectric loss tangent, and fairly low leakage current. The Curie temperature (T_C) can be suitably controlled for applications at different ambient temperatures by adjusting the ratio of Ba to Sr. Due to the above characteristics, $Ba_xSr_{1-x}TiO_3$ thin films show promising applications in high-density dynamic random access devices (DRAMs). The newest research progress in such applications is summarized. Several important problems in this field are also discussed in detail based on the existing research results.

Key words ferroelectric/dielectric thin film, barium strontium titanate (BST), dynamic random access device

1 引言

动态随机存储器(DRAM)是目前计算机中用量最大的半导体存储器,是在集成电路的硅平面工艺基础上发展起来的.其核心部件是可编址的存储单元,每个存储单元包含一个晶体管和一个电容器(1T-1C),所谓“动态”,即指其电容器需要通过刷新电路每秒钟数百次地不断再充电,以维持二进制存储数据的安全性,否则,如果中断电源,将导致存储数据丢失.在 DRAM 中,二进制的数字信息是以电容器存储的电荷来表示的.传统的动态随机存储

器的设计,巧妙地利用了硅表面自然形成的二氧化硅非晶层作为电介质材料,工艺简单而且成熟.传统的硅工业也一直按照摩尔定律的预测逐步向高集成度发展.DRAM 的存储密度需要不断提高,也就是要求信息存储在更小的面积内.这就要求在电容器的面积减小的情况下,保持其电容的值.因为电容与电容器两个电极之间的距离成反比,如果在面积减小的同时减小电介质的厚度,可以保持不降低电

* 国家自然科学基金(批准号 59832050,10174093)资助项目;国家重点基础研究发展计划项目(批准号:19990646)

2003-05-20 收到初稿 2003-08-15 修回

[†] 通讯联系人. E-mail: zzheng@ssc.iphy.ac.cn

容. 传统的方法就是不断地减小二氧化硅非晶层的厚度来满足 DRAM 向高集成度发展要求. 然而, 当电介质的厚度小到一定程度后, 电子的隧穿效应将会使该器件无法工作, 这个厚度就是所谓的极限厚度. 为了继续提高存储器件的存储密度, 研究者们提出了两种可能的途径^[1]. 其一, 改变原来的电极结构, 由二维的平面结构变为立体的三维结构. 使用立体的电极结构, 可以在有限的面积内有效增加电极的表面积. 它的优点在于可以不用改变介电层而延续使用传统简单的成熟工艺, 但结构的复杂性明显带来器件制造成本的上升, 而且异常复杂的立体结构在现有的工艺水平上甚至还是不可能的. 第二种途径是用高介电常数的电介质替换低介电系数的 SiO_2 , 通过提高电介质的介电系数来满足集成度提高的要求.

当前, 通过复杂的线路设计, 如采用堆栈型 (stack) 或沟槽型 (trench) 的单元结构, 已经实现了存储容量的提高. 不论采用哪种电容器结构, 电容存储容量必须大于 25fF/单元以及漏电流必须小于 1fA/单元. 韩国三星公司已于 2001 年利用 0.13 μm 的光刻工艺设计出 4Gbit 容量的 DRAM^[2]. 下一代 16Gbit 大容量的 DRAM 则需要进一步提高器件的集成度, 减小介电层的薄膜厚度, 依托 0.10 μm 甚至更精细的光刻工艺. 但减小 SiO_2 薄膜厚度会导致器件漏电流增大甚至隧穿, 从而破坏器件, 而且复杂的单元结构也加大了工艺设计的难度. 要在提高 DRAM 集成度的同时保持介质膜的综合电学特性, 只有采用高介电常数的铁电薄膜作为电容器介质, 才能达到上述目的. 正是在这样的背景下, 钛酸锶钡 ($\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$, BST) 薄膜材料取代传统 SiO_2 薄膜作为动态随机存储器中的电介质材料的应用研究也就蓬勃展开了^[3,4].

图 1 显示了采用 BST 薄膜作为电介质材料的一种堆栈型电容器结构示意图^[5]. 铁电钛酸锶钡薄膜作为一种优质介电材料, 在 DRAM 上拥有非常好的应用前景, 原因在于通过合理选择 Ba/Sr 比, 能使材料在室温应用温度下处于顺电相, 避免了铁电畴开关效应引发的疲劳现象; 它还具有相对较低的介电损耗、较小的漏电流, 以及高的介电常数, 这正好满足了 DRAM 对电容器介电材料的要求, 综合效应比起 PZT, SrTiO_3 等铁电材料以及传统的 SiO_2 介电材料有其明显的优势^[3,6,7]. BST 已被认为是开发下一代超大规模集成电路动态随机存储器 (ULSI DRAM) 的重要材料^[8,9].

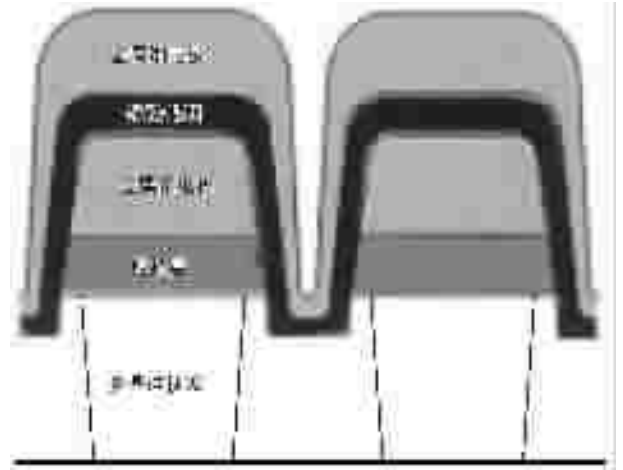


图 1 一种堆栈型电容器结构示意图

对于 BST 薄膜在超高密度动态随机存储器方面的应用, 则相应要求 BST 薄膜具有足够低的漏电流特性 (以便电容器在其刷新前不放电), 优越的介电性能 (即高的介电常数和低的介电损耗), 充放电时间常数小 (BST 薄膜材料应充分地而且足够快地极化, 以便在只有数纳秒的写入循环中能确保电容器存储足够的电荷^[10]; 反之, 在同样短暂的读出循环中能确保电容器释放足够的电荷). 然而, 与其块状特别是单晶材料样品相比, BST 薄膜的介电性能相差较大, 即更低的介电常数、更高的介电损耗、较差的电绝缘性能 (更高的漏电流) 等. 而且, 在实际的制备和应用中, 尚有其他诸多问题亟待解决, 例如: 如何保证 BST 薄膜材料制备工艺与传统的相当成熟的半导体工艺更好地兼容; 如何改善 BST 薄膜和半导体的界面特性; 如何进一步提高 BST 薄膜的电学性能; 如何保证电极材料和阻挡层材料的性能; 如何提高材料的可靠性、以及器件的稳定性、运行速度、集成度和寿命, 等等.

2 BST 薄膜的制备工艺

当前铁电钛酸锶钡薄膜的制备方法有很多种, 比较常用的有脉冲激光沉积法 (PLD)、射频磁控溅射法 (RF Magnetron Sputtering)、金属有机化学气相沉积 (MOCVD)、溶胶-凝胶法 (Sol-Gel) 等. 其中前三种方法多采用原位加热基片制备得到薄膜, 而后一种方法中需经后退火处理. 这几种主要的铁电薄膜制备技术的相互比较如表 1 所示^[11].

表 1 四种铁电薄膜制备方法的简单比较

| 性能 \ 技术 | 脉冲激光沉积法 | 射频磁控溅射法 | 金属有机化学气相沉积法 | 溶胶-凝胶法 |
|---------|---------|---------|-------------|--------|
| 显微结构 | 好 | 好 | 很好 | 好 |
| 均匀性 | 好 | 好 | 很好 | 好 |
| 化学计量比 | 好 | 较好 | 很好 | 很好 |
| 掺杂 | 困难 | 困难 | 容易 | 容易 |
| 厚度控制 | 容易 | 容易 | 容易 | 困难 |
| 附着力 | 好 | 很好 | 好 | 好 |
| 重现性 | 较好 | 中等 | 好 | 好 |
| 前驱体 | 很容易 | 很容易 | 困难 | 容易 |
| 生长速度 | 快 | 快 | 快 | 慢 |
| 外延能力 | 强 | 强 | 弱 | 强 |

就大多数的薄膜制备方法而言,在保证薄膜成分配比的前提下,适当提高薄膜的沉积温度,能够促使薄膜的结晶性能得到改善,进而有利于提高 BST 薄膜的介电性能^[5]。但是,太高的薄膜生长温度也会使阻挡层氧化,从而增大阻挡层与电极层间的接触电阻,导致器件性能下降。选择薄膜的制备方法时,需要确保该工艺大规模生产的廉价性,以及用此工艺制备的薄膜能够更好地具有如下优异特性^[7],即好的均匀性,高纯度与高密度,理想的成分配比,完美的单相结构,良好的电学性能,很好的附着特性,以及较好的阶梯覆盖能力。

相比较而言, MOCVD 方法制备的薄膜具有优异的阶梯覆盖特性,而且所制备的薄膜均匀性很好,电学性能也较好,因而被认为是制备 BST 薄膜的最可靠的一种技术^[5]。其他化学气相沉积技术还有电子回旋加速共振-化学气相沉积(ECR-CVD)、低压化学气相沉积(LPCVD)、液源化学气相沉积(LSCVD)、以及等离子增强化学气相沉积(PECVD)等。尽管 CVD 工艺制备的薄膜因氧空位和其他杂质污染,导致薄膜的漏电流较高,但这可以通过退火热处理进行改良,有报道表明,经过在 O₂ 或 N₂O 气氛中快速热退火(RTA)处理的 BST 薄膜具有更加优越的电学性能^[12]。

3 BST 薄膜性能的影响因素

影响 BST 薄膜性能的因素有很多,如制备方法、后退火工艺、薄膜的微结构、薄膜/电极的界面结构、电极材料、薄膜的成分及其均匀性等。下面仅就影响 BST 薄膜性能的其他几个因素稍作讨论。

3.1 薄膜的成分

大量研究表明,薄膜的成分会显著影响 BST 薄膜的介电性能,满足理想 (Ba + Sr)/Ti = 1 : 1 成分配比的 BST 薄膜具有最大的介电常数,无论薄膜成分中富 Ti 还是贫 Ti 都会导致 BST 薄膜的介电性能下降^[13,14]。

低浓度的受主(acceptor)而非施主(donor)掺杂能有效改进 BST 薄膜的性能。在通常情况下,掺入的 Mn³⁺, Mn²⁺, Ni³⁺, Ni²⁺, Mg²⁺, Al³⁺, Cr³⁺ 等占据钙钛矿结构(A²⁺ B⁴⁺ O₃²⁻)中的 B 位。随着它们的掺杂引入, BST 薄膜的介电损耗显著降低,综合介电性能得到大大优化。Joshi 等^[15]对 Ba_{0.6} Sr_{0.4} TiO₃ 薄膜进行了 Mg 掺杂研究。随着 Mg 的掺入,薄膜的颗粒尺寸减小,而且更加致密,明显降低了薄膜的介电损耗,同时使其漏电流特性得到大大改善。受主掺杂使耗尽层的宽度增大,从而抑制了电极/BST 膜界面处载流子的传输。因此,随着 Mg 的掺入,肖特基势垒高度增加和耗尽层宽度增大,促使热离子肖特基发射电流减小,从而使 BST 薄膜的漏电流降低。Cole 等^[16]通过对比未掺杂的和掺入 1mol% 的 Mg 的 Ba_{0.6} Sr_{0.4} TiO₃ 的性能,认为低含量的 Mg 掺入后,薄膜中的氧空位得到补偿,使氧空位浓度大大降低,抑制了氧空位的施主行为,因而阻止 Ti⁴⁺ 转化为 Ti³⁺,并在颗粒边界处形成势垒,致使 BST 薄膜的介电性能得到大幅度提高。

3.2 薄膜的微结构及表面形貌

下一代超高密度 DRAM 所应用的介电材料需要拥有小于 1nm 的等效 SiO₂ 厚度(t_{eq})^[7]。以相对介电常数为 300 的 BST 多晶薄膜为例,实际 BST 薄膜厚度必须小于 80nm。这里 t_{eq} 定义为 t_{eq} = t_{BST} × (ε_{SiO₂} / ε_{BST}),其中 t_{BST} 为 BST 薄膜的厚度。在这样小厚度的薄膜制作的器件中,尺寸效应对薄膜的介电性能带来非常不利的影响。通过采用晶格结构与 BST 材料更加匹配的氧化物电极,能够外延生长出优质的 BST 单晶薄膜。如 Fukushima 等^[17]在 SrRuO₃ 电极上外延生长出高质量的 BST 单晶薄膜, t_{eq} 达到 0.084nm。但是外延薄膜的电压调谐效应较大,即随外加电场的增加, BST 薄膜的介电常数下降较快,此外,在氧化物电极上制备的薄膜与在贵金属电极上制备的薄膜相比, BST 薄膜的漏电流较大。

Horikawa 等^[18]研究了 Ba_{0.65} Sr_{0.35} TiO₃ 薄膜的介电性能与薄膜颗粒尺寸的关系,发现适当升高薄膜的生长温度,晶体颗粒逐渐长大,薄膜的结晶性能更好,薄膜的介电常数也相应得到提高。Tsai 等^[19]观

测到利用 Pt, Ir, IrO₂/Ir 电极制备的 BST 薄膜比在 Ru, RuO₂/Ru 电极上制备的 BST 薄膜具有更细小的颗粒尺寸和更加光滑的薄膜表面形貌,因而耐电场击穿的性能更高。

3.3 薄膜厚度

大量实验结果显示, BST 薄膜的介电常数随着膜厚度的减小而降低。针对这一现象, Amanuma 等^[20]提出模型,认为在电极和铁电薄膜的界面处存在介电常数严重受抑制的“死层”(低介电常数层)。这种界面死层被认为是同铁电薄膜串联的一种寄生电容器,遵循“串联电容器模型”^[21]。由于低介电常数层的存在,薄膜的有效电容 C_{eff} 可表示为

$$\frac{1}{C_{\text{eff}}} = \frac{1}{C_b} + \frac{1}{C_i} \quad (1)$$

式中下标 b, i 分别代表体材和界面。如果界面死层厚度与总厚度 d 无关,则有

$$\frac{d}{\varepsilon_{\text{eff}}} = \frac{d_b - d_i}{\varepsilon_b} + \frac{d_i}{\varepsilon_i} \quad (2)$$

从(2)式可以得出,由于低介电常数层 ε_i 较小,导致薄膜的有效介电常数明显降低。

Paek 等^[22]发现, BST 薄膜的漏电流随薄膜厚度的减小成指数增高。Jin 等^[23]通过高分辨电子显微分析,在 BST/Pt 界面处首次实验观察到了一个界面缺陷层。作者认为,该界面缺陷层是一个 Ruddlesden - Popper 层错层,并且从该低介电常数界面层出发,很好地解释了 BST 薄膜中观察到的尺寸效应。

3.4 电极材料以及阻挡层材料

BST 薄膜电容器的电极材料可以分为两大类:其一为贵金属,如 Pt, Ir, Ru;其二为导电氧化物,如 RuO₂, IrO₂, YBa₂Cu₃O₇, SrRuO₃, (La, Sr)CoO₃。利用氧化物电极能够促使 BST 薄膜以良好的外延模式生长,薄膜的介电常数较高,但是由于 BST/氧化物电极界面缺乏一个有效的势垒阻挡层,导致 BST 薄膜的漏电流较大。比较而言,在常规贵金属电极上制备的 BST 薄膜具有较低的漏电流,薄膜绝缘性能较好,具有高的功函数的金属 Pt(5.6eV)和 Ir(5.3eV)则成为金属电极材料的首选。但是在实际器件应用中, Pt 金属作为底电极尚存在诸多问题:在高温处理时,容易形成小“山丘”(hillock),氧扩散阻挡能力弱,与 Si 附着能力差,以及图案刻蚀困难。当然,随着薄膜制备工艺和微电子工业的发展,这些困难必将克服。

阻挡层材料在 BST 薄膜沉积过程中以及后续的工艺处理中都面临着氧化问题,阻挡层的氧化随

即引起电容器存储结点的接触电阻增大和介电损耗的增高,结果破坏了集成电容器的介电频谱特性。为了确保在高温下仍具有理想的氧扩散阻挡性能,下电极与衬底间的阻挡层材料的微结构应该是无定形的,而且没有明显的颗粒边界^[24]。Yoon 等^[24]采用一种新型的设计概念,使用 RuTiN 和 RuTiO/RuTiN 薄膜作为氧扩散阻挡层材料,比常规二元或三元氮化物阻挡层材料具有更低得多的表面电阻和更好的热稳定性。

4 BST 薄膜的导电机理

电容器中都存在一定大小的漏电流,漏电流的存在使得电容器上下电极上存储的电荷随时间丢失。所以,实际应用中必须严格控制器件中的漏电流大小,提高薄膜的电绝缘性能。绝缘薄膜的基本导电模型可分为电极效应和体效应两大类^[25]。在 BST 薄膜的导电机理模型中,电极效应主要有 Schottky 发射模型(Schottky emission,简称 SE 模型)和 Fowler - Nordheim 隧穿模型(Fowler - Nordheim tunneling,简称 FN 模型);体效应主要有 Poole - Frenkel 发射效应(Poole - Frenkel emission,简称 PF 效应)和空间电荷限制电流模型(space charge limited current,简称 SCLC 模型)。

(1) Schottky 发射模型:认为漏电流主要由电荷克服界面处的 Schottky 势垒而发生的热离子发射组成,漏电流的大小取决于界面的 Schottky 势垒的高低^[26]。该模型适用于低电场、高温区。

但在很多时候,从 Schottky 模型拟合推导出来的数据结论与实验结果相差较大。对此, Zafar 等^[27]认为,简单的 Schottky 模型只有在介电薄膜的电子平均自由程等于或大于薄膜厚度时才适合,当电子平均自由程小于介电薄膜厚度时,必须用一个修正的 Schottky 方程来处理,并取得了很好的结果。

(2) Fowler - Nordheim 隧穿模型:认为漏电流主要由电极之间载流子的直接穿透发生的隧道电流组成。该模型适用于高电场、低温区。

(3) Poole - Frenkel 效应:适用于强电场下。强电场能有效地降低库仑势垒高度。

(4) SCLC 模型:适用于宽能隙、低迁移率介质。自由载流子存在较大的浓度梯度,诱导载流子急剧扩散,从而导致漏电流的产生。

Yang 等^[28]将 BST 漏电研究拓宽到极低温下。Ahn 等^[29]在保证电极结构完全相同的前提下,研究

了 BST 薄膜漏电与膜厚的关系,并提出自洽模型对不同膜厚下表现出不同的漏电机理进行了合理解释. Ahn 等^[30]还研究了 BST 漏电与薄膜微结构的关系. 具有颗粒(granular)微结构的 BST 薄膜的漏电机理主要是 Schottky 发射模型;外延(epitaxial)BST 薄膜的漏电表现为 Fowler - Nordheim 隧穿行为;柱状(columnar)微结构的 BST 薄膜的漏电在低温下表现为 Fowler - Nordheim 隧穿行为,而高温下体现出 Schottky 发射机制.

5 BST 薄膜的介电弛豫和可靠性

BST 薄膜的电学性能测试中显现出介电色散关系,这引发了薄膜的介电弛豫(dielectric relaxation)现象. 进行写操作时,薄膜电容器存储电荷的能力受介电色散影响较大,所以介质薄膜的介电弛豫很大程度上影响着电容器的电学性能^[31]. 薄膜的介电色散系数越大,即薄膜的介电电容随测试频率变化越快,介电弛豫也就相应越大. 介电弛豫现象与 BST 薄膜中缺陷有关,大量实验研究结果显示,界面缺陷、晶粒间界缺陷、浅的陷阱能级、以及氧空位四种缺陷是造成薄膜介电弛豫现象的可能原因^[7]. 薄膜的介电弛豫大大影响了 BST 薄膜电容器的电学性能,例如,使薄膜电容器的场应力诱导的漏电流增高,存储电荷丢失,以及间歇式刷新特性失效.

介电薄膜的产率(yield)和可靠性(reliability)是集成电路工艺中非常重要的指标参数. 随着微电子工业集成度的不断提高,介电薄膜的膜厚要求越来越小,附加于薄膜的电场强度也随之逐渐增高,因此实际器件应用中非常关心介电薄膜的质量和可靠性,以防止器件使用中介电体突然失效. 为保证 BST 薄膜的可靠性,则要求薄膜具有低的漏电流、快速的介电响应、低的介电损耗和长久的使用寿命. 介电体产率和可靠性评估测试的手段^[32]有(1)恒定电压应力法(CVS),它是通过测量在应力场下介电体击穿所需的时间(T_{BD})来进行(2)恒定电流应力法(CCS). 它是通过测量介电体失效所需的电荷(Q_{BD})来进行(3)渐变电压应力法(RVS),通过测量介电体击穿场强(E_{BD})和其 $I - V$ 特性来进行;(4)指数律渐变电流应力法(ERCS),通过快速测量介电体的 Q_{BD} 、 E_{BD} 参数和 $I - V$ 特性来进行.(5)综合法,通过精确快速地测量介电体的 E_{BD} 和 T_{BD} 来进行. 氧空位的积累是造成 BST 薄膜电阻退化的主要原因,而且电阻退化所需的电场强度往往比介电击

穿场强和热失效场要低. Koyama 等^[33]测量了 100nm 厚的($Ba_{0.5}Sr_{0.5}$) TiO_3 薄膜制作的器件性能,在 5V 电压场作用下,器件性能降低一半至少需要 100 年以上,比 SiO_2 薄膜电容器强很多. 因此,合适的薄膜制备工艺和后续退火工艺可以减少薄膜界面的不稳定因素,提高 BST 薄膜的综合性能,从而提高 BST 薄膜电容器的电学可靠性.

6 实用器件面临的集成问题

毋庸置疑,将 BST 铁电薄膜集成到下一代超高密度 DRAM 中的研究具有很重要的意义和非常好的市场应用前景,但是大规模工业生产还面临众多的集成问题^[31],主要有(1)材料特性相对 SiO_2 复杂,尚有很多机理问题需要考证(2)大规模沉积生产具有理想成分配比和良好微结构性能的 BST 薄膜还存在困难(3)在所有的集成工艺步骤中面临产率的问题(4)在集成工艺中的每个阶段都面临着处理气氛和处理温度能否协调问题(5)对电极和阻挡层的性能要求较苛刻(6)精细刻蚀工艺和器械的要求高(7)成本,尤其是前驱体化学原料的成本较高. 这其中的一个主要问题是我们必须要在氧化气氛中生长出具有最佳性能的 BST 薄膜,而且还要尽可能减少低氧压环境下的后续热处理过程,因为钙钛矿氧化物容易被还原. 这导致电极材料选择范围较窄,因为 BST/电极界面处若生成绝缘氧化物,将降低层栈电容,影响器件性能. 如前所述,金属 Pt 电极的电学性能较好,但是图案刻蚀困难. 当然,微电子工业的发展日新月异,刻蚀工艺技术也必然越来越先进,以上集成问题也必将慢慢得到解决. Horii 等^[34]以一种新型的自调整电镀技术制备出能应用于 Gbit 代动态随机存储器的优质 Pt 电极. 日本东芝公司的 Kiyotoshi 等^[35]成功地开发出一种新型原位多步法(IMS)工艺技术,用于化学气相沉积,可生长出具有良好的保型台阶覆盖能力和高介电性能的 BST 薄膜材料.

7 结束语

将 BST 薄膜集成到半导体工艺中的研究工作最早来自日本的半导体公司,NEC、三菱、东芝等大型公司早在 20 世纪 90 年代初就研究开发并展示了各自的 BST 薄膜电容器构造的 DRAM 器件,美国的德州仪器公司和韩国的三星、LG 等公司也纷纷投入

开展 BST 薄膜材料的集成铁电器件的研制。但是 BST 薄膜电容器结构的超高密度 DRAM 与实际应用还有距离,原因在于大规模生产高质量的 BST 薄膜技术上尚不足,以及在集成工艺方面也还存在很多困难。

需要不断改进制备工艺来提高 BST 薄膜的电容存储能力和减小薄膜的漏电流,提高薄膜的电学性能,以及提高 BST 薄膜的可靠性。众所周知,在器件使用中,BST 薄膜电容器在特定的时间间隔中不断受到温度和直流或者交流电压应力场作用,这会导致薄膜的绝缘性能逐步下降。这一薄膜性能下降的过程限制了 BST 薄膜电容器的可靠性和使用寿命,所以有必要进一步研究 BST 薄膜电容器的缺陷形成和分布机理、弛豫问题、导电机理、以及失效过程等问题。此外,BST 薄膜和电极的刻蚀工艺与器械、更加精细的光刻工艺、电极的低温处理工艺和热稳定性等集成工艺问题也需要有更完善的解决方案。

综上所述,进一步深入研究 BST 薄膜的生长机理,研究 BST 薄膜的生长工艺与薄膜性能之间的关系,掌握进一步提高 BST 薄膜介电性能的方法,不断优化 BST 薄膜的电学性能及其相关集成器件的综合性能,是 BST 薄膜在超高密度 DRAM 中应用所面临的亟待解决的问题。

参 考 文 献

- [1] Kingon A I, Streiffer S K, Basceri C *et al.* MRS Bulletin, 1996, 21 : 46
- [2] Kim K, Park J. Solid - State and Integrated - Circuit Technology Proceedings, 2001, 1 : 178
- [3] Kingon A I, Maria J P, Streiffer S K. Nature, 2000, 406 : 1032
- [4] Kotecki D E, Baniecki J D, Shen H *et al.* IBM J. Res. Develop., 1999, 43 : 367
- [5] Hwang C S. Materials Science and Engineering B, 1998, 56 : 178
- [6] Horikawa T, Mikami N, Makita T *et al.* Jpn. J. Appl. Phys., Part 1, 1993, 32 : 4126
- [7] Ezhilvalavan S, Tseng T Y. Materials Chemistry and Physics, 2000, 65 : 227
- [8] Park S O, Hwang C S, Cho H J *et al.* Jpn. J. Appl. Phys., Part 1, 1996, 35 : 1548
- [9] Yoon S G, Lee J C, Safari A. Integrated Ferroelectrics, 1995, 7 : 329
- [10] Dietz G W, Schumacher M, Waser R *et al.* J. Appl. Phys., 1997, 82(5) : 2359
- [11] 李金桂,肖定全,朱建国等. 现代表面工程设计手册. 北京 : 国防工业出版社, 2000 [Li J G, Xiao D Q, Zhu J G *et al.* Handbook for modern surface engineering design. Beijing : National Defence Industry Press, 2000 (in Chinese)]
- [12] Tseng T Y. Ferroelectrics, 1999, 232 : 1
- [13] Kawahara T, Yamamuka M, Makita T *et al.* Jpn. J. Appl. Phys., 1994, 33 : 5129
- [14] Stemmer S, Streiffer S K, Browning N D *et al.* Appl. Phys. Lett., 1999, 74 : 2432
- [15] Joshi P C, Ramanathan S, Desu S B *et al.* Integrated Ferroelectrics, 1998, 19 : 141
- [16] Cole M W, Hubbard C, Ngo E *et al.* J. Appl. Phys., 2002, 92(1) : 475
- [17] Fukushima N, Abe K, Izuka M *et al.* Proc. Int. Electron Devices Meet., IEEE, New York, 1997 : 257
- [18] Horikawa T, Mikami N, Makita T *et al.* Jpn. J. Appl. Phys., 1993, 32 : 4126
- [19] Tsai M S, Tseng T Y. J. Am. Ceram. Soc., 1999, 83 : 351
- [20] Amanuma K, Mori T, Hase T *et al.* Jpn. J. Appl. Phys., Part 1, 1993, 32 : 4150
- [21] Sinnamon L J, Bowman R M, Gregg J M. Appl. Phys. Lett., 2001, 78(12) : 1724
- [22] Paek S, Won J, Lee K *et al.* Jpn. J. Appl. Phys., 1996, 35 : 5757
- [23] Jin H Z, Zhu J, Ehrhart P *et al.* Thin Solid Films, 2003, 429 : 282
- [24] Yoon D S, Roh J S. Appl. Phys. A, 2003, 76 : 1067
- [25] Sze S M. Physics of Semiconductor Device, 2nd ed. New York : Wiley Press, 1981
- [26] Li P, Lu T M. Phys. Rev. B, 1991, 43 : 14261
- [27] Zafar S, Jones R E, Jiang B *et al.* Appl. Phys. Lett., 1998, 73(4) : 3533
- [28] Yang H, Tao K, Chen B *et al.* Appl. Phys. Lett., 2002, 81(25) : 4817
- [29] Ahn K H, Kim S S, Baik S G. J. Appl. Phys., 2003, 93(3) : 1725
- [30] Ahn K H, Kim S S, Baik S G. J. Appl. Phys., 2002, 92(1) : 421
- [31] Tsai M S, Tseng T Y. Mater. Chem. Phys., 1998, 57 : 47
- [32] Martin A, O'Sullivan P, Mathewson A. Microelectron Reliability, 1998, 38 : 37
- [33] Koyama K, Sakuma T, Yamamichi S *et al.* IEDM Tech. Dig., 1991 : 823
- [34] Horii H, Lee B T, Lim H J *et al.* VLSI Tech. Symposium, Kyoto, Japan, 14—16 June, 1999 : p. T8A—4
- [35] Kiyotoshi M, Yamazaki S, Eguchi E *et al.* VLSI Tech. Symposium, Kyoto, Japan, 14—16 June, 1999 : p. T8A—3