

# 相变型半导体存储器研究进展\*

刘波<sup>†</sup> 宋志棠 封松林

(中国科学院上海微系统与信息技术研究所 半导体功能薄膜工程技术研究中心  
信息功能材料国家重点实验室 上海 200050)

**摘要** 文章系统地介绍了相变型半导体存储器的原理、相变材料、特点、器件结构设计、研究现状及面临的几个关键器件工艺问题。C-RAM 由于具有非易失性、循环寿命长、元件尺寸小、功耗低、可多级存储、高速读取、抗辐照、耐高低温、抗振动、抗电子干扰和制造工艺简单等优点,被认为最有可能取代目前的 FLASH、DRAM 和 SRAM 而成为未来半导体存储器主流产品。

**关键词** 相变型半导体存储器 相变材料 器件设计 器件失效

## Phase-change semiconductor memories

LIU Bo<sup>†</sup> SONG Zhi-Tang FENG Song-Lin

(*Research Center of Functional Semiconductor Film Engineering & Technology, State Key Laboratory of Functional Materials for Informatics, Shanghai Institute of Microsystem and Information Technology, Chinese Academy of Sciences, Shanghai 200050, China*)

**Abstract** A review is presented of phase-change semiconductor memories, including their principle of operation, major advantages, device structure design, phase-change materials, current research and key fabrication techniques. Due to its advantages of nonvolatility, high cycling capability, small cell size, low cell energy consumption, multilevel storage, high read rate, superior radiation/vibration/electron-disturbance tolerance, superior high/low temperature tolerance and simple cell structure with high scalability, C-RAMs have the highest potential to replace all kinds of current memory devices such as flash memories, dynamic random access memories, and static random access memories in the future.

**Key words** phase-change semiconductor memory, phase-change material, device design, failure of device

## 1 引言

相变型半导体存储器是指硫系化合物随机存储器(chalcogenide-random access memory),简称 C-RAM,又被称作奥弗辛斯基电效应统一存储器,是基于 Ovshinsky 在 20 世纪 60 年代末提出的奥弗辛斯基电子效应的存储器<sup>[1,2]</sup>。C-RAM 技术已经研究了三十多年<sup>[3]</sup>,但因为只有器件单元的尺寸达到三维的纳米尺度才能充分体现其优越性,因此在很长时期里发展非常缓慢。在 1999 年之后,随着工业界的制备技术和工艺达到深亚微米甚至是纳米尺

度,器件中相变材料的尺寸可以缩小到纳米量级,材料发生相变所需的电压和功耗大大降低,可与现有的 CMOS 相匹配。从此,C-RAM 技术进入了快速的发展阶段。

本文将简单介绍 C-RAM 这一新型半导体存

\* 国家高技术研究发展计划(批准号 2003AA302720,2004AA302G20),上海市纳米科技与产业发展促进中心(批准号:0352nm016,0452nm012),中国博士后基金(批准号 2003034308),中国科学院王宽诚博士后基金、中国科学院创新基金、基础研究项目前沿课题(批准号:2001CCA02800)和上海市科委(批准号:04DZ05612,04ZR14154,AM0414)资助项目

2004-10-12 收到

<sup>†</sup> 通讯联系人, Email: lb73sd@yahoo.com.cn

储器的基本原理和特点,详细论述有关相变材料、器件结构设计和器件工艺等方面的研究进展。

## 2 C-RAM 的原理

C-RAM 以硫系化合物为存储介质,利用电能(热量)使材料在晶态(低阻)与非晶态(高阻)之间相互转换实现信息的写入与擦除,信息的读出靠测量电阻的变化实现。简单地讲,写入过程是指加一个短而强的电压脉冲,电能转变成热能,使硫系化合物温度升高到熔化温度以上,经快速冷却,可以使多晶的长程有序遭到破坏,从而实现由多晶向非晶的转化,擦除过程则指施加一个长且强度中等的电压脉冲,硫系化合物的温度升高到结晶温度以上、熔化温度以下,并保持一定的时间,使硫系化合物由无定形转化为多晶,数据的读取是通过测量硫系化合物的电阻值来实现的,此时所加脉冲电压的强度很弱,产生的热能只能使硫系化合物的温度升高到结晶温度以下,并不引起材料发生相变。

## 3 C-RAM 的特点

C-RAM 是一种新兴的半导体存储器,与目前已有的多种半导体存储技术相比,包括常规的易失性技术,如静态随机存储器(SRAM)、动态随机存储器(DRAM)等,和非易失性技术,如铁电随机存储器(FeRAM)、电可擦除可编程只读存储器(EEPROM)、闪速存储器(FLASH)等,具有非易失性、循环寿命长( $> 10^{13}$ 次)、元件尺寸小、功耗低、可多级存储、高速读取、抗辐照(抗总剂量的能力大于1Mrad)、耐高低温( $-55\sim 125^{\circ}\text{C}$ )、抗振动、抗电子干扰和制造工艺简单(能和现在的集成电路工艺很好的相匹配)等优点<sup>[4-10]</sup>,详细内容请参阅文献[4]。因此,2003年,国际半导体工业协会根据半导体科学和技术发展趋势,在2001年规划的基础上,对未来几年存储器方面的发展规划进行了重大调整,C-RAM被认为最有可能取代目前的SRAM、DRAM和FLASH等当今主流产品而成为未来存储器主流产品和最先成为商用产品的下一代半导体存储器件。为此,半导体行业实力最强的Ovonyx、Intel、Samsung、STMicroelectronics、Hitachi和British Aerospace等公司都致力于C-RAM存储器的研发,目前正在进行技术完善和可制造性方面的研发工作。Intel认为C-RAM肯定会取代FLASH,从1999年

开始秘密研究C-RAM,于2001年制备出4MB的样机<sup>[11]</sup>,并宣称2003年将推出C-RAM,然而因为一些工艺原因而推迟,但是3—5年内该技术的推出是一必然趋势,Samsung是一后起之秀,近几年来对C-RAM的研究力度非常大,以强大的势头直追Intel,并于2004年初成功制备出了64MB的样片<sup>[12]</sup>。

## 4 C-RAM 的存储材料

C-RAM的关键材料是硫系化合物相变薄膜,是指至少含有一种硫系(第VI主族)元素的合金材料,有关硫系化合物合金材料的具体介绍请参阅文献[13],本文不再赘述,在此仅介绍与C-RAM有关的硫系化合物合金材料。目前,文献报道的用于C-RAM的相变合金材料除了文献[4]介绍的GeSbTe、GeTeAsSi、GeTe、GeTeBi、GeSb(Cu,Ag)、GeTeAs、InTe、AsSbTe、SeSbTe、PbGeSb和GeSbTeN之外,还有GeSbTeSn<sup>[14]</sup>、AgInSbTe<sup>[15]</sup>、GeSbTeO<sup>[16]</sup>、AsTeAg<sup>[17]</sup>、AuSbTe<sup>[18]</sup>和AuInTe<sup>[18]</sup>等,而GeSbTe系合金则是大家公认的、研究最多的、最为成熟的相变材料。目前C-RAM存储器的关键相变材料主要以Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub>为主,主要原因在于:Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub>相变材料的研究已经有20多年的时间,其基本性能已被产业界所掌握,并且这种相变材料早在1996年之前已被成功地应用于可擦重写相变光盘中,之后又在容量更大的第二代、第三代可擦重写相变光盘中得到广泛应用<sup>[19-20]</sup>,制备工艺已非常成熟,并且这种材料也具有很好的电学性能,从目前的研究状况来讲,可以满足C-RAM存储器的要求;再者目前从事C-RAM研究的机构基本是国外的几家大公司,他们的研究重点都集中在C-RAM存储器的制备工艺和实现市场化的可行性等方面,而对于相变材料本身性能的研究相对要少得多,只是2003年底、2004年初出现了许多以前没有预料到的技术难题,于是各大研究公司又对相变材料本身的研究重新重视起来,开始尝试GeSbTe相变材料的掺杂改性或是研究开发其他新型相变材料。

Hori等<sup>[21]</sup>首先报道了N掺杂对GeSbTe电阻性能的影响,发现掺杂少量N后可以大大提高GeSbTe的电阻和结晶温度,从而有效地降低了C-RAM器件的写入电流和增加了器件的写擦循环次数,这主要由于N的掺杂抑制了GeSbTe晶体的生长,使晶粒细化造成的。刘波等<sup>[22]</sup>又通过离子注入的方法研究了N注入对GeSbTe电阻的影响,

结果表明,适量的 N 注入不仅能够增加 GeSbTe 的电阻,而且使得电阻随温度增加出现了两个非常明显的台阶,这对于实现 C-RAM 器件的多级存储是非常有利的。

Chen 等<sup>[14]</sup>发现,掺杂 Sn 可以大大降低 C-RAM 的操作时间,最短结晶时间由 200ns 减小为 40ns,最短非晶化时间则由 40ns 降至 10ns,同时读取速度也得到改善,这可能由于 Sn 取代了 Ge 的位置生成了 SnTe,增加了晶核的数目,从而具有更大的结晶驱动力<sup>[23]</sup>。

掺杂 O 可以加快结晶速度和改善写擦循环次数<sup>[24-26]</sup>,但是对于电阻的影响又如何呢? Rivera-Rodríguez<sup>[27]</sup>和刘波等<sup>[16]</sup>研究了 O 掺杂对 GeSbTe 电阻性能的影响,结果表明,掺杂 O 大幅度地提高了 GeSbTe 的电阻,从而可以有效降低 C-RAM 器件的写入电流。原因在于掺杂 O 后,晶态 GeSbTe 发生了分相、晶粒细化、面心立方结构向六方密堆结构的相变被抑制等现象,因为分相和晶粒细化都会对载流子产生散射,而面心立方结构的 GeSbTe 晶相表现为半导体性质、六方密堆结构的晶相则表现为金属性质<sup>[28]</sup>。

二元相变材料  $Sb_2Te_3$  也已在可擦重写相变光盘中得到了一些应用,与  $Ge_2Sb_2Te_5$  相比,它的主要特点是相变速度更快(小于 30ns)和结晶温度更低(约 120℃)<sup>[4]</sup>。这就意味着用它作为 C-RAM 存储器的存储材料可以获得更快的操作速度和更低的操作电压或电流。但是,正是由于其结晶温度更低而带来了负面影响,那就是材料的稳定性相对差些,但可以通过对其进行掺杂改性达到改善其稳定性的目的<sup>[29-31]</sup>。

如果 C-RAM 器件与商用化存储器相比更具有优越性和竞争性,就必须做成纳电子器件,尤其是作为存储器最核心的相变有源区的尺寸必须达到几十纳米到几纳米,才能实现真正意义上的纳电子器件。而器件一旦进入纳米尺寸,会出现很多特殊的现象和困难。对于相变材料本身来讲,最为关键的问题是纳米尺度下相变材料的电阻性能是否能够满足 C-RAM 存储器的要求,因此,从长远的角度来讲,必需深入研究目前较为成熟的  $Ge_2Sb_2Te_5$  的电阻性能,同时加强对其结晶速度、材料稳定性、电阻稳定性和纳米尺度下结晶机理、导电机理等性能的研究,以满足未来 C-RAM 存储器对高速、高写擦次数、适应恶劣环境等要求。另外也应拓宽相变材料的研究范围,决不能仅局限于  $Ge_2Sb_2Te_5$ ,要研究开发出

性能更好的其他体系的相变材料。从目前的相变材料研究进展来看, $Ge_2Sb_2Te_5$  是相变光盘的最佳材料选择,但是这并不意味着是 C-RAM 的最佳选择,所以探索适用于 C-RAM 的新型相变材料就显得非常必要,只有这样才能最大限度地发挥 C-RAM 存储器的优越性,在竞争异常激烈的半导体存储器行业取得最终的胜利。

## 5 C-RAM 器件的结构设计和小尺寸化

飞速发展的信息科技和不断扩张的需求使半导体行业以超摩尔定律的速度前进。随着器件尺寸的逐渐缩小和集成度的不断提高,微电子技术正朝着纳电子方向发展。C-RAM 存储器是一种新型半导体存储器,由于它是利用焦耳热致使微区相变材料发生相变而实现信息的写入和擦除,相变区域的尺寸越小,发生相变所需的功耗就越低,只有这样才能与现有的 CMOS 技术相匹配,也就是说,只有器件单元的尺寸达到三维的纳米尺度才能把它的优越性充分体现出来。因此在进行 C-RAM 的器件结构设计时要充分考虑以下几点:易于实现器件单元尺寸的纳米化;所涉及的工艺要与现有的半导体工艺或未来主流半导体工艺很好地兼容;器件结构尽量简单易行、可行,等等。

实现 C-RAM 器件单元尺寸的纳米化,主要有两种途径:一是微电子器件尺寸逐渐小下去的方法,称为自上而下路线(TOP-DOWN);二是利用纳米尺寸单元组装功能器件,称为自下而上路线(BOTTOM-UP)。采用自下而上的路线研究 C-RAM 存储器器件单元的制备工艺主要涉及的研究内容有:相变材料纳米点和纳米线的制备,纳米相变材料结构与电极的自组装,器件单元的封装等。但是由于自组合法制备纳米尺寸的器件目前还处于基础研究阶段,距离产业化还有很大一段距离,因此现在报道的有关 C-RAM 的器件结构设计方法都集中在自上而下路线,即通过微细加工技术实现器件尺寸的纳米化。归纳起来,C-RAM 的器件结构设计主要有两种形式:电极尺寸的小型化和相变材料尺寸的小型化,下面将对此进行详细介绍。

### 5.1 相变材料尺寸小型化的 C-RAM 器件结构

C-RAM 的器件结构早期普遍采用相变材料尺寸小型化的结构,其结构示意图如图 1 所示。这种结构的特点是与下电极相接触的相变材料的横截面尺寸很小,使接触处的热量集中,可以在较小的电压或

电流下使相变材料发生相变,降低器件的功耗.1993年,Nakayama等<sup>[32]</sup>采用光刻法制备出了直径为10mm的小孔,把相变材料填充进小孔内后制备出了微米量级的C-RAM器件单元.2000年,他们通过聚焦离子束法(FIB)制备出了直径为0.3—1.5 $\mu\text{m}$ 的小孔,从而把C-RAM器件单元尺寸缩小至亚微米量级<sup>[33]</sup>.同年,Bernacki等<sup>[9]</sup>采用商用0.25 $\mu\text{m}$ 的CMOS技术首先制备出直径为1 $\mu\text{m}$ 的小孔,然后在孔内沉积一层3—4nm的 $\text{SiN}_x$ 牺牲层,接着又先后沉积了相变层和电极材料,最后他们利用在两个电极间施加高的电压脉冲造成 $\text{SiN}_x$ 牺牲层的中间被击穿,形成了直径为200—250nm的小孔,采用此法可以制备出尺寸更小的C-RAM器件单元,其制约因素在于光刻工艺的发展水平.2003年,Maimon等<sup>[6]</sup>在0.5 $\mu\text{m}$ 的抗辐照加固CMOS工艺线上结合其他技术(如侧壁屏蔽技术-spacer)成功制备出了尺寸为150nm(直径)左右的C-RAM器件单元,并对C-RAM测试芯片的抗辐照性能和耐高低温性能进行了深入系统的研究,结果表明,其抗辐照总剂量能力达到2Mrad,耐高低温性能可达-55—125 $^{\circ}\text{C}$ .2004年,Pirovano等<sup>[34]</sup>采用选择刻蚀绝热层氧化物的方法制备出了直径为160nm的小孔,填充相变材料后,由于小孔侧壁的屏蔽效应(spacer)使得相变材料与下电极的接触面非常小(直径约为50—100nm),器件的操作电流可以降至1mA以下.

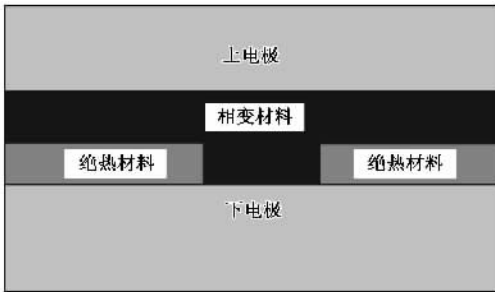


图1 C-RAM器件结构示意图(相变材料尺寸小型化)

### 5.2 电极尺寸小型化的C-RAM器件结构

另一种C-RAM的器件结构是采用电极材料尺寸小型化的结构,对这种结构研究的时间相对较晚些,其结构示意图如图2所示<sup>[5,14,21,35,36]</sup>.2001年,Intel公司的Lai和Ovonix公司的Lowrey报道了采用电极材料尺寸小型化结构的C-RAM研究成果<sup>[5]</sup>,器件是在0.18 $\mu\text{m}$ 工艺线上制备的,小尺寸的电极提供促使相变材料发生相变的热能.这种结构

的特点是与相变材料相接触的下电极的横截面尺寸很小,使接触处电极的电流密度很高,热量大量产生且集中在很小的区域,可以在较小的电流下使相变材料发生相变,降低器件的功耗.并且随接触面积的减小,发生相变的操作电流也减小,原因可能是电流的富集效应、热环境的影响以及刻蚀过程中等离子体效应的影响等因素<sup>[35]</sup>,但是具体的原因目前还没有定论,是一个很值得深入研究的课题,这方面的工作可以从理论模拟和实验上同步开展.Kang等<sup>[37]</sup>提出了C-RAM器件的一维热传导模型,计算了器件单元结构中的一维温度分布,模拟结果表明,相变所需的热能主要来源于与相变材料相接触的电极或其他加热层,该模型对于估算器件所需的操作电流和分析器件的操作特性很有帮助.

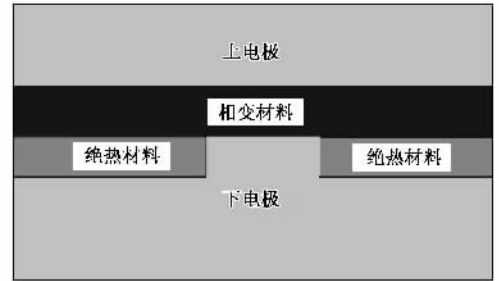


图2 C-RAM器件结构示意图(电极材料尺寸小型化)

Ha等<sup>[38]</sup>提出了一种改进型的小电极结构—边接触式结构(如图3所示).这种结构的特点是把下电极由垂直型改为水平型,由于电极材料的厚度可以做得很薄(可达几个纳米),且很容易实现,而这是目前所有微细加工技术很难做到的,因此能够大大减小电极与相变材料间的接触面积,从而降低操作电流,如接触面为200nm(宽度) $\times$ 20nm(厚度)时的非晶化电流为0.20mA、结晶电流为0.13mA,而如果采用图2所示的结构,接触面为90nm $\times$ 90nm时的非晶化电流则高达1mA.由此可见,边接触式结构是一种很实用的结构,对于降低操作电流非常有效.

2004年5月份,我们利用FIB法成功制备出了电极尺寸的小型化<sup>[39]</sup>和相变材料尺寸的小型化两种结构的C-RAM器件单元,器件单元的直径尺寸小于90nm,由于相变材料的厚度约为80nm,因此我们制备的器件单元是三维尺寸都达到纳米量级的真正意义上的纳米器件单元.但是我们在实验过程中发现,采用相变材料尺寸的小型化这种结构制备的C-RAM器件单元成品率较低,这可能是由于随着孔的尺寸减小,孔的深宽比越来越大,使得在孔内沉

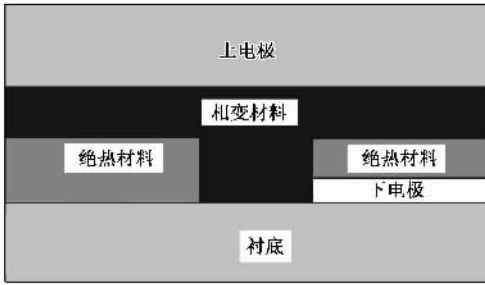


图3 C-RAM 器件结构示意图(边接触式)

积相变材料和电极材料并要保证相变材料能与下电极很好接触变得越来越困难,器件失效的主要原因在于膜层之间的接触不良.仅从我们的实验结果可以得出如下结论:电极尺寸的小型化结构比相变材料尺寸的小型化结构更容易实现 C-RAM 器件单元尺寸的纳米化,且成品率高,性能更优越.

## 6 C-RAM 器件工艺中的几个关键问题

目前世界上从事 C-RAM 存储器研发工作的机构大多数是半导体行业的大公司,他们关注的焦点都集中在如何尽快实现 C-RAM 存储器的商业化上,因此相应的研究热点也就围绕 C-RAM 的器件工艺展开<sup>[7]</sup>:器件的物理机制研究,包括器件结构设计和存储机理研究等;如何减小器件的操作电流,高密度器件阵列的制造工艺研究,包括如何实现器件单元的纳米尺度化问题、高密度器件芯片的工艺问题、器件单元的失效问题等.在此只针对目前 C-RAM 器件工艺研究过程中所碰到的主要问题进行阐述,其他暂且不再进行深入分析.

### 6.1 操作电流的减小问题

C-RAM 存储器的操作电流主要有两种:非晶化电流(RESET 电流)和结晶电流(SET 电流),RESET 电流是指能够把相变材料熔化使之发生从晶态到非晶态转变的电流,SET 电流则指使相变材料从非晶态转变到晶态的电流(如图4所示<sup>[34]</sup>).利用 0.18 $\mu\text{m}$  光刻工艺制备的 C-RAM 器件单元的操作电流普遍大于 1mA,而对于实用化的 C-RAM 存储器,其操作电流必须降至几百微安培,另外,C-RAM 器件单元的相变过程最终要靠 CMOS 管的驱动来实现,为了实现与现有 CMOS 管的功率相匹配,同时降低器件的功耗,必须大幅度降低 C-RAM 存储器的操作电流.降低 C-RAM 器件操作电流的方法有:减小电极与相变材料的接触面积,包括采用边

接触模式的结构,提高相变材料的电阻,在电极与相变材料之间或相变材料内部添加热阻层,进一步完善器件结构设计,探索新型结构,等等.

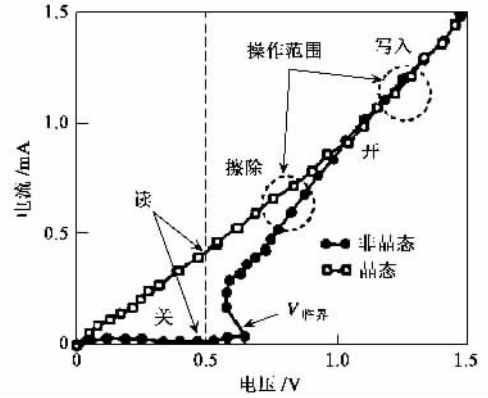


图4 C-RAM 器件单元的典型 I-V 曲线

众所周知,随电极与相变材料接触面积的减小,操作电流也逐渐减小,操作电流与接触面积之间的关系如图5所示<sup>[6,7,32,33,38,40]</sup>.而接触面积的大小又与半导体工艺的光刻水平息息相关,因此需要不断减小光刻工艺的特征尺寸,如果光刻的特征尺寸达到 22nm,就可以制备出直径为 8nm 的接触面,使非晶化操作电流降至 0.035mA.

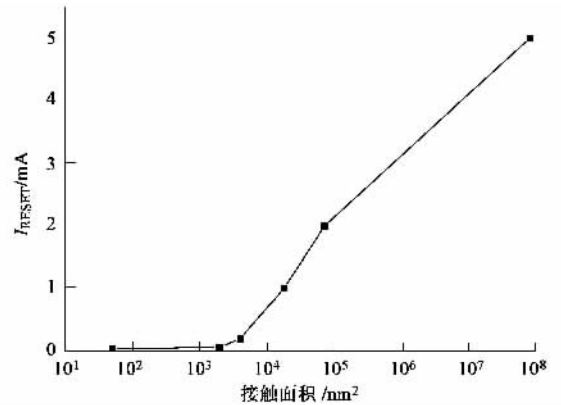


图5 非晶化电流( $I_{\text{RESET}}$ )与接触面积的关系图

在操作电压相同的情况下,如果提高晶态相变材料的电阻,将使操作电流减小.Horii 等<sup>[21]</sup>在相变材料中掺杂了适量的 N 原子,使电阻提高了 10 倍,从而使非晶化电流由 1.5mA 降低到 0.6mA,效果非常明显.

在电极与相变材料之间或相变材料内部添加热阻层,提高发热效率,也能起到减小操作电流的作用.作为热阻层的材料应该满足以下条件:发热效率高;不能扩散到相变材料中;稳定性好,包括热稳定性、电阻稳定性和机械稳定性,不能与相变材料发生

反应 ;导电性良好 ,制备工艺与现有的半导体制备工艺兼容性好等 .作为热阻层的材料主要有  $TiN^{[37,38,41]}$ 、 $W^{[42]}$ 和  $TiON^{[43]}$  ,在相变光盘中被广泛应用的添加层  $GeN^{[44,45]}$ 也有可能被用于 C - RAM 器件的热阻层 ,但要合理选择薄膜的厚度 ,以获得合适的热阻层电阻 ,热阻层的电阻最好比晶态相变材料的电阻高 1—2 个数量级、比非晶态相变材料的电阻低 2—3 个数量级 .Takaura 等<sup>[42]</sup>采用 W 作为热阻层 ,在接触面为 100nm(直径)的器件单元中获得了 0.05mA 的非晶化操作电流 .

### 6.2 器件单元的失效问题

如果把器件单元与 CMOS 相集成 ,即可构成单电阻单晶体管(1R1T)的存储器器件单元<sup>[46]</sup> ,而韩国 Samsung 公司则采用了 2R2T 的存储器器件单元结构<sup>[38]</sup> .多个器件单元按照阵列排列 ,并与选址和信号读出电路连接 ,构成了完整的存储器器件 ,最早的基于硫系化合物材料的相变存储器阵列是由 Neale 等提出的<sup>[3]</sup> .

对于单个器件单元来讲 ,其非晶态与晶态电阻经过多次写擦循环(  $10^{12}$  次)后变化可能会很大 ,两者之间的差别变得越来越小 ,直至无法区别开 ,导致器件单元失效 ,器件失效的原因可能是以下几个方面 :

(1)相变材料与电极材料之间的连接处发生开路 .由于 C - RAM 器件中信息的写入需要经过相变材料的融化与快冷却过程 ,经过多次写擦循环之后 ,相变材料与电极材料之间的界面可能由于在机械应力、热应力等的作用下使相变材料融化区的中心部分因受到上下层的挤压而发生流动<sup>[47]</sup> ,界面变得非常粗糙 ,从而导致界面处发生开路现象 ,造成器件单元的失效 .

(2)相变材料的晶粒长大现象造成器件单元失效 .由于不能保证每次写入操作后相变材料都变为完全的非晶态 ,总会残留一些晶粒 ,多次写擦循环之后 ,残留的晶粒尺寸逐渐增大、数量也逐渐增加 ,最终造成了器件的失效 .

(3)相变材料本身性能和结构变化引起的器件单元失效<sup>[48]</sup> .融化状态的相变材料流动性很大 ,原子的迁移率增加 ,可能会引起材料成分的偏析 ,进而引起材料结构的变化 ,最终导致材料的电阻、融化温度、结晶温度和相变时间等参数的变化 ,使得器件单元在原来的操作条件下不能顺利实现完全的相变而引起失效 .

因此 ,要从根本上解决器件单元的失效问题 ,必

须深入研究相变材料的组分稳定性、器件单元中多层膜的应力问题与热力学问题、电极材料与相变材料之间的匹配问题以及二者之间界面的粗糙度问题等 ,只有这些问题得到了解决 ,才能最大限度去除器件单元失效的根源 .

但是对于 C - RAM 器件单元阵列来讲 ,情况又会变得更为复杂 ,除了以上提到的单个器件单元失效问题之外 ,还存在不同器件单元电阻的分散性问题、器件单元之间的干扰问题、漏电流问题、阵列结构要承载相对较大的非晶化电流问题等 .下面主要讨论前两个比较突出的问题 .

(1)器件单元电阻的分散性问题 .由于器件单元之间在实际的结构与尺寸等方面存在差异 ,可能会造成不同器件单元的电阻不完全相同 ,甚至存在很大的差异 ,这就是电阻的分散性 .Cho 等<sup>[12]</sup>采用  $0.18\mu m$  的工艺线成功制备出了容量为 64M 的 C - RAM 测试芯片 ,并研究了芯片中的电阻分布状况 (如图 6 所示) ,结果发现芯片的电阻分布很宽 :未经任何写擦操作之前的初始态电阻分布为 1k—300k $\Omega$  ,非晶态( RESET 态 )的电阻分布为 30k—1M $\Omega$  ,晶态( SET 态 )的电阻分布为 1.5k—5k $\Omega$  ,这对于器件的稳定性和各种操作的顺利实现很不利 ,很容易造成器件的失效 .因此需要优化器件制备工艺 ,尽量减小器件单元实际的结构和尺寸的差异 ,最大限度缩小电阻的分布范围 .在相变材料内添加一层电阻补偿层可以很有效地解决晶态电阻的分布过宽问题 ,但要合理选择该补偿层的电阻 ,选择的标准为 :比典型的晶态电阻略高 ,而比最小非晶态电阻低 .

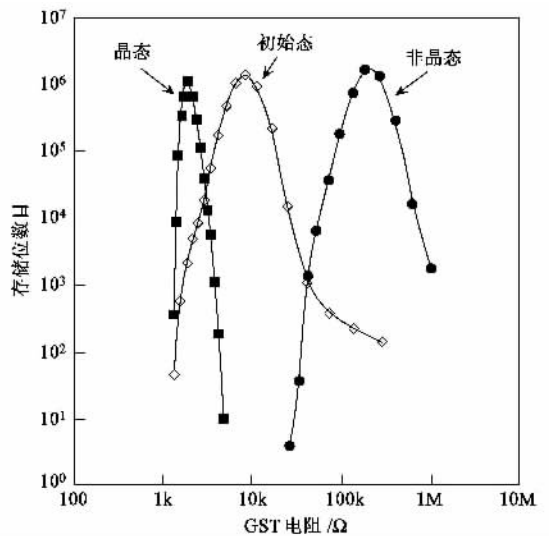


图 6 C - RAM 器件的电阻分布图

(2) 器件单元之间的干扰问题<sup>[49]</sup>. 随着器件单元尺寸的减小和密度的大幅度增加, 器件单元之间的距离就会变得越来越小, 当一个器件单元中的相变材料处于熔化状态时, 温度非常高, 就不可避免引起由于热扩散使相邻的器件单元因温度升高而导致部分非晶态相变材料结晶, 严重时会把原有的记录信息擦除掉. 解决器件单元间干扰问题的措施有: 优化器件单元的结构, 尽量减小热量的扩散, 选择合适的绝热材料, 最大限度地避免热量向相邻器件单元扩散.

## 7 结论

C-RAM 具有非易失性、循环寿命长( $> 10^{13}$  次)、元件尺寸小、功耗低、可多级存储、高速读取、抗辐照(抗总剂量的能力大于1 Mrad)、耐高低温( $-55\text{—}125\text{ }^\circ\text{C}$ )、抗振动、抗电子干扰和制造工艺简单(能和现在的集成电路工艺很好地相匹配)等优点, 是 Intel 和 Samsung 等公司所极力推崇的新型半导体存储器. C-RAM 存储器目前仍处于研发阶段, 需要解决诸如现有相变材料的改性、新型相变材料的开发、纳米尺度相变材料的结晶机理与导电机理、器件结构设计、器件中多层膜的热力学及机械性能的平衡与匹配、器件存储机理研究、减小器件操作电流的措施、器件单元性能的重复性、稳定性与失效问题、器件单元的纳米尺度化以及高密度器件芯片的制备工艺等等一系列亟待解决的问题, 研发任务还非常艰巨, 需要投入大量人力、物力和财力研究开发 C-RAM 这一新兴半导体存储技术.

我国的微电子行业要跟上发达国家, 必须拥有自主知识产权的技术. 目前 C-RAM 在国内的专利还很少, 国外公司在中国申请的有关 C-RAM 的专利有 10 项, 其中 7 项是 2004 年刚公开的. 另外, 由于其抗辐照、抗振动、耐高低温恶劣环境等特点在国防和航空航天等方面有很大的应用前景, 而发达国家在该技术方面对我国进行严格保密, 我国必须在 C-RAM 的研究开发上拥有自主知识产权的技术.

## 参 考 文 献

[ 1 ] Ovshinsky S R. *Phys. Rev. Lett.*, 1968, 21(20):1450  
 [ 2 ] Feinleib J, deNeufville J, Moss S C *et al.* *Appl. Phys. Lett.*, 1971, 18(6):254  
 [ 3 ] Neale R G, Nelson D L, Moore G E. *Electronics*, 1970, 43(20):56

[ 4 ] 封松林, 宋志棠, 刘波等. *微纳电子技术*, 2004, 41(4):1  
 [ Feng S L, Song Z T, Liu B *et al.* *Microelectronic Technology*, 2004, 41(4):1 (in Chinese)]  
 [ 5 ] Lai S, Lowrey T. *IEDM*, 2001, 36.5.1  
 [ 6 ] Maimon J D, Hunt K K, Burcin L *et al.* *IEEE Trans. Nuclear Science*, 2003, 50(6):1878  
 [ 7 ] Lai S. *IEDM*, 2003:255  
 [ 8 ] Strauss K F, Daud T. *IEEE Proceedings of Aerospace Conference*, 2000, 5:399  
 [ 9 ] Bernacki S, Hunt K, Tyson S *et al.* *IEEE Trans. Nuc. Sci.*, 2000, 47(6):2528  
 [ 10 ] Ovshinsky S R, Czubytyj W. *SPIE*, 2001, 4085:15  
 [ 11 ] Gill M, Lowrey T, Park J. *ISSCC*, 2002, 12.4:458  
 [ 12 ] Cho W Y, Cho B H, Choi B G *et al.* *ISSCC*, 2004, 2.1:40  
 [ 13 ] 干福熹. *数字光盘存储技术*. 北京: 科学出版社, 1998. 209  
 [ Gan F X. *Digital Optical Storage Technology*. Beijing: Science Publishing House, 1998. 209 (in Chinese)]  
 [ 14 ] Chen Y C, Chen C T, Yu J Y *et al.* *IEEE Custom Integrated Circuits Conference*, 2003, 16.4:395  
 [ 15 ] Liu B, Song Z T, Zhang T *et al.* *Chin. Phys.*, 2004, 13(7):1167  
 [ 16 ] Liu B, Song Z T, Zhang T *et al.* *Appl. Surf. Sci.*, 2005, 242:62  
 [ 17 ] Selvaru V C, Asokan S, Srinivasan V. *J. Non-Crystalline Solids*, 2004, 333:16  
 [ 18 ] Wamwangi D, Detemple R, Woeltgens H W *et al.* *J. Appl. Phys.*, 2004, 95(12):7567  
 [ 19 ] Takeo O, Kenichi N, Kenji N *et al.* *Jpn. J. Appl. Phys.*, 2000, 39(2B):770  
 [ 20 ] Maeda T, Terao M, Shimano T. *Jpn. J. Appl. Phys.*, 2003, 42(2B):1044  
 [ 21 ] Horii H, Yi J H, Park J H *et al.* *Symposium on VLSI Technology Digest of Technical Papers*, 2003, 177  
 [ 22 ] Liu B, Zhang T, Xia J L *et al.* *Semicond. Sci. and Technol.*, 2004, 19(6):L61  
 [ 23 ] Kojima R, Yamada N. *Jpn. J. Appl. Phys.*, 2001, 40(10):5930  
 [ 24 ] Ebina A, Hirasaka M, Nakatani K. *J. Vac. Sci. Technol. A*, 1999, 17(6):3463  
 [ 25 ] Jeong T H, Seo H, Lee K L *et al.* *Jpn. J. Appl. Phys.*, 2001, 40(3B):1609  
 [ 26 ] Dimitrov D Z, Lu Y H, Tseng M R *et al.* *Jpn. J. Appl. Phys.*, 2002, 41(3B):1656  
 [ 27 ] Rodríguez C R, Prokhorov E, Trapaga G *et al.* *J. Appl. Phys.*, 2004, 96(2):1041  
 [ 28 ] Mendoza - Galvan A, Gonzalez - Hernandez J. *J. Appl. Phys.*, 2000, 87(2):760  
 [ 29 ] Borg H J, Schijndel M V, Rijpers J C N *et al.* *Jpn. J. Appl. Phys.*, 2001, 40(3B):1592  
 [ 30 ] Shinotsuka M, Iwasa H, Furukawa R *et al.* *Jpn. J. Appl. Phys.*, 2002, 41(3B):1693  
 [ 31 ] Lankhorst M H R, Pieterse L V, Schijndel M V *et al.* *Jpn. J. Appl. Phys.*, 2003, 42(2B):863

[ 32 ] Nakayama K , Kitagawa T , Ohmura M *et al.* Jpn. J. Appl. Phys. , 1993 , 32( 1B ) : 564

[ 33 ] Nakayama K , Kojima K , Hayakawa F *et al.* Jpn. J. Appl. Phys. , 2000 , 39( 11 ) : 6157

[ 34 ] Pirovano A , Lacaita A L , Benvenuti A *et al.* IEEE Trans. Electron Devices , 2004 , 51( 3 ) : 452

[ 35 ] Hwang Y N , Hong J S , Lee S H *et al.* Symposium on VLSI technology Digest of Technical Papers , 2003 , 173

[ 36 ] Pirovano A , Lacaita A L , Pellizzer F *et al.* IEEE Trans. Electron Devices , 2004 , 51( 5 ) : 714

[ 37 ] Kang D H , Ahn D H , Kim K B *et al.* J. Appl. Phys. , 2003 , 94( 5 ) : 3536

[ 38 ] Ha Y H , Yi J H , Horii H *et al.* Symposium on VLSI technology Digest of Technical Papers , 2003 , 175

[ 39 ] Liu B , Song Z T , Feng S L *et al.* Chin. Phys. Lett. , 2004 , 21( 10 ) : 2054

[ 40 ] Gotoh T , Sugawara K , Tanaka K. J. Non - Crystalline Solids , 2002 , 299 - 302 : 968

[ 41 ] Yi J H , Park J H , Kuh B J *et al.* IEDM , 2003 , 901

[ 42 ] Takaura N , Terao M , Kurotsuchi K *et al.* IEDM , 2003 , 897

[ 43 ] Kang D H , Ahn D H , Kwon M H *et al.* Jpn. J. Appl. Phys. , 2004 , 43( 8A ) : 5243

[ 44 ] Yamada N , Otaba M , Kawahara K *et al.* Jpn. J. Appl. Phys. , 1998 , 37( 4B ) : 2104

[ 45 ] Miao X S , Chong T C , Shi L P *et al.* Jpn. J. Appl. Phys. , 2001 , 40( 3B ) : 1581

[ 46 ] Wicker G. SPIE , 1999 , 3891 : 2

[ 47 ] Okamine S , Hirasawa S , Terao M *et al.* SPIE , 1992 , 1663 : 315

[ 48 ] Price S J , Greer A L , Davies C E. SPIE , 2000 , 4090 : 122

[ 49 ] Pirovano A , Lacaita A L , Benvenuti A *et al.* IEDM , 2003 , 699



· 书评和书讯 ·

## 科学出版社物理类新书推荐

书 名	作(译)者	定价	出版日期	发行号
计算声学——声场的方程和波	李太宝	¥ 38.00	2005 年 1 月	O - 2016
半导体量子器件物理	傅英 陆卫	¥ 50.00	2005 年 1 月	O - 2004
磁层粒子动力学	徐荣兰	¥ 35.00	2005 年 1 月	O - 1961
现代声学理论基础	马大猷	¥ 48.00	2005 年 1 月	O - 1830
物理学家用微分几何	侯伯元 侯伯宇	¥ 98.00	2004 年 8 月	O - 1976
数学物理方程及其近似方法	程建春	¥ 58.00	2004 年 8 月	O - 1952
量子力学朝花夕拾——教与学篇	王文正等	¥ 36.00	2004 年 11 月	O - 2095
随机振动的虚拟激励法	林家浩 张亚辉	¥ 45.00	2004 年 9 月	O - 1889
准晶物理学	王仁卉	¥ 45.00	2004 年 8 月	O - 1802
非平衡凝固新型金属材料	陈光 傅恒志	¥ 42.00	2004 年 8 月	O - 2027
金属陶瓷薄膜及其在光电子技术中的应用	孙大明 孙兆奇	¥ 56.00	2004 年 7 月	O - 1942
岩石力学	谢和平 陈忠辉	¥ 54.00	2004 年 5 月	O - 1944
软 X 射线与极紫外辐射的原理和应用	张 杰	¥ 59.00	2003 年 9 月	O - 1682
现代压电学(上中下)	张福学	¥ 99.00	2003 年 5 月	
拉曼布里渊散射——原理及应用	程光煦	¥ 48.00	2003 年 5 月	O - 1301
应用力学对偶体系	钟万勰	¥ 42.00	2003 年 3 月	O - 1542
广义相对论和引力场理论	胡 宁	¥ 15.00	2003 年 3 月	O - 1157
激光的衍射及热作用计算	李俊昌	¥ 34.00	2003 年 3 月	O - 1553
粉末衍射法测定晶体结构	梁敬魁	¥ 68.00	2003 年 4 月	O - 1697

欢迎各界人士邮购科学出版社各类图书. 如果您有出版意向, 请和我们联系. 凡购书者均免邮费, 请按以下方式和我们联系:

电 话 : 010 - 64017957 64033515 电子邮件 : mlhukai@ yahoo. com. cn 或 dpyan@ cspg. net

通讯地址 : 北京东黄城根北街 16 号 科学出版社 邮政编码 : 100717 联系人 : 胡凯 鄢德平

欢迎访问科学出版社网址 : <http://www.sciencep.com>