

## 第七讲 微电子技术发展与物理学\*

李志坚<sup>†</sup>

(清华大学微电子学研究所 北京 100084)

**摘要** 微电子学的基础是近代固体物理. 微电子技术的快速发展又推动了物理学许多分支的进展. 今天, 当微电子的基本器件 MOSFET 缩小接近其终极时, 作为下一代的基础, 一批基于新的物理效应的纳电子器件又被提了出来. 为了突破传统的二值开关系统的共同极限, 新的信息处理系统, 如量子信息处理, 正在大力研究之中. 不久的将来, 可望出现一次新的信息电子革命. 这次革命又将建立在现代物理学及现代生物学的基础之上.

**关键词** 微电子 终极 MOSFET 二能级开关系统 量子信息处理 微电子极限

### Physics and the development of microelectronics technology

LI Zhi-Jian<sup>†</sup>

(Institute of microelectronics, Tsinghua University, Beijing 100084, China)

**Abstract** The foundation of microelectronics is modern solid state physics. Conversely, the fast development of microelectronics has brought great advances in many branches of physics. As the size of the basic device MOSFET approaches its ultimate limit, a series of nano-electronic devices based on different physical mechanisms have been proposed for future generations. Meanwhile, to overcome the universal limit of traditional classical 2-level switching systems new information processing systems, such as quantum information processing, are under intensive investigation. A new revolution in information electronics is expected in the near future. Its foundation is still advanced modern physics, and probably modern biology too.

**Keywords** microelectronics, ultimate MOSFET, two level switching system, quantum information processing, limit of microelectronics

开创时期的微电子或半导体只是物理学的一个分支. 在高速发展中微电子又不断地推动了物理学的进展. 技术科学与基础科学之间的紧密结合, 高速地相互推动是当代科技发展的一个特点, 这在微电子与物理学之间体现更为明显. 经过近半个世纪的发展, 微电子正在酝酿一次新的革命, 从物理学的基础上去理解微电子的发展动向, 更有其特殊意义. 本文试从微电子发展的几个重要阶段, 对此进行一些讨论.

#### 1 物理学为微电子学创建奠定了基础

1960 年集成电路发明之前, 微电子的主要进展

是晶体管的发明<sup>[1]</sup>和 MOSFET(金属-氧化物-半导体场效应晶体管)的研究成功<sup>[2]</sup>. 晶体管效应是在研究半导体表面时被发现的, 在一根电极探针上加电压信号去调制锗表面时, 在另一探针电极上发现了信号的放大. 这一旨在改善雷达上用的检波器可靠性的实验所发现的新现象, 只有存在以下两个条件才能成为真正意义上的发明 (1) 基于量子力学的能带论和金属-半导体接触理论已经成熟, 这使此新现象迅速得以理解, 接着肖克莱连续发表了 PN 结理论, 少数载流子注入理论和提出并实现了结

\* 2004-08-24 收到初稿, 2005-04-19 修回

<sup>†</sup> Email: lizhj@mail.tsinghua.edu.cn

表 1 ITRS - 2003 CMOS 技术若干重要指标

年份	2004	2007	2010	2013	2016	2018
DRAM 半间距/nm	90	60	45	32	22	18
MPU/ASIC 多晶硅半间距/nm	90	60	45	32	22	18
MPU 光刻栅长/nm	53	35	25	18	13	10
MPU 物理栅长/nm	37	25	18	13	9	7
片上( on chip )局域时钟/MHz	4 171	9 285	15 019	22 980	39 683	53 207
片外( off chip )速度/MHz	2 500	4 883	9 536	18 626	36 379	56 843
最大布线层数( 最低值 )	10	11	12	12	14	14

型双极晶体管(2)电子技术有了高度的发展,从而使这一发明得以迅速转化为生产力。因为迅速产业化,晶体管的发明导致了半导体物理的研究热潮,包括电输运理论、过剩截流子复合理论、材料物理等。锗、硅材料技术的发展更为现代微电子直接奠定了基础。MOSFET 的研制成功是微电子发展的另一个关键。MOSFET 是现代微电子的基础器件,没有 MOSFET 和 MOS 技术也就没有今日的微电子。场效应晶体管(FET)的基本原理远在上世纪 30 年代就有人提出了<sup>[3]</sup>,当时没有成功的原因是栅介质与半导体间的界面态密度太高,结果栅上加电压只改变界面态上的局域电荷量,使电场不能穿透界面,无法调制半导体表面层载流子的浓度。只有在上世纪的 50—60 年代经过对 Si/SiO<sub>2</sub> 界面态物理和形成工艺进行了系统的研究,得到了稳定、可靠的低态密度 Si/SiO<sub>2</sub> 界面(界面态密度 ~ 10<sup>10</sup>/cm<sup>2</sup>),才使 MOSFET 取得成功,于 1960 年 Atalla 和 Kahng 发明了 MOSFET。CMOS 以其独特的优势(高速而无直流功耗),作为微电子技术的基础,使微电子由小规模集成(SSI)、中规模集成(MSI)、大规模集成(LSI)、超大规模集成(VLSI)到特大规模(ULSI),乃至京规模集成(GSI)而持续发展至今。

## 2 按 Moore 定律发展的微电子带动了物理学多个分支学科的进展

英特尔公司于 1970—1971 年先后发布了 1k DRAM(1 千位动态随机存取存储器)和 4 位 4004 CPU(中央处理器),从此微电子进入了大规模集成(LSI)年代。Moore 定律是英特尔公司创始人之一的 Gordon Moore 在 20 世纪 60 年代提出来的<sup>[4]</sup>。集成电路的集成度将按每 3—4 年翻两番的速度高速发展。1974 年 IBM 的 Dennard 等人提出了按比例缩小

的原理<sup>[5]</sup>,证明了器件各尺寸参数和电压按同一比例  $\alpha$  缩小(掺杂作相应调整)时,集成电路的集成度提高  $\alpha^2$  倍,速度提高  $\alpha$  倍,功耗下降  $\alpha^2$  倍,但单位芯片面积的功耗不会改变(恒电场缩小),从而在原理上确定了微电子“越小,越密,越快,越省电,越廉价”这一发展优势,为 Moore 定律建立了理论根据。微电子按 Moore 定律的发展,几十年来已得到实践的验证,现已成为工业界构筑其发展计划的指南。20 世纪 90 年代开始,美国 SIA(半导体行业协会)依据 Moore 定律发展趋势、技术上的大体可行和市场的实际需要,制订了国家半导体(微电子)技术发展路线图(NTRS),后来更扩展为国际半导体技术发展路线图(ITRS)<sup>[6]</sup>。路线图每 3 年作为一个发展节点(以 ULSI 微加工的特征线宽为标志),详细列出了每年应达到的性能及要解决的主要技术课题。ITRS 按时修正,已成为全世界微电子技术发展的指南。表 1 为 ITRS - 2000 所规定的 2000—2018 年内若干发展节点的技术指标,由此表可见,微电子的发展是以 3 年为一节点,每一个节点要有一次跳跃式的进步(包括集成度、性能等),也就是说,在三年内,各项相应的关键技术(技术瓶颈问题)都要有所突破。

由于每一代微电子技术代表一代新的信息技术,新的生产力,相应研究的时效性很强,因此,全世界为此而投入了强度惊人的人力和资金。这些瓶颈课题多数包含着深刻的、前沿性的物理学问题,因此微电子的发展推动了、并将继续推动物理学相关分支的发展。下面以若干实例加以讨论。

### 2.1 图形转移技术<sup>[7,8]</sup>

微细加工的首要问题是要把设计好的各层母版图形转移(复印)到各层硅片上去,即通常所谓的光刻。每一发展节点特征线宽是按前一节点的 70% 的比例缩小的(现在大生产已达到了 0.18—0.13  $\mu\text{m}$ ),相应地要求光刻曝光的精度也要不断的提高。光学系统的分辨率取决于(正比)光源的波长

$\lambda$  和数值孔径  $NA$  (反比), 因加工中的硅芯片表面不是理想的平面, 为此需要保持一定的焦深 ( $DOF = \pm \lambda \sqrt{NA}$ ),  $NA$  不能取得太大, 一般为 0.5—0.6. 所以, 为了满足光刻精度的不断提高就要不断缩短波长  $\lambda$ . 图 1 是微电子特征线宽与曝光机所用光源波长的的发展概况. 由图可以看出 (1) ITRS 所规定的特征光刻线宽的发展速度 (b) 超过了曝光光波长缩小的速度 (a) (2) 在 2000 年以后, 出现了波长大于线宽的情况, 要采用光学的分辨力强化技术 (c); 例如, 现今正在用  $\lambda = 248\text{nm}$  的光源, 而 ULSI 生产线宽已达到 180nm、130nm.

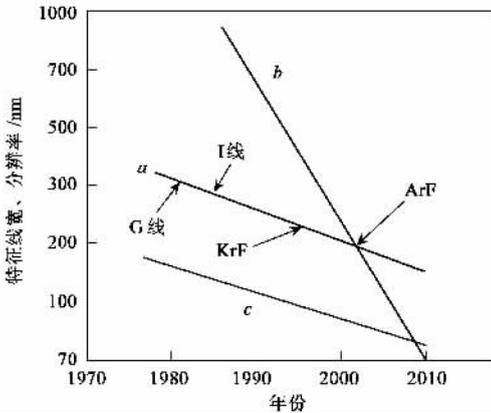


图1 光刻机波长 (a), 微电子技术的特征线宽 (b), 和采用分辨率强化技术后的曝光分辨率 (c), 逐年进步的比较

一代代光源波长的缩短要靠研究新的激光器来实现, 大的  $NA$  要靠精密的光学设计. 要用波长较长的光源光刻更细的线条, 需采用移相掩膜、离轴照明等分辨率强化技术和发展相应的光学设计. 进入纳米量级后, 人们更将应用近场光学技术等. 当前,  $\lambda = 13.4\text{nm}$  的 EUV 作为光源的光刻机正在被开发中, 利用慢电子散射的步进电子束曝光机的研究也取得了初步成功. 这是人们对 EUV 和电子与固体物质相互作用研究成果的利用.

光刻技术除曝光外, 还包括感光、刻蚀等步骤, 其相应精度也要不断提高, 这便带动了光子及带电粒子与光刻胶等物质的相互作用, 辐照缺陷及其消除等一系列物理和物理化学课题. 在工艺上还有一系列其他问题, 如大硅圆片 (不久, 芯片生产用硅圆片直径可达 30cm) 中微缺陷的形成和相互作用, 大尺寸硅圆片在加工过程中的力学问题等, 都需要通过对材料物理和力学的深入研究去解决.

## 2.2 小尺寸 MOSFET 结构与物理<sup>[9-11]</sup>

前面提出的按比例缩小原理是以沟道中电场为

恒定的条件下推导出来的, 对于微米, 尤其是亚微米以下的 MOSFETS, 由于电场分布的二维效应, 以及各种强电场效应等 (下面统称为次级效应) 会限制器件, 使之不能简单地按比例缩小. 器件尺寸越小, 限制越严厉. 主要的次级效应有以下几种.

(1) 短沟效应 (SCE). 指沟道长度进入微米、亚微米后 MOSFET 的阈值电压  $V_T$  随沟长而改变 (长沟下是不变的). 这使同一硅圆片上, 因光刻公差  $\Delta L$  而使  $V_T$  分散, 结果使 IC 成品率难以保证. SCE 的起源是: 沟道很短时, 源、漏 PN 结的空间电荷区已不可被忽略, 沟道越短其影响愈大. 理论证明, 进入纳米范畴, 量子力学效应将使 SCE 加强.

(2) 漏感应源势垒降低 (DIBL). 漏电极离源极很近时, 漏端电压产生的电场可通过空间电荷区影响源端的电势, 使源势垒降低, 导致三个效果: 一是使阈值电压降低 (N 沟), 且与沟长和漏电压相关; 二是增加了关态电流, 严重时可使器件关不断 (穿透); 三是使器件的开启性能 (S 因子) 恶化.

(3) 热载流子效应 (HCE). 通过电场加速的热载流子以一定的几率跨越 Si/SiO<sub>2</sub> 界面势垒而进入二氧化硅, 或陷落到介质的电子陷阱中, 形成固定电荷, 或导致界面态改变. 两者都会导致阈值电压和器件性能随工作时间而漂移和退化 (通过界面电荷积累), 造成严重的 IC 可靠性问题. 沟道内的电场一般说来是随尺度缩小而增强的.

(4) 沟道中载流子密度热起伏. 由于热涨落, 半导体掺杂浓度的空间分布不可能均匀, 有热起伏. 当器件尺寸缩得很小, 沟道区杂质数可以减少到以百计时, 杂质分布热起伏导致的沟道内载流子总量起伏就突显出来, 反映在阈值电压的片上不均匀, 而影响 IC 成品率.

除了克服微细加工中的技术瓶颈外, 微电子各节点的进展, 首先要不断克服上面一些次级效应才能前进. 其中主要的途径有:

(1) 掺杂工程. 通过对器件精确的静电场二维、三维模拟和优化设计, 并通过精确的离子注入 (包括退火) 技术, 对源、漏和沟道区的杂质浓度及其分布进行精确的剪裁, 使在具体器件结构下, 最大限度地抑制 SCE、DIBL 和 HCE, 取得器件各方面的高性能.

(2) 新的器件结构. 采用能抑制次级效应, 提高栅控制能力的器件新结构. 如凹形栅可降低 HCE, 降低源漏接触电阻; 全耗尽 SOI (绝缘层上硅) 可提高栅控制能力, 降低载流子热起伏效应; 双栅 (DG-FET), 义指 FET (FINFET), 围绕栅 (surrounding

gate)等结构加强栅控制能力,提高器件性能,降低 SCE、DIBL 等。

(3)采用新的材料.进入纳米范围后,以新的材料取代 MOS 结构所用的传统材料的研究是非常热门的课题.包括利用应变硅(可通过表面适当掺 Ge 后外延 Si 得到)的高载流子迁移率,取代传统(100)硅做衬底,以提高器件性能;用高  $K$  (介电常数高于  $\text{SiO}_2$ ) 替代  $\text{SiO}_2$  做栅介质,以便以较厚的栅绝缘层取得强的对沟道的控制能力,而不提高器件的关态电流.相反,金属连线层之间的介质层,则用低  $K$  介质,以降低寄生的 RC 延时和降低连线功耗;以及采用电阻率更低金属做连线,更合适的金属做栅等等.这些都是需经过从物理到技术的深入的研究和试验.例如:高  $K$  栅介质的引用并不是选用了高的  $K$  值材料就可以了,而要研究其热稳定性,与硅系统的相容性,与硅接触形成高质量界面的可能性等等。

### 2.3 MOSFET 中的电输运

从 ITRS 可见,21 世纪初起微电子已进入纳米尺寸范畴,因此,传统的基于半经典的电输运理论,要重新以介观物理的视点加以审视,才能正确地描述 ULSI 器件的性能.对微结构下电输运的深入发展的需要推动了介观物理相关方向的进展。

首先,当器件沟道达到数百纳米之后,局部电场很强,载流子渡越沟道时间接近甚至小于其热运动导致的自由时间,或者说,若沟道长度达到或接近于载流子自由程,则建立在迁移率概念上的半经典输运理论会失效,要求解瞬态的玻尔兹曼方程,才能正确描述输运过程.对载流子输运与电场强度关系研究表明,漂移速度先由常规的线性关系 ( $v_d = \mu E$ ) 经过过渡区进入饱和区 ( $v_d$  为常数,与  $E$  无关),进一步,因能量弛豫时间大于动量弛豫时间的效应显示出来,漂移速度就可以产生过冲,进入弹道(Ballistic)输运状态.所以,随着尺度缩小,载流子的输运先是受到速度饱和的限制,进一步又有可能突破这一限制进入弹道输运。

量子力学效应对器件中载流子输运的影响,随着器件缩小而日益严重<sup>[12]</sup>.首先是量子隧道效应,包括沟道到栅极的隧穿,也包括当源、漏不断接近时的带-带直接隧道穿透.这些电流组成器件关态电流,最后成为器件缩小达到终极的主要因素。

量子力学效应对载流子浓度的影响是阻止 MOSFET 器件性能随尺寸缩小而不断增强的重要因素.从量子力学观点看,载流子几率密度在界面处应为零,所以载流子面密度沿沟道深度( $Z$ )的分布不

应像半经典理论所指出那样,在  $Z=0$  时为最高,然后指数下降,而是由零到一个峰值然后再下降[见图 2(a)].等效地说,在界面处,一定深度的硅沟道对电导没有贡献,这等效于器件有一个本征阈值电压  $\delta V_T$ ,或者说使阈值电压提高了,从而使同等栅电压下,控制沟道导电能力下降.另外,沟道载流子在深度方向是局域化的,即运动的是二维电子气,它的态密度分布与体(三维)态密度不同,后者为抛物线型,前者为一系列阶梯型的子带.这会导致同样的电压偏置 ( $V_{gs} - V_T, V_{ds}$ ) 下,感应的载流子浓度的不同,具体说是器件的驱动电流的下降.图 2(b)为 MOSFET 伏安特性因量子力学效应而退化的情形,表明,即使器件缩小得以不断进行,因量子力学效应,其性能提高的效果也会越来越小.另一方面,通过栅氧和结与结之间的隧道电流(组成器件的关态电流)是随尺度缩小而呈指数上升的,它最后将构成 MOSFET 缩小极限的主要因素。

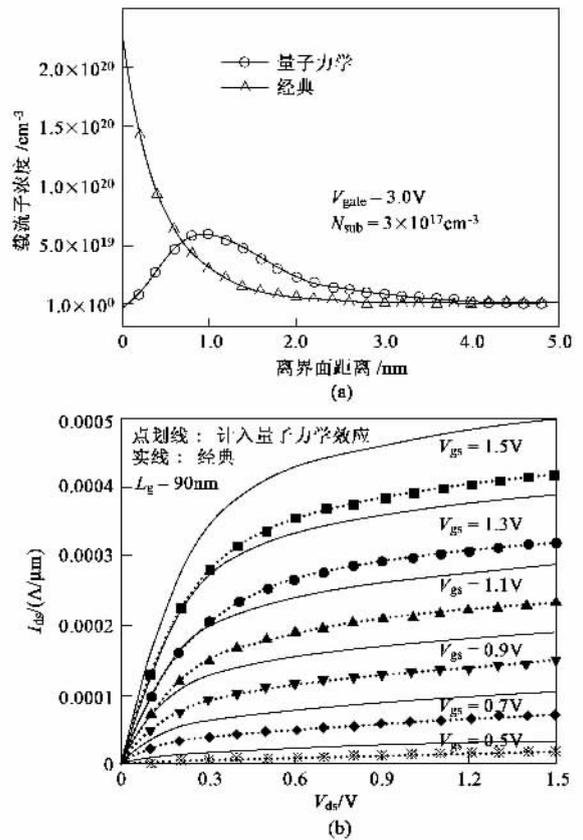


图2 MOSFET 的量子力学效应 (a)载流子分布改变 (b)驱动能力退化

## 3 终极(Ultimate)MOSFET 与纳电子器件<sup>[13,14]</sup>

本文对可能最小(达到性能极限)的 MOSFET 使用终极(ultimate)称号,而不说器件极限。把极限这一名词留用于下一节中的二值开关系统,在一定的意义上,后者是更为根本的限制。从上节的讨论可以看到,MOSFET 的缩小必定是有限制的,最后一定会达到其终极。从 ITRS 也可看出,这一终极点大致在 2018 年前后就会到来(见表 1)。MOSFET 终极参数和性能大致可用以下方法来推断:芯片的几何尺寸和硅的热导率决定了它的热阻,后者决定了芯片的最高散热功率,亦即芯片最大功率;或者,在电池供电情况,电池的贮能量决定芯片最大的实用功率。随着器件尺寸的减小、集成度提高,每个小尺寸器件的关态漏电将不断上升,为维持正常工作,漏电造成的功耗应只占总功耗的一小部份(如 10%),因而在芯片总功耗限定下,关态总漏电是受到限制的。反过来,这又限制了每个器件的栅 SiO<sub>2</sub> 的最小厚度(隧穿电流)和沟道长度(因 DIBL 和源漏直接隧穿导致的漏电流)。这样,最小尺寸原则上就被限定了,再加上电压值要满足最小 V<sub>T</sub> 和“按比例”缩小(穿通和击穿)等的要求,器件性能也就被限定了。对于纳米级 MOSFET 的另一个限制是载流子漂移速度饱和,它导致器件的开关延时被限定为大于 L<sub>E</sub>/v<sub>s</sub>,其中 L<sub>E</sub> 为有效沟道长度, v<sub>s</sub> 为饱和速度。

CMOS 开关是一种经典的二能级开关,关态对应低能级,开态对应高能级。开关打开时,需要作功,设作功功率为 P<sub>d</sub>,若能级差(即开关能量)为 E<sub>b</sub>,作功延时为 τ 则:

$$\tau = E_b/P_d \text{ 或 } E_b = \tau P_d \quad (1)$$

对于 CMOS 开关,“开”等于向电容 C 充电至电压 V,而“关”为放电到电压 V=0,所以

$$E_b = \frac{1}{2}CV^2 \quad (2)$$

具体的 C 和 V 决定了一个特定开关系统的 E<sub>b</sub>。把关系(1)画在 logτ ~ logP<sub>d</sub> 图上为以 E<sub>b</sub> 为参数的、与坐标轴呈 45° 的一族直线(见图 3)。一个 E<sub>b</sub> 值对应一个开关系统,随着 C 和 V 按比例缩小, E<sub>b</sub> 不断缩小。小的 E<sub>b</sub> 对应地可以得到以更小的功耗,取得更快的开关速度,所以称 E<sub>b</sub> 为开关的优值。微电子的发展过程实际上是设法使 E<sub>b</sub> 不断减小的过程。从上面讨论中可见, MOSFET 终极尺寸与应用条件有关,如高性能(HP)应用,要尽量用到 P<sub>d</sub> 最大、τ 最小;对电池供电的可移动系统应用, P<sub>d</sub> 受到电池供电能力的制约, I<sub>off</sub> 有严格限制,且相应 P<sub>d</sub> 要小得多, τ 会相应地增大些。图 3(a)中列出了 ITRS 几个节点的

高速(HP),低功耗(LOP)和低维持功耗(LSTP)应用对应的 MOSFET 工作点,可见它们被限制在一个范围逐渐缩小的犄角之中,最后一截角线是其发展的终极(300K 下)。理论计算得到的终极 MOSFET 性能与 ITRS 的 2018 年预测值基本一致。相应的最低 E<sub>b</sub> 约为 10<sup>-18</sup>J, τ ~ 10<sup>-13</sup>s 量级。图 3(b)是近年国际上发表的部分实验室结果。

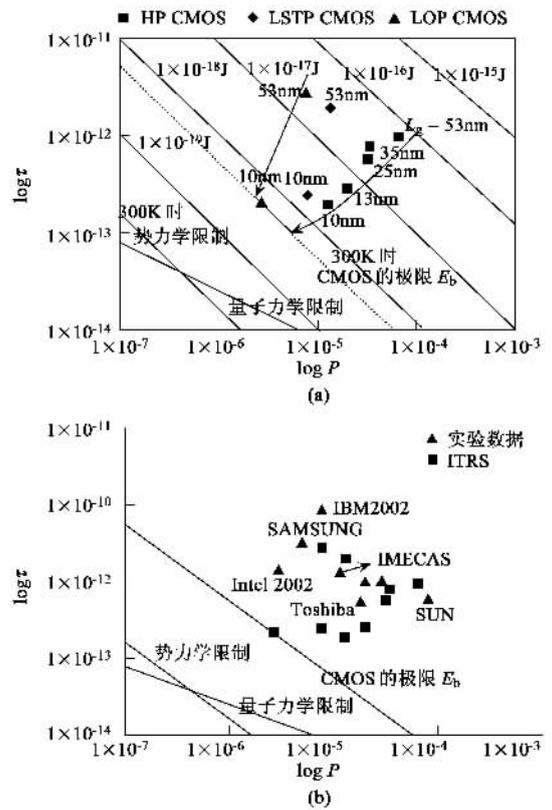


图 3 CMOS 的 logτ 与 logP<sub>d</sub> 关系 (a)各数据点为 ITRS 预测,其中:HP 为高性能应用,LOP 低功耗应用,LSTP 低维持功耗应用 (b)实验室数据,其中 IMECAS 为中国科学院微电子研究所

终极 MOSFET 的临近表明,今日的以硅 CMOS 开关为基础的传统微电子发展正在接近一个严重关隘。有鉴于此,近年来学术界提出了一批“新兴”器件,用以取代 MOSFET,以期 Moore 定律得以继续发展。本文把它们统称为纳电子器件。这里的纳电子是指基于非传统 MOSFET 的、新物理机理的纳米尺寸开关器件。以下是几个例子。

(1) 低维量子结构器件:

MOSFET 是二维量子器件,若将其另一维的电子运动也局域化,则构成一维电子器件。一维器件(量子线结构)中只允许有前向和反向的载流子散射,使其迁移率大大提高,且容易达到弹道传输。半导体纳米碳管(SC-CNT)<sup>[15]</sup>是一种理想的一维量子

线,一维输运加上有理想完美的线壁,载流子散射几率很小,可以达到极高的电子迁移率.已经研制出的 CNT FET,迁移率已有超出  $10^5 \text{ cm}^2/\text{V} \cdot \text{s}$  的,且很有可能达到弹道输运,从而使 CNT FET 的工作速度有望突破传统 MOSFET 的 Ultimate. 三个方向运动都局部的零维结构叫做量子点.由于库仑排斥作用,在纳米范围产生了所谓库仑阻塞效应.用此可构筑极高密度的存贮器,还可用适当办法制成由栅极调制的 FET——单电子晶体管(SET)<sup>[16,17]</sup>. SET 除了可达到高密度外,更有高速、低功耗的潜力,突破 Ultimate MOSFET 的  $E_b$ .

(2) 共振隧道二极管(RTD)、三极管(RTT)<sup>[18,19]</sup>

用制备异质结构的方法,形成一个二个纳米级厚的电子势垒(准一维)中间夹一个纳米级电子势阱的结构.势阱中的电子能态分布近似为孤立能级.源与漏(二势垒层的二侧)极加电压,当源的费米能级与阱中电子某一能级持平时,发生电子的共振隧道穿透,电流急速上升,电压再升高,则电流反而下降,出现了  $I-V$  特性中的负微分电阻(NDR)效应.这种具有负阻结构的二极管,称为 RTD,可用于制作存贮器、振荡器,构建逻辑电路.如加上第三极作栅,以调制阱中的能级位置,就组成了共振隧道三极管 RTT.共振隧道二极管(RTD)和三极管(RTT)的开关是通过电子量子隧道过程实现的,有极高的开关速度.经过优化,可望达到二能级开关物理极限的性能.

(3) 超导量子干涉器件(SQUID),高速单磁通量子逻辑电路(RSFQ Logic Circuits)<sup>[20,21]</sup>

含有约瑟夫森结的超导环,可构成极好的非挥发的二值信息存储器和逻辑计算器件.后者系利用超导体的宏观量子干涉效应,被称为 SQUID. SQUID 逻辑电路,在合适的偏置下,可在只改变“0”“1”置换时)单个量子磁通下进行,实行高速单磁通量子(RSFQ)逻辑. RSFQ 逻辑是基于量子行为组成的电路,在纳米尺寸下 SQUID 开关速度很高,RSFQ 依靠单磁通工作,原则上仅需要很小的能量.所以 RSFQ 逻辑有望达到很低的、超过传统 CMOS 的 Ultimate  $E_b$ . 超导量子干涉器件(SQUID)的另一重要的、有希望的用处是成为量子信息处理的一种固态量子位.

(4) 自旋电子学(Spintronics)<sup>[22,23]</sup>

以调制电子的自旋状态为机制的器件统称为自旋电子器件,构成的电子学为自旋电子学.基于自旋效应的巨磁阻(GMR)已成功地用于磁头读出等磁

传感器.隧道磁阻(TMR)的发明为成功地研制高密度的、不挥发随机存贮器创造条件.后者是新一代 ULSI 存储器的代表之一.近年自旋极化的电子向半导体注入的实验突破,使自旋 FET(SpinFET)<sup>[24]</sup>的实现出现曙光.铁磁膜的磁化方向是可以外磁场改变的,又是记忆媒介,SpinFET 把电子开关与磁的存贮特性结合了起来,形成了功能器件,将在 ULSI 芯片的灵活性等许多方面带来新的前景.而且,原则上自旋的两个状态的能级分离,即  $E_b$  很小,所以,此类器件有望是高速和甚低功耗的.固体中的电子自旋也可望成为实现量子位的一种载体.

(5) 分子电子器件、分子电子学(Molecular electronics)<sup>[25,26]</sup>

自然或合成的大分子是天然的纳米结构.不少分子结构中的电子行为可用于制造电子开关和其他功能器件.分子中电子间位置相距为 1nm 量级,其间可造成电子转移的化学势差为 0.12—1eV 之间,转移速度可达皮秒级.这些都很吸引人去用它制作快速、低功耗开关器件.人们可选用花样繁多的分子结构来构筑器件,实际上,前面提出的量子点器件、共振隧道器件等,均可选用合适的分子结构来实现.一般来说,分子合成成本较低,分子结构鲁棒性好,不少分子有自组装等特点,等等,这些都是发展分子电子学的根据.

近年来,人们特别关注以自然的生物大分子构筑电子器件,一门被称为纳米生物电子学的学科正在形成.生物分子鲁棒性强,有自组织、自修复和自组装能力,更重要的是,许多生物分子本身就是多功能的器件、甚至整个信息系统,例如:蛋白质分子本身就是一个有机的计算机.生物分子电子学不仅在器件一级开拓了新的一页,还为信息系统革命提供许多有意义的启示.

## 4 经典二能级开关系统极限与电子信息 系统革命

现代信息处理技术建立在二值逻辑之上,其硬件实现是上面所讨论的经典二能级开关.对任何二能级开关,公式(1)都是成立的.不同的纳电子器件以其具体结构和工作条件组成不同  $E_b$  值和相应的  $\tau$  与  $P_d$ ,最终它们将决定处理系统的能力. CMOS 开关系统有其终极  $E_b$  和  $\tau$  及  $P_d$ ,一些新兴的纳电子器件有望突破这一终极性能,使 Moore 定律进一步

向前发展.例如 :CNT 有高速可能 ,分子电子器件有利于低功耗等等.图 3 中 ,我们还画出了两条对任何经典二值系统都有效的极限线 :一是  $E_b = k_B T \cdot \log_2$  ,是统计热力学极限 ;二是  $P_d \cdot \tau^2 \geq \hbar$  ,由量子力学测不准原理所决定.在 CMOS Ultimate 与量子力学和热力学极限之间的区域是纳电子的发展余地.要突破后一个限制 ,则必须采用非二值器件 ,在系统上进行革新.

信息处理的目的是以一定的能量、在尽量短的时间内 ,完成对一个具体问题的求解(答案).所以 ,从系统性能的优劣看 ,关键指标是用每焦耳能量、每单位时间内 ,能实现解题(计算)的次数(频率).设一个芯片的最大功率耗散为  $P_{\max}$  , $N$  为实现特定计算(求解)所需要的同时工作、集成开关器件数目 ,而每个开关的性能由参数  $E_b$  , $P_{\max}$  所决定 :

$$P_{\max}/N = E_b \cdot f \text{ 或 } P_{\max}/E_b = f \cdot N. \quad (3)$$

(3)式指出二点 :即 ,作为系统芯片的基本资源(硬件)其  $P_{\max}$  越大 , $E_b$  越小越好 ,因为可以达到越高的  $N \cdot f$ . 提高  $P_{\max}/E_b$  是前面讨论过的器件级技术优化的任务.我们已知道 ,它会面临极限的.在此情况下 ,我们更应重视  $N$  ,因为在等同的  $P_{\max}/E_b$  条件下 ,如能用越小的  $N$  去解决一个问题 , $f$  就可以越大.这就是系统改革问题.实际上 ,我们通过以 RISC(简约指令集计算机)指令系统取代了 CISC(复杂指令集计算机) ,并把 Cache 和一些高速算法和电路集成为 SOC ,在几乎是同样的  $N$  下 ,通用 CPU 的操作率有了几个量级的提高.而在通用 DSP 结构中 ,加上与视频图像处理相关的高速算法电路模块 ,仅以少量的开销(增大  $N$ ) ,就可大大提高 VSP(视频信号)处理的能力所能及(大大提高  $f$ ).

当前信息处理系统的解题过程包括 :建立物理模型 ,提出解题的算法 ,在此基础上排出计算程序 ,最终控制一个已固定结构的各开关器件 ,一步步去执行完成.可见 ,从开关到系统实现解题 ,存在很多环节 ,它们的合理性被综合地反映在  $N$  上 :模型越好 ,算法越快 ,结构越合理 , $N$  就越小 ,解题就越快.

(3)式又可写成

$$f/P_{\max} = 1/N \cdot E_b \text{ (每焦耳解题率)}. \quad (4)$$

也就是说 ,为了提高系统的操作效率可通过 (a)降低  $E_b$  (b)降低  $N$  来实现.在  $E_b$  临近极限时 ,降低  $N$  就尤为重要.后者实际上提出了微电子系统改革的根本问题 :用比当前传统的处理方法更有效的技术和系统来处理信息 ,以满足日益增长的信息需求.

把当前的微电子 CMOS 开关的一些技术指标和

系统功能与人脑的神经元及其系统功能作一比较 ,人们就会发现 :CMOS 开关速度 , $10^{-10} \sim 10^{-11}$  s ,比神经元的  $\sim 10^{-3}$  s ,要快 7—8 个数量级倍 ,两者的集成密度与开关功耗相差不多 ,但是 ,人脑处理智能问题 ,其并行性、学习能力、可修复性等等 ,却是今日最聪明的“电脑”远所不及的.这里当然不是元器件而是系统问题.

受到生物学高速进展的鼓舞 ,借助于现代生物学与认知科学的成果 ,信息科学界对处理系统基本概念的创新进行了广泛的推讨.这在微电子学中称为 bio-inspired 器件和系统的研究.人们相信 ,相关的探索可导致信息电子学的又一次革命.

量子信息处理是从物理学深层突破经典二能级系统 ,从而改变信息处理面目的另一个重要方向<sup>[27—29]</sup>.

经典开关只利用二能级系统两个稳态的信息 ,即仅利用了描述粒子性的信息 ,而完全忽略了与波动性相关的 ,如相位、相干等信息.量子信息处理就是要把所有的丰富的量子信息利用起来构成信息处理系统 ,以提高处理效率.量子信息处理把一个二能级的量子状态定义为一量子位(qbit).由于存在叠加态 : $(| \varphi \rangle = a | 0 \rangle + b | 1 \rangle , | a |^2 + | b |^2 = 1)$  ,一个量子位不只含有单一状态(如经典情况的“1”或“0”)而是同时包含两个(经典)状态的相关信息.也就是说 ,经典二能级的一位仅代表二值信息中的一个信息 ,一量子位则包含与“0”和“1”相关的 2 条信息.两量子位(2qubit)系统 ,有

$$| \varphi \rangle = a | 00 \rangle + b | 01 \rangle + c | 10 \rangle + d | 11 \rangle , \quad (5)$$

$$| a |^2 + | b |^2 + | c |^2 + | d |^2 \quad (6)$$

其中 : $| 00 \rangle = | 0 \rangle | 0 \rangle$  , $| 01 \rangle = | 0 \rangle | 1 \rangle$  , $| 10 \rangle = | 1 \rangle | 0 \rangle$  , $| 11 \rangle = | 1 \rangle | 1 \rangle$  ;即 : $| 00 \rangle$  代表第一 qubit 为  $| 0 \rangle$  ,第二 qubit 也为  $| 0 \rangle$  ,而  $| 01 \rangle$  代表第一 qubit 为  $| 0 \rangle$  但第二 qubit 是  $| 1 \rangle$  等等.经典的二位是(00、01、10、11)4 条二值信息中的一条 ,对应二个量子位系统 ,则二值信息升至  $2^2$   $n$  量子位 ,比之  $n$  经典位 ,信息量就由  $2^n$  增加到  $2^{2^n}$ .随着  $n$  的增加 ,其处理的信息空间变得十分巨大.物理上 ,对经典位或量子位的一次操作都是使某一个信息位的载体的状态发生一个特定的改变(如对于自旋系统 ,经典处理是使自旋倒向 ,而量子处理则使自旋方向作某种旋转) ,所以操作需要的能量应该是大致相同的.量子计算的高信息量处理能力 ,原则上是靠其处理并行地得到的.由此可见 ,量子计算 ,量子信息处理 ,比之经典处理 ,可望在

处理效率上有革命性的突破。

量子计算机的理论设想是 20 世纪 80 年代前后由一批物理学家提出的。现在,量子门,量子电路,量子测量,量子编码、纠错和容错技术等理论上已经成熟,量子计算的深层次理论基础正在发展中。Shor (1994)<sup>[30]</sup>和 Grover(1995)<sup>[31]</sup>分别提出大数的素数分解和大数据库的随机搜索两种量子算法(前者把传统计算中,随大数字长  $N$  而指数增长的问题降格为多项式增长问题,后者则把正比于  $N$  的计算工作量下降到正比于  $\sqrt{N}$ ),显示了量子计算和量子信息处理的强大功能,量子信息处理更成为信息科学技术的一个前沿发展热点。

现在的关键在于,如何具体实现量子计算机,并提出更多的、高效的量子算法。这都有赖于物理学家和信息科学家的紧密合作。

当前,最成功的量子计算机的实验室实现,是用分子中的原子核自旋作量子位的核磁共振(NMR)方法,计算的量子位数最多可达到 9—10 位。由于利用溶液试样,实行的是系综统计方法,再提高量子位数相当困难。要真正制成(量子位数)可扩展(scalable)的,又有好鲁棒性的量子计算机,还是要靠固态实现。量子计算的实现有以下几个条件:

- (1) 鲁棒性强、去相干时间长的量子位载体;
- (2) 量子位数可扩展;
- (3) 量子位要易于操作,可对系统设置可靠的初始状态;
- (4) 量子位要能构成合适的基本量子门,并可实现操作;
- (5) 整个量子计算的过程中,系统必需处于量子相干的条件之下;
- (6) 计算结果可以通过外界仪器实行测量。

当前已被提出,有的正在发展的固态实现方法有:超导量子位,量子点中的电子自旋作量子位,不同偏振的光子或光传输模式作量子位,硅中杂质的核自旋作量子位和全硅量子计算等。其中超导量子计算进展较大。基于硅技术的量子计算机,因其与 CMOS 技术可以兼容,而倍受注目。

可以预期,21 世纪的信息处理技术将建立在两个平行而互补的基础之上:一是以大大发展了的今天的传统 CMOS 为平台,大力发展 SOC;另一是发展量子信息处理(还包括一些其他的生物学激励而生的处理新方法)等崭新的、用于解决一些专门问题的处理平台。后者实际上是把信息处理和现代的实验室融为一体。无论是两者中的那一种,固态实现

的电子学仍将起到关键的作用,因此都可说是现代微电子的延伸,是电子学的又一次革命。这一次革命仍将以近代物理学(也包括生物物理学,生物信息学)为其坚实的后盾。

## 5 结论

本文从微电子技术的发生、发展,论述了它与物理学的深刻渊源和密切的相互推进关系。21 世纪,信息电子学面临新的挑战 and 新的形势,要求人们对物理学与信息科学紧密关系的认识,提升到新的、更高的水平。

## 参 考 文 献

- [1] Bardeen J, Brattain W H. Phys. Rev., 1948, 71 230
- [2] Kahng D, Atalla M M. IRE Solid State Device Res. Conf., 1960, Pittsburgh
- [3] Lilienfeld J E. US Patent 17451751930
- [4] Moore G E. Electronics, 1965, 19(4): 114
- [5] Dennard R H *et al.* IEEE J. Solid State Circuits, 1974, Sc9: 256
- [6] ITRS, <http://public.itrs.net/Files/2003ITRS/home.htm>
- [7] Stulen R H. IEEE J. of Select Topics in quantum Electronics, 1995, Sept. p. 970
- [8] Harriott I R. J. Vac. Sci. Technol., 1996, B14 3825
- [9] Taur Y *et al.* Proc. IEEE, 1997, 85 486
- [10] 李志坚,周润德. ULSI 器件、电路、系统. 北京:科学出版社 2000
- [11] Keyes P W. Proc. IEEE, 2001, 89 227
- [12] 马玉涛. ULSI 器件中的量子力学效应和量子隧穿. 清华大学博士论文 2001
- [13] Frank D J *et al.* Proc. IEEE, 2001, 89 259
- [14] 李志坚. 半导体学报 2003, 24(suppl.): [Li Z J. Chinese Journal of Semiconductors 2003 24 (in Chinese)]
- [15] Dreselhaus M S *et al.* Carbon Nanotubes. Springer - Verlag, Berlin - Heiderberg, New York 2001
- [16] Wind S J *et al.* Appl. Phys. Lett., 2002, 80 3817
- [17] Yano K *et al.* Proc. IEEE, 1999, 84 633
- [18] Kastner M A. Rev. of Modern Phys., 1992, 64 849
- [19] Ricco B, Azbel M. Phys. Rev., 1984, B29 1970
- [20] 李国华. 物理 2001 30 506[ Li G H. Wuli(Physics), 2001, 30 506(in Chinese)]
- [21] <http://Pavel.Physics.Sunysb.edu/RSFQ>
- [22] Johnson M. Proc. IEEE, 2003, 95 652
- [23] 夏建白,常凯. 物理 2001 30 533[ Xia J B, Chang K. Wuli (Physics) 2001 30 533(in Chinese)]
- [24] Datta S, Das B. Appl. Phys. Lett., 1990, 56 665
- [25] Aviram A, Ratner M. R. Chem. Phys. Lett., 1974, 29 277
- [26] 朱道本,刘云圻. 物理, 1993, 22: 140[ Zhu D B, Liu Y Q. Wuli(Physics), 1993 22 140(in Chinese)]
- [27] Nielsen M A, Chuang I L. Quantum Computation and Quantum Information
- [28] 郭光灿. 物理 2001 30(5) 286[ Guo G C. Wuli(Physics), 2001 30 286(in Chinese)]
- [29] 段路明,郭光灿. 物理, 1998, 27 53[ Duan L M, Guo G C. Wuli(Physics), 1998 27 53(in Chinese)]
- [30] Shor P W, SIAM J. Comp., 1997, 20 1484
- [31] Grover L K. Phys. Rev. Lett., 1997, 79 325