

石墨烯的量子电容^{*}

邱晨光 徐慧龙 张志勇[†] 彭练矛

(北京大学纳米器件物理与化学教育部重点实验室 北京大学电子学系 北京 100871)

摘要 量子电容在半导体纳米材料和器件中是一个日趋重要的参数,测量和提取石墨烯的量子电容,不仅可以得到石墨烯的重要物理性质,而且对石墨烯晶体管的尺寸缩放行为具有重要指导意义. 文章中采用简单工艺在石墨烯上制备出均匀超薄的高质量 Y_2O_3 栅介质,其等效栅氧厚度(EOT)可缩减至 1.5 nm,通过控制栅介质厚度的变化,精确测量并提取了石墨烯量子电容,其电容值在远离狄拉克点时与理论计算相符合;在此基础上,文章作者提出了基于电势涨落的量子电容微观模型,通过采用单一参数——电势涨落 δV ,可以定量地描述 Dirac 点附近的量子电容行为,从而在全能量范围内实现对石墨烯量子电容测量值的完美拟合,并得到了石墨烯的相关重要参数. 进而,作者从量子电容的角度,探索了石墨烯晶体管的性能极限,并比较其相对于 III-V 族场效应晶体管的潜在优势.

关键词 石墨烯,量子电容,顶栅场效应晶体管,纵向缩放, Y_2O_3

Quantum capacitance in graphene

QIU Chen-Guang XU Hui-Long ZHANG Zhi-Yong[†] PENG Lian-Mao

(Key Laboratory for the Physics and Chemistry of Nanodevices, Department of Electronics, Peking University, Beijing 100871, China)

Abstract Quantum capacitance is an increasingly important parameter in semiconducting nanomaterials and devices. By measuring and extracting the quantum capacitance of graphene, we can infer important physical properties of graphene, and it is also a useful guide for the vertical scaling of graphene field-effect transistors. In this work, a new simple method has been used to fabricate ultrathin, high-quality Y_2O_3 gate dielectric on graphene with an equivalent oxide thickness as low as 1.5 nm. By changing the thickness, the quantum capacitance has been accurately measured and extracted, with results that agree well with the theoretical calculation when far away from the Dirac point. Furthermore, a microscopic model of the quantum capacitance based on potential fluctuations has been developed which can quantitatively describe the measured values near the Dirac point through use of the single parameter-potential fluctuation. Our model fits the experimental results excellently throughout the whole energy range. In addition, we have explored the performance limits and potential advantages of graphene transistors compared with III-V field-effect transistors from the perspective of quantum capacitance.

Keywords graphene, quantum capacitance, top-gate FET, vertical scaling, Y_2O_3

1 引言

国际半导体路线图委员会(ITRS)指出,在2020年之前,硅基互补金属氧化物半导体场效应晶体管(CMOS)技术将达到性能和物理极限^[1],因此迫切需要开发新材料代替硅来延续摩尔定律. 作为近年来最为热门的纳米电子学材料,新型碳基材料石墨烯具有超高的载流子迁移率和超薄的(单原子

层)厚度,并且其制备工艺可以满足大规模生产的要求,因此很有希望代替硅而作为沟道材料以继续延续摩尔定律,从而引起了研究人员广泛的关注. 众所周知,硅基 CMOS 技术的发展沿用自上而下(scaling-down)路线,即通过尺寸缩减来提高器件性能

^{*} 国家重点基础研究发展计划(批准号:2011CB933001; 2011CB933002)资助项目
2012-05-03 收到

[†] 通讯联系人. Email: zyzhang@pku.edu.cn

(速度和功耗),减少器件面积,从而增加集成度,这也是发展其他电子学技术必须遵循的准则.而要缩减器件的横向尺寸,必须同时缩减纵向尺寸来保持栅极对沟道电导有足够的静电控制能力,而纵向尺寸的缩减会使得栅电容迅速增大,当栅介质电容的量级增大至与量子电容相当时,沟道半导体材料的量子电容的影响开始变得重要.因此,人们纷纷开始研究石墨烯的量子电容,并探讨其对石墨烯电子器件输运性质的影响.

研究石墨烯量子电容有极其重要的意义.首先,通过对石墨烯量子电容的测量,可以精确地得到石墨烯的态密度;其次,石墨烯作为一种单原子层材料,其载流子输运更容易受到外界影响,比如当受到散射时,这种常用的通过电子输运的测量方法容易受到散射的干扰,很难准确得到石墨烯本身的性质,因此量子电容的测量可以作为电输运测量的一个很好的补充,用来研究石墨烯本身的性质;最后,作为纳米电子器件,石墨烯晶体管在其尺寸缩减时,同样会面临量子电容的影响,而且石墨烯的量子电容与传统二维和三维半导体材料都完全不同,这就意味着它对晶体管性能的影响也不同于以前的任何器件.而且,如何精确测量和提取石墨烯量子电容,是石墨烯电子学的一个重要研究难题.要测量石墨烯的量子电容,首先需要在石墨烯上制备出超薄高质量的栅介质,使得栅电容增大到与量子电容可以比拟的量级;另外,在测量出的栅电容中,总是同时包含栅介质电容和石墨烯量子电容,很难严格地将栅介质电容去除,故得不到精确的量子电容.本文介绍了我们在石墨烯量子电容方面的工作,即通过在石墨烯上生长超薄 Y_2O_3 栅介质,准确测量了石墨烯的量子电容,并进一步提出微观模型来拟合量子电容测量值.

2 量子电容的定义

量子电容最早是由 Surge Luryi 在 1987 年研究 AlGaAs/GaAs 二维电子气系统时提出的^[2].量子电容反映了电子填充体系有限的量子态的过程.如图 1(b),(c)所示,在对体系充电时,体系会积累电荷.受泡利不相容原理的限制,载流子从电极板的低能态逐渐向高能态填充时,会造成费米能级的移动.该过程相对外部电路而言,可等效于一个电容.然而,对于常规体系,如宏观半导体或金属材料,其量子态密度(DOS)充分大,电荷有限的积累量不足以

使费米能级发生明显的移动(见图 1(b)),其对应的量子电容为无限大;相反(如图 1(c)所示),对于低维半导体体系(如二维电子气等),其受量子局限而态密度较小,需要显著移动费米能级才能使材料积累一定数量的载流子.对于 MOS 结构的场效应管,若沟道态密度有限,则需要更大的栅电压来改变沟道载流子浓度,从外部表现为场效应晶体管的开态电流和跨导受限制,称为量子电容限制(或态密度限制 DOS bottleneck)^[3].从上面的讨论可知,量子电容定义为^[4]

$$C_Q = \frac{dQ}{dV_{ch}}, \quad (1)$$

其中 V_{ch} 为材料的电势,满足 $V_{ch} = E_F/q$, Q 为材料中积累的净电荷浓度.在绝对零度下,量子电容可简化为如下形式^[4]:

$$C_Q(V_{ch}) = q^2 \text{DOS}(qV_{ch}). \quad (2)$$

由此可见,在忽略热激发载流子的情况下,材料的量子电容与态密度成正比.应注意到态密度通常是一个很大的物理量,因此量子电容的影响只有在态密度较小的材料中显著.通过对低温下量子电容的测量来研究材料的态密度,这是电子学中一种重要的研究方法.结合石墨烯在狄拉克点附近的量子电容与态密度的关系,可得到理想石墨烯的量子电容随石墨烯电势变化的关系为^[5]

$$C_Q = \frac{2q^2 kT}{\pi(\hbar v_F)^2} \ln \left[2 \left(1 + \cosh \frac{qV_{ch}}{kT} \right) \right]. \quad (3)$$

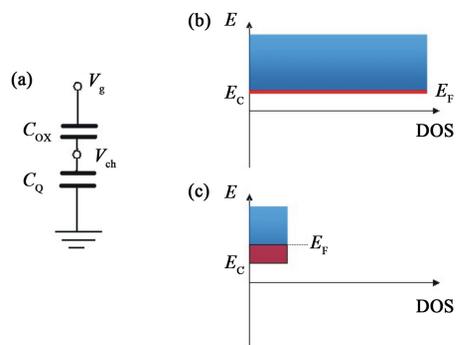


图 1 量子电容原理图 (a)MOS 器件的栅结构的等效电路示意图;(b)当态密度无限大时,载流子全部聚集在能带底部,即 $E_F = E_C$;(c)当态密度有限时,载流子占满低能态后向高能态填充, $E_F > E_C$

3 石墨烯量子电容的研究现状

目前石墨烯量子电容的研究主要集中在如何对其进行精确测量.测量的基本方法是在石墨烯上制备出 MOS 结构,通过测量栅电容来提取出石墨烯

量子电容. 栅总电容 C_{tg} 实际为栅氧化层电容 C_{ox} 和沟道半导体材料量子电容 C_{Q} 的串联(如图 1(a)所示), 因此, 只有当栅氧化层电容达到与量子电容相当的量级时, 量子电容才对栅电容影响显著, 从实验中提取的量子电容才更准确. 然而, 在石墨烯上生长高质量、超薄的高介电常数 (high- k) 栅介质极具挑战性^[6-8]. 石墨烯是化学惰性材料, 其二维平面两侧充斥着由碳原子 p_z 轨道相互交叠所形成的离域大 π 键, 由于缺少悬挂键而很难使原子层沉积 (ALD) 前驱体附着, 因此用常规的 ALD 生长绝缘栅介质非常困难^[9,10]. 目前国际上解决这一难题的方法主要是采用在石墨烯上修饰一层种子层, 使 ALD 容易实现^[11-13]. 和硅衬底上所生长的栅介质相比, 用上述方法在石墨烯上生长的栅介质的致密性和质量相对较差, 为了防止栅泄露电流和栅氧击穿, 必须将介质厚度控制在 10nm 以上, 等效栅氧化层厚度 (EOT) 不小于 6nm, 因此从栅电容测量值中很难精确提取出量子电容. 例如, IBM 研究组在 2008 年采用 10nm 的氧化硅作为栅介质, 首次测量了石墨烯的量子电容, 而由于栅电容只有量子电容的 1/10, 所测出的实验值仅为理论值的 1/2^[6]. 为了避开难以在石墨烯上制备出高质量超薄栅介质的问题, 人们考虑采用电解液与石墨烯形成的电双层层作为栅介质, 实现超高栅电容, 比如含离子的溶液 1-丁基-3-甲基咪唑六氟磷酸盐 (BMIM-PF₆) 作为电介质, 其电双层厚度减小到 1nm 以下^[14], 静电电容超过 $20\mu\text{F}/\text{cm}^2$, 然而液态栅介质中的离子运动会严重干扰石墨烯的电学测量, 影响测量的准确性, 并且液态栅的可靠性很差, 不能集成于固态电路中. 综上所述, 如何制备出超薄固态栅介质成为精确测量石墨烯量子电容的关键, 也成为制备高跨导石墨烯顶栅器件的瓶颈问题.

4 石墨烯量子电容的测量与提取

4.1 石墨烯上 Y_2O_3 层的制备

在早期的研究中, 我们发现, 金属钇 (Y) 与 SP^2 杂化的碳材料有很好的浸润性, 如碳管和石墨烯^[15,16]. 另外, 具有低功函数的 Y 易与氧气发生反应而生成稳定的氧化物 Y_2O_3 . 由此我们开发出 Y_2O_3 介质层工艺: 首先在石墨烯样品表面用电子束蒸镀一层 2—5nm 厚的金属 Y 膜, Y 与石墨烯之间有良好的浸润性, 使得石墨烯上所蒸镀的 Y 层非常均匀, 之后, 立刻在空气中和在 180—300℃ 条件

下氧化 10 分钟, 于是在石墨烯上就可得到厚度均匀的 Y_2O_3 栅介质^[17-19].

生长过程中应注意以下问题: (1) 避免自然氧化. 镀在石墨烯表面的 Y 膜在空气中室温下可自然氧化成分散的小岛, 故应尽量缩短蒸镀 Y 和高温氧化两个步骤之间的时间间隔; (2) Y 膜过厚无法完全氧化. 实验表明, 180℃ 时只能完全氧化 3nm 以下的 Y 膜, 氧化温度升高到 300℃ 时, 能完全氧化 5nm 厚的 Y 膜; (3) 退火可提高栅介质质量. 如图 2(c), (d) 所示, 将氧化后的样品在 $\text{Ar}:\text{H}_2=5:1$ 的混合气中和 300℃ 下退火 1 小时后, 器件 $C-V$ 曲线回滞明显较小, 且狄拉克点回归到原点附近; (4) 高温氧化可提高迁移率. 将 Y_2O_3 生长温度从 180℃ 提高到 270℃, 可以使载流子迁移率提高约 2 倍^[18].

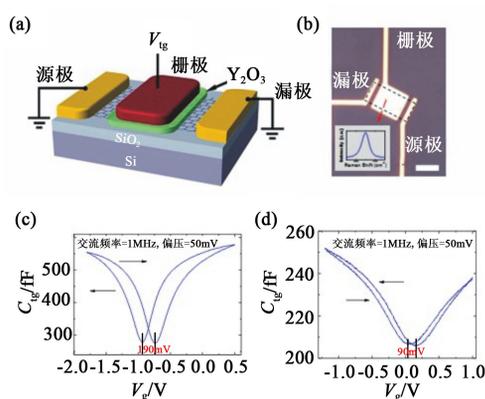


图 2 测量石墨烯量子电容所用的石墨烯 Y_2O_3 顶栅 FET (a) 器件结构示意图, 其中 MOS 电容结构为 $\text{Ti}/\text{Au}-\text{Y}_2\text{O}_3$ -石墨烯, 衬底为 $300\text{nmSiO}_2/\text{Si}$; (b) 器件的光学照片, 其中 $W=4.5\mu\text{m}$, $L=7\mu\text{m}$; 器件源(漏)和顶栅电极的间距为 $1.2\mu\text{m}$ (引自文献^[17]); (c) 石墨烯上蒸镀 2.3nm Y 膜在空气中 180℃ 氧化 10min, 未经过退火处理, 对应的 $C-V$ 曲线回滞为 190mV; (d) 石墨烯上蒸镀 3.3nm Y 膜在空气中 180℃ 氧化 10min, 之后 $\text{Ar}/\text{H}_2=5:1$ 混合气中 300℃ 退火 1 小时, 对应的 $C-V$ 曲线回滞为 90mV

4.2 用于测量石墨烯量子电容的 MOS 结构

为了测量石墨烯量子电容, 需要制备采用 Y_2O_3 作为顶栅介质的 MOS 结构. 具体过程如下: 先将石墨烯转移到长有 300nm 二氧化硅的硅片上, 用氧等离子体刻蚀出石墨烯沟道, 按上述工艺在石墨烯上制备超薄 Y_2O_3 层作为栅介质, 最后用电子束蒸镀 5/45nm 厚的 Ti/Au 作为栅源漏电极. 其中覆盖石墨烯的栅电极部分长 $7\mu\text{m}$, 宽 $4.5\mu\text{m}$, 栅电极与源漏电极的间距为 $1.2\mu\text{m}$. 图 2(a) 和图 2(b) 分别为器件的结构示意图和光学照片^[17]. 为了精确的测量栅电容, 应考虑以下非理想因素: (1) 待测栅电容值应远大于仪器的测量精度. 我们使用 Agilent

B1500 作为测电容仪器,其测量精度小于 1fF,而石墨烯器件 MOS 结构的面积足够大(在这里我们采用 $7\mu\text{m}\times 4.5\mu\text{m}$),其栅电容大于 200fF;(2)待测栅电容值应远大于 MOS 结构的寄生电容.衬底采用高阻硅以减小背栅寄生电容,源漏与栅的间距 ($1.2\mu\text{m}$) 足够大,以减小栅与源漏之间的寄生电容.我们用一个尺寸相同但栅下无石墨烯的对照结构来估计总寄生电容.测量结果表明,总寄生电容约 1 fF,远远小于栅电容约 200fF^[17].

4.3 石墨烯量子电容的测量结果

对石墨烯器件进行 $C_{\text{tg}}-V_{\text{tg}}$ 关系曲线的测量,结果发现,顶栅电容随栅压的调控变化可达 80%,表明石墨烯量子电容对总栅电容的贡献较大.由于 MOS 结构的栅电容为栅介质电容和石墨烯量子电容的串联,因此,只要求出 Y_2O_3 层对应的电容值,便可从栅电容曲线中提取出量子电容.然而石墨烯上生长的 Y_2O_3 的相对介电常数 κ 值未知,我们通过测量两个不同 Y_2O_3 厚度的器件的 $C-V$ 特性,把 Y_2O_3 相对介电常数 κ 和石墨烯的量子电容 C_{Q} 同时提取出来,这样就避免了拟合和对经验值的依赖,因此得到的量子电容也更精确.具体步骤如下^[17]:

对 Y_2O_3 厚度为 3.9nm 和 5.6nm 的两个器件分别进行 $C_{\text{tg}}-V_{\text{tg}}$ 关系曲线测量(见图 3(a)),然后对两条曲线进行积分,得到电荷量 Q 与栅压的关系(如图 3(b))^[17].应注意如下重要关系:对具有不同 Y_2O_3 厚度的两个器件,当积累相同的沟道电荷量 Q 时,它们对应相同的沟道电势 V_{ch} 和量子电容 $C_{\text{Q}}(V_{\text{ch}})$,但各自对应不同的栅电容和栅电压,并如下方程成立^[17]:

$$\begin{cases} \frac{1}{C_{\text{tg}}(V_{\text{tg}})} = \frac{1}{C_{\text{Q}}(V_{\text{ch}})} + \frac{t_{\text{ox}}}{\epsilon_0\kappa} \\ \frac{1}{C'_{\text{tg}}(V'_{\text{tg}})} = \frac{1}{C_{\text{Q}}(V_{\text{ch}})} + \frac{t'_{\text{ox}}}{\epsilon_0\kappa} \end{cases} \quad (4)$$

我们将沟道电荷为 Q 时所对应的两个器件的栅电容代入(4)式,得到沟道电荷为 Q 时所对应的量子电容 C_{Q} ,同时求出 Y_2O_3 的相对介电常数 κ 约为 10,结合之前由原子力显微镜(AFM)测得的栅介质厚度为 3.9nm 和 5.6nm,得到器件 1 和器件 2 中的 Y_2O_3 电容分别为 $2.28\mu\text{F}/\text{cm}^2$ 和 $1.56\mu\text{F}/\text{cm}^2$.由此便可进一步求出沟道电荷为 Q 时的栅氧化层所加的电压 V_{ox} 和沟道电势 V_{ch} .我们得到任意沟道电荷 Q 所对应的量子电容 C_{Q} 和沟道电势 V_{ch} ,于是作出 $C_{\text{Q}}\sim V_{\text{ch}}$ 曲线(如图 3(c)所示).我们用理想石墨烯量子电容公式(3)拟合实验曲线,得到费米速度 v_{F} 为

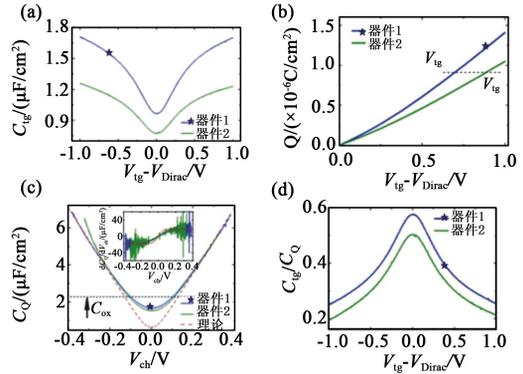


图 3 石墨烯量子电容的测量与提取 (a) 石墨烯 FET 的 $C_{\text{tg}}-V_{\text{tg}}$ 关系曲线, Y_2O_3 厚度分别为 3.9nm (器件 1) 和 5.6nm (器件 2); (b) 沟道电荷与栅压的变化关系,由图(a)的 $C_{\text{tg}}-V_{\text{tg}}$ 曲线积分得到; (c) 石墨烯量子电容的实验曲线(实线)和理论曲线(虚线); (d) $C_{\text{tg}}/C_{\text{Q}}$ 随 V_{tg} 的变化关系. 引自文献^[17]

$1.15\times 10^6\text{ m/s}$,与文献中报道的实验值相一致^[20,21].图 3(c)表明,在远离狄拉克点处实验值和理论值较吻合, C_{Q} 随 $|V_{\text{ch}}|$ 呈线性增加,斜率为 $18\mu\text{Fcm}^{-2}\text{V}^{-1}$;但在狄拉克点附近时,实验值偏离理论曲线而近似二次抛物关系.这一偏差在其他相关文献中均有报道^[6,22].另外,量子电容对栅电容的贡献可以通过 $C_{\text{tg}}/C_{\text{Q}}$ 来反映,如图 3(d) 所示,在狄拉克点附近 $\pm 0.1\text{V}$ 范围内,器件的氧化层电容大于量子电容^[17].

5 石墨烯量子电容的微观模型

前面提到,我们所测量的石墨烯量子电容在远离 Dirac 点处与理论结果符合得非常好,但是在 Dirac 点附近,则偏离了理论结果.这主要是因为石墨烯在狄拉克点附近时,其载流子浓度较低,容易受到基底或者表面吸附的电荷影响,出现电子-空穴泥浆,从而引起态密度的变化(如图 4(a),(b)所示).2008 年, J. Martin 等人用扫描单电子晶体管在 0.3K 的低温环境下观察到狄拉克点附近的电子-空穴泥浆,并测得实际的石墨烯样品平面处于呈高斯分布的电势涨落中,这就解释了石墨烯在极低温环境中平均载流子浓度为零的情况下,电导存在非零极小值的反常现象^[23].受其研究过程的启发,我们推断实际测量出的狄拉克点附近的量子电容是电势微观涨落的平均效应,从而建立了石墨烯量子电容的微观模型,具体过程如下^[19]:按微分学的方法,将石墨烯二维平面分成无限小面积的微元,每个石墨烯微元内电势涨落可忽略,因此每个微元对应的量子电容均符合石墨烯的理想量子电容公式(3).各微元彼此达到统计平衡,整个石墨烯平面具有统一的费米能

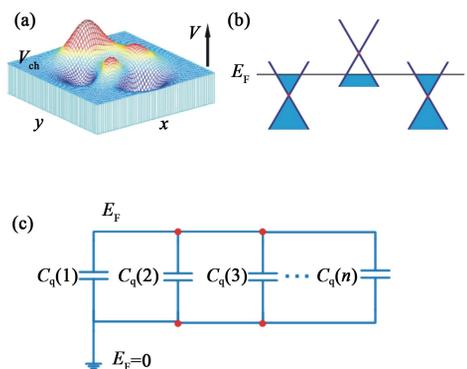


图4 量子电容的微观模型 (a)石墨烯面内的电势涨落示意图(文献中报道电势呈高斯分布);(b)电势涨落导致局部狄拉克点以及载流子浓度的涨落示意图;(c)各个量子电容微元的并联关系的等效电路图, C_q 是指微量子电容(引自文献[19])

级. 石墨烯样品的总的量子电容(面密度)应为所有微元量子电容的并联后的平均值(见图4(c)). 我们假设 $\text{SiO}_2/\text{石墨烯}/\text{Y}_2\text{O}_3$ 结构中的石墨烯面内电势也呈高斯分布, 则总量子电容应为对微元电容按电势分布函数进行加权平均^[19]:

$$C_Q(V_{ch}, \delta V) = \frac{\sqrt{2} q^2 kT}{\pi^{3/2} (\hbar v_F)^2 \delta V} \int_{-\infty}^{\infty} \ln \left[2 \left(1 + \cosh \frac{qV}{kT} \right) \right] \exp \left[- \frac{(V - V_{ch})^2}{2\delta V^2} \right] dV, \quad (5)$$

其中高斯函数的参数 δV 代表石墨烯面内电势涨落. 上式数值解法的结果如图 5(a) 所示. 调整参数 δV , 可发现如下规律: 电势涨落的增加引起量子电容最小值的增加, 使得实际量子电容在狄拉克点附近更加偏离理论值. 而在较大的沟道电势下, 栅电压吸引出更多的载流子, 其浓度远大于栅和衬底中杂质电荷引起的固定的载流子浓度涨落, 因而量子电容趋于理想石墨烯的理论值. 需要说明的是, 由于电势涨落的程度与衬底和栅介质中的杂质电荷浓度呈正相关, 故狄拉克点处的量子电容值越大, 表明石墨烯载流子受杂质电荷散射越严重, 因而样品迁移率就越小, 可以通过量子电容最小值的大小来估算迁移率. 我们拟合出 3 个器件的沟道电势涨落依次为 110mV, 98mV, 72mV, 且拟合程度非常好. (如图 5(b), (c), (d) 所示). 有文献报道, 热氧化 SiO_2 表面的电势涨落约 50mV^[23,24], 表明我们制备的 Y_2O_3 顶栅介质中的陷阱电荷较少, 其质量相当或优于热氧化生长的二氧化硅. 通过对量子电容测量值很好的拟合, 我们证明了石墨烯狄拉克点附近量子电容偏离理论的现象也源于局部电势涨落的影响, 这和石墨烯非零最小电导现象的成因相同.

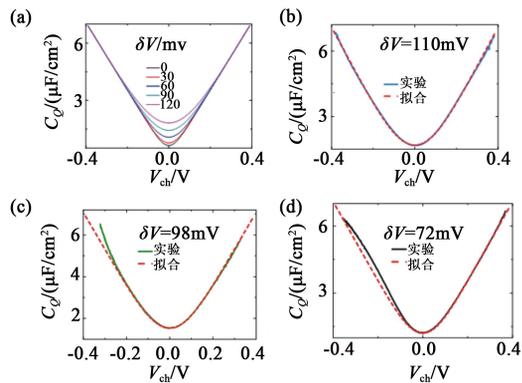


图5 用(5)式给出的量子电容微观模型对实验曲线进行拟合 (a)调整 δV 后得到的对模型曲线的变化规律;(b), (c), (d) 为对 3 个不同栅氧化层厚度器件的量子电容进行拟合的结果(引自文献[19])

6 石墨烯的量子电容与高性能石墨烯器件的设计

对于金属-氧化物-半导体(MOS)场效应晶体管, 栅电容的大小直接影响到 MOS 器件的跨导. 我们制备的石墨烯上, Y_2O_3 层的等效栅氧厚度为 1.5nm, 氧化层电容达到 $2.28 \mu\text{F}/\text{cm}^2$. 这种情况下氧化层电容已经接近或者大于石墨烯量子电容, 故量子电容已经开始限制石墨烯器件的开态电流和跨导. 纵向缩减的极限便是量子电容完全主导栅电容, 从而决定器件最终的放大能力. 我们将石墨烯的量子电容和常规半导体(硅, III-V 族半导体)进行比较, 以探索石墨烯场效应管在纵向缩减方面的优势, 为设计高性能石墨烯器件提供指导. 对于常规半导体, 其载流子迁移率反比于有效质量 m^* , III-V 族半导体的载流子由于其有效质量很小而具有超高的迁移率, 如 InSb 的体有效质量为 $0.013m_0$, 仅为 Si 的百分之一. 另一方面, 常规半导体的态密度随着有效质量的增大而增大, 以量子阱场效应管(QWFET)为例, 其二维电子气的态密度图 6(a) 所示. 这样, 在常规半导体中, 高迁移率往往对应低态密度和较小量子电容. 与此不同的是, 新型纳米材料石墨烯中的载流子为无质量的狄拉克费米子, 其迁移率和态密度均与有效质量无关(见图 6(b)), 因此有希望在具有高迁移率的同时具有相对较高的态密度. 为了合理地比较各种材料作为 FET 沟道时的放大能力, 我们引入极限归一化跨导 G_{lim} :

$$G_{lim} = \mu C_Q, \quad (6)$$

式中的归一化极限跨导 G_{lim} 是指 FET 在不考虑源

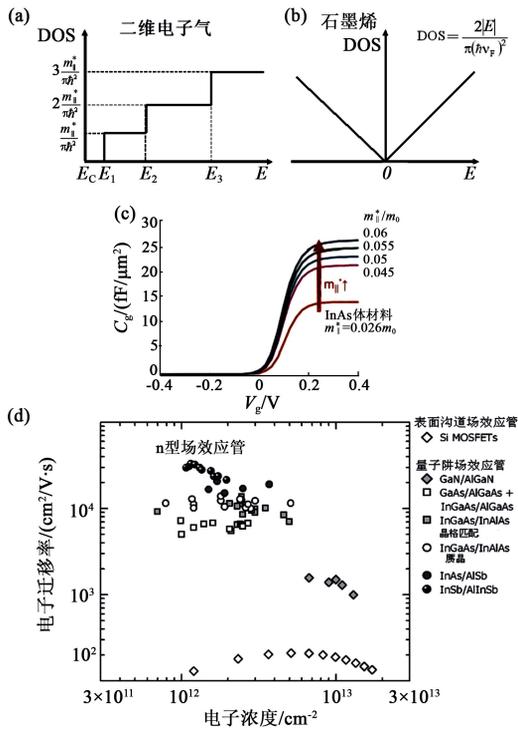


图6 (a)和(b)分别为二维电子气和石墨烯的的态密度关系；(c)计算表明砷化铟(InAs)量子阱器件量子电容与有效质量呈正相关(引自文献[26])；(d)为典型Ⅲ-V族半导体量子阱场效应管中的电子迁移率(引自文献[25])

漏寄生电阻时满足 $C_{OX} \gg C_Q$ ；并将尺寸和偏压归一化后得到的器件跨导，它用来表征沟道材料的本征极限放大能力. 表1中给出了几种常见Ⅲ-V族半导体、硅以及石墨烯等材料的量子电容和极限跨导. 其中硅和Ⅲ-V族半导体的迁移率分别采用实际MOS反型层和量子阱器件(QWFET)中的实验值(如图6(d)所示)^[25]. 为了简化过程,采用下列近似:(1)设定硅和Ⅲ-V族半导体对应的量子电容仅包含二维电子气(2DEG)的第一量子化子能带,忽略其他高量子化子能带的影响;(2)硅和Ⅲ-V族半导体的载流子有效质量近似取为材料的体有效质量,需要特别说明的是,若量子阱厚度在10nm以下时,2DEG在第一子能带处的实际有效质量应大于

其“体有效质量”,(由于 $E_1 \gg E_C$,所以能带关系偏离抛物型),因此实际的量子电容要比表1中的值要大2—3倍^[26];(3)石墨烯迁移率取目前实验室所得到的顶栅石墨烯器件的最高值 $23600 \text{ cm}^2/\text{Vs}$ ^[27].

石墨烯和传统半导体材料的对比结果如下:首先,虽然硅基MOSFET的量子电容远大于Ⅲ-V族半导体和石墨烯,但是非常低的载流子迁移率使硅基MOSFET的极限归一化跨导低于其他材料,表明硅材料本身的放大能力不强.其次,当石墨烯电势大于0.2V时,其量子电容比砷化铟,铟化铟的大,因此石墨烯器件在纵向缩减上占有一定优势.和Ⅲ-V族半导体相比,石墨烯FET可以在具有超高的迁移率的同时,保持相对较大的量子电容,因此其极限归一化跨导比Ⅲ-V族半导体场效应管的大.因此,如果去掉寄生效应,本征石墨烯场效应管在高频领域具有潜在优势,然而目前石墨烯场效应管均存在较大的寄生串联电阻,它会显著抑制器件的开态电流、跨导及截止频率,因此在提高石墨烯器件的栅效率的同时,如何减小串联电阻也成为改善石墨烯器件性能的关键.

7 结束语

通过先蒸镀金属Y,然后再氧化的方法,可以简单地在石墨烯上制备高质量超薄 Y_2O_3 栅介质,所制备的 Y_2O_3 厚度可缩减至3.9nm,等效栅氧厚度约1.5nm,其栅极漏电流密度比1.5nm热氧化 SiO_2 的小3个数量级^[17]. 栅氧化层电容高达 $2.28 \mu\text{F}/\text{cm}^2$,因此石墨烯的量子电容对总栅电容贡献较大.通过测量两个不同 Y_2O_3 厚度(3.9nm,5.6nm)的石墨烯顶栅器件的 $C-V$ 曲线,可以同时准确地提取出石墨烯的量子电容和 Y_2O_3 相对介电常数,所得量子电容在远离狄拉克点的区域和理论值吻合较好.为了描述狄拉克点附近的量子电容,我们建立了包含电势涨落的石墨烯量子电容的微观模型,仅用单一

表1 典型高迁移率材料的量子电容和极限跨导

材料	迁移率 $/(\text{cm}^2/\text{Vs})$	有效质量(m_0)	量子电容 $/(\mu\text{F}/\text{cm}^2)$	极限归一化跨导 $/(\times 10^3 \mu\text{F}/\text{Vs})$
砷化铟	18000	0.026	1.742	31.356
砷化镓	6000	0.067	4.489	26.934
铟化铟	25000	0.0135	0.905	22.612
硅	200	1.062	71	14.2
石墨烯	23600		3.6 ($V_{ch}=0.2\text{V}$)	84.96 ($V_{ch}=0.2\text{V}$)
			9 ($V_{ch}=0.5\text{V}$)	212.4 ($V_{ch}=0.5\text{V}$)
			18 ($V_{ch}=1\text{V}$)	424.8 ($V_{ch}=1\text{V}$)

参数——石墨烯面内电势涨落 δV ,首次在全能量范围内完美拟合了量子电容实验曲线.最后,从量子电容的角度,分析比较了石墨烯器件和常见 III-V 族半导体器件,发现石墨烯器件在纵向缩减方面更具有性能优势.

参考文献

- [1] Service R F. *Science*, 2009, 323: 1000
- [2] Luryi S. *Appl. Phys. Lett.*, 1988, 52: 501
- [3] Fischetti M V *et al.* *IEDM. IEEE International*, 2007, 10-12 December
- [4] John D L, Castro L C, Pulfrey D L *et al.* *J. Appl. Phys.*, 2004, 96: 5180
- [5] Fang T, Konar A, Xing H *et al.* *Appl. Phys. Lett.*, 2007, 91: 092109
- [6] Chen Z, Appenzeller J. *IEEE IEDM Tech.*, 2008, 21(1): 509
- [7] Giannazzo F, Sonde S, Raineri V *et al.* *Nano Lett.*, 2009, 9: 23
- [8] Droscher S, Roulleau P *et al.* *Appl. Phys. Lett.*, 2010, 96: 152104
- [9] Wang X, Tabakman S M, Dai H J *et al.* *Chem. Soc.*, 2008, 130: 8152
- [10] Xuan Y, Wu Y Q, Shen T *et al.* *Appl. Phys. Lett.*, 2008, 92: 013101
- [11] Farmer D B, Chiu H Y, Lin Y M *et al.* *Nano Lett.*, 2009, 9: 4474
- [12] Williams J R, DiCarlo L, Marcus C M *et al.* *Science*, 2007, 317: 638
- [13] Xinran W, Scott M *et al.* *J. AM. CHEM. SOC.*, 2008, 130: 8152
- [14] Xia J, Chen F, Li J H *et al.* *Nat. Nanotechnol.*, 2009, 4: 505
- [15] Zhang Z Y, Peng L M *et al.* *Nano Lett.*, 2007, 7: 3603
- [16] Ding L, Peng L M *et al.* *Nano Lett.*, 2009, 9: 4209
- [17] Xu H L, Zhang Z Y, Peng L M *et al.* *ACSnano*, 2011, 5(3): 2340
- [18] Xu H L, Zhang Z Y, Peng L M *et al.* *ACSnano.*, 2011, 5(6): 5031
- [19] Xu H L, Zhang Z Y, Peng L M *et al.* *Appl. Phys. Lett.*, 2011, 98: 133122
- [20] Zhang Y B, Tan Y W, Stormer H L *et al.* *Nature*, 2005, 438: 201
- [21] Yang L, Deslippe J, Park C H *et al.* *Phys. Rev. Lett.*, 2009, 103: 186802
- [22] Xia F, Chen J H, Tao N J. *Nat. Nanotechnol.*, 2009, 4: 505
- [23] Martin J, Akerman N, Ulbricht G *et al.* *Nat. Phys.*, 2008, 4: 144
- [24] Deshpande A, Bao W, Miao F *et al.* *Phys. Rev. B*, 2009, 79: 205411
- [25] Robert C, Suman D, Amlan M. *CSIC05. IEEE*, 2005, p. 4
- [26] Donghyun J. *Quantum Capacitance in Scaled Down III-V FETs*. MIT, 2010
- [27] Liao L, Bai J W *et al.* *Proc. Natl. Acad. Sci. U. S. A.*, 2010, 107: 6711